

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關在使用電流驅動有機或其他光發射裝置做為光源之顯示系統中所使用之類型的像素電路。

【先前技術】

顯示系統通常包括一陣列之像素電路，其具有做為光源之有機發光裝置（OLED）和依據所接收之資料訊號來驅動 OLED 的驅動電路，OLED 包含包夾在陽極層與陰極層之間的發光聚合物（LEP）層。在電氣上，OLED 操作做為二極體，而在光學上，OLED 當被順向偏壓時發射光，且所發射之光的亮度隨著順向偏壓電流的增加而增加。藉由使用低溫多晶矽薄膜電晶體（TFT）技術來集成陣列中之個別像素電路的驅動電路，有可能控制各個個別 OLED 之亮度，以便提供靜止或移動影像於顯示器上。

因為 OLED 為電流驅動裝置，所以如果像素電路接收電壓訊號，則回應於所接收到之電壓訊號，需要驅動器電晶體等等來將適當的電流位準供應至 OLED。用於主動矩陣型 OLED 顯示器之已知電壓驅動像素電路的實例被例舉於圖 1 中，參照圖 1，像素電路 10 之每個像素包括第一 p-通道 TFT T₁ 及第二 p-通道 TFT T₂，第一 TFT T₁ 為一用來定址像素電路 10 之開關，且包括一連接至第一供應線 12，用來接收電壓資料訊號 V_{data} 的端子，第一 TFT T₁ 也包括一連接至第二供應線 14，用來接收供應電壓 V_{SEL}

(2)

的閘極端子，和一連接至第二 TFT T_2 之閘極端子的端子。第二 TFT T_2 包括一連接至第三供應線 16，用來接收供應電壓 VDD 的端子，和一連接至 OLED 18 之陽極端子的端子，且 OLED 18 之陰極端子係連接到地。第二 TFT T_2 為一類比驅動器 TFT，用來將電壓資料訊號 Vdata 轉變成隨後驅動 OLED 18 於所指定之亮度的電流訊號。

使用如圖 1 所例舉之一陣列之電壓驅動像素電路的顯示系統在它們所顯示的影像方面能夠經歷不均勻性問題，即使陣列中之個別的驅動 TFTs 係供應有相同的電壓資料訊號及供應電壓，此不均勻性由於在構成顯示器之該陣列的像素電路內之個別驅動 TFTs 的臨界電壓上的空間改變而發生，各 OLED 因此被驅動於不同的亮度，其係對應於驅動 TFTs 間之臨界電壓上的差異。其中一個解決不均勻性問題的方法途徑已經被 S. M. Choi 等人揭示於“A self-compensated voltage programming pixel structure for active-matrix organic light emitting diodes”, International Display Workshop 2003, p535-538 中，如同由 S. M. Choi 等人所揭示之像素電路實施例被例舉於圖 2 中。

參照圖 2，用來補償個別驅動 TFTs 之電壓臨界變化的像素電路 20 包括六個 TFTs M1, M2, M3, M4, M5 及 M6、一個電容器 C1 和兩個條水平控制線，scan[n-1]與 scan[n]，M2, M3, M4, M5 及 M6 為切換 TFTs，而 M1 為一類比驅動器 TFT，用來在一框的時段期間提供隨後驅動 OLED 22 於所指定之亮度的電流。

(3)

在操作中，第四 TFT M4 提供一電流路徑，以建立驅動器 TFT M1 之閘極端子電壓於預定值，電容器 C1 為一儲存電容器，且儲存驅動器 TFT M1 的閘極端子電壓。因為像素電路 20 需要兩個列線時間以完成資料編程操作，所以 $scan[n]$ （目前的列掃描）及 $scan[n-1]$ （先前的列掃描）訊號被施加以編程像素電路 20。

在先前的列掃描期間，當 $scan[n-1]$ 為邏輯低時，驅動器 TFT M1 之閘極端子電壓在一被稱為初始化的步驟中被充電到電壓 V_I 。接著且在目前的列掃描期間，當 $scan[n]$ 為邏輯低時，TFT M2 及 TFT M3 被打開，使得電壓資料訊號資料[m]經由連接驅動器 TFT M1 之二極體而被編程驅動器 TFT M1 的閘極節點。此時，在驅動器 TFT M1 之閘極節點的編程電壓自動被減少至低於驅動器 TFT M1 之臨界電壓 V_{TH} 的值電壓資料訊號資料[m]。在初始化及編程期間，TFTs M5 及 M6 被關閉。

接著先前及目前的列掃描之後，TFT M5 及 TFT M6 係藉由 $em[n]$ 訊號而被打開，以建立從 VDD 到地之電流路徑，使得電流能夠流經驅動器 TFT M1 且驅動 OLED 22。因此，驅動器 TFT M1 調節電流而和臨界電壓 V_{TH} 無關。

雖然上面的像素電路 20 提供用來補償個別驅動 TFTs 之電壓臨界變化的機構，但是因為需要增加編程速度，以使顯示系統能夠適當地實施於當係供應有高頻寬資料或者當被使用於大型顯示器中時，所以需要增加像素電路能夠被編程的速度。此外，需要以較低的功率損耗為特徵之較

(4)

小的顯示系統，以便延長電源供應器的壽命，及擴充系統的功能性。

【發明內容】

依據本發明之第一態樣，提供有一像素電路，包括：

一第一電晶體及一電容器，係串聯連接在電源供應線與基準線之間，第一電晶體之閘極端子被配置來接收第一控制訊號；

一驅動電晶體及一發光裝置，係串聯連接在電源供應線與另一線之間，驅動電晶體具有一連接至第一節點的閘極端子，其係在第一電晶體與電容器之間，及一用來接收資料訊號的第一端子；以及

一第二電晶體，係配置來二極體-連接該驅動電晶體，以回應在第二電晶體之閘極端子處所接收到的第二控制訊號，藉此，資料訊號當被二極體-連接且保持在第一節點時能夠通過該驅動電晶體，第二電晶體為一 n-通道型電晶體。

較佳地，第三電晶體被串聯連接在電源供應線與驅動電晶體之間，及第四電晶體被串聯連接在發光裝置與驅動電晶體之間，其中，第二電晶體的其中一端子在驅動電晶體與第三電晶體之間的第二節點處被連接至第二電晶體的第二端子。

較佳地，第三電晶體和第四電晶體為 p-通道型電晶體，且它們的閘極端子被配置來接收第二控制訊號。更明

(5)

確地說，第五電晶體被連接在資料訊號線與驅動電晶體和第四電晶體之間的第二節點之間，第五電晶體可以為一 n -通道型電晶體，且包括一閘極端子，以接收第二控制訊號。

較佳地，第六電晶體被串聯連接在第四電晶體與發光裝置之間，第六電晶體為一具有和第一電晶體相反之通道類型的電晶體，且具有一閘極端子，以接收第二控制訊號。

較佳地，第七電晶體被串聯連接在驅動電晶體的閘極端子與第一節點之間，且第八電晶體被連接在電源供應線與在第七電晶體的其中一端子和驅動電晶體的閘極端子之間的第四節點之間，其中，第八電晶體為一具有和第一電晶體相同之通道類型的電晶體，第七和第八電晶體的閘極端子被配置來接收第一控制訊號。

該像素電路可以另包括一第九電晶體及一第十電晶體，第九電晶體係連接在第一節點與第二電晶體之連接至驅動電晶體之閘極端子的端子之間，而第十電晶體係連接在第一節點與第二電晶體之連接至驅動電晶體之第二端子的另一端子之間，其中，第九電晶體為一 p -通道型電晶體，且第十電晶體為一 n -通道型電晶體，並且第九和第十電晶體的閘極端子被配置來分別接收第一及第二控制訊號。

依據本發明之另一態樣，提供有一用來驅動電流驅動元件之像素電路，包括：

(6)

一 第一電晶體，第一電晶體的導通狀態對應於被供應至電流驅動元件之驅動電流的電流位準，第一電晶體具有第一閘極端子、第一端子、及第二端子；

一 第二電晶體，具有第二閘極端子；及

一 第三電晶體，被配置來控制介於第一閘極端子與第一端子和第二端子的其中一者間之電氣連接，第三電晶體具有第三閘極端子；

第一端子，被配置來經由第二電晶體而接收資料訊號，該資料訊號決定第一電晶體的導通狀態；以及

第一電晶體的導通類型係不同於第二電晶體的導通類型。

依據本發明之另一態樣，提供有一用來驅動電流驅動元件之像素電路，包括：

一 第一電晶體，第一電晶體的導通狀態對應於被供應至電流驅動元件之驅動電流的電流位準，第一電晶體具有第一閘極端子、第一端子、及第二端子；

一 第二電晶體，具有第二閘極端子；及

一 第三電晶體，被配置來控制介於第一閘極端子與第一端子和第二端子的其中一者間之電氣連接，第三電晶體具有第三閘極端子；

第一端子，被配置來經由第二電晶體而接收資料訊號，該資料訊號決定第一電晶體的導通狀態；以及

第一電晶體的導通類型係不同於第三電晶體的導通類型。

(7)

較佳地，具有第四閘極端子之第四電晶體被串聯連接在電流驅動元件與第一電晶體之間。更明確地說，第四電晶體的導通類型係不同於第二電晶體的導通類型。

較佳地，具有第五閘極端子之第五電晶體被串聯連接在第一電晶體與電源供應線之間，而驅動電流從電源供應線經由第一電晶體而被供應至電流驅動元件。

第四電晶體的導通類型可以是和第五電晶體的導通類型相同，第一電晶體的導通類型可以是 p-通道類型。

較佳地，第四閘極端子、第二閘極端子和第三閘極端子被連接至一訊號線。較佳地，第五閘極端子、第二閘極端子和第三閘極端子被連接至一訊號線。較佳地，第六電晶體被串聯連接在第四電晶體與電流驅動元件之間。

較佳地，第一閘極經由一電容器而被連接至一電源供應線。更明確地說，第七電晶體被連接在第一閘極與第一電容器之間。

較佳地，第八電晶體被直接連接在電源供應線與第一閘極之間。

較佳地，第九電晶體被直接連接在電容器與第二端子之間。

依據本發明之另一態樣，提供有一包括多個如上所述之像素電路的顯示設備。較佳地，此顯示設備係形成有至少一第一訊號線、一第二訊號線、一第三訊號線和一資料訊號線成矩陣形式、為第一像素電路提供第一控制訊號的第一控制訊號線、及為第一像素電路提供第二控制訊號的

(8)

第二控制訊號線；其中，用於第二像素電路之第一控制訊號為由第二控制線所提供之用於第二像素電路的第二控制訊號，且第三控制線提供用於第二像素電路之第二控制訊號。

依據本發明之另一態樣，提供有一驅動像素電路之方法，包括：

施加第一控制訊號，以接通第一電晶體，而第一電晶體係連接在電源供應線與基準線之間，且和第一電容器串聯連接；

施加第二控制訊號，以接通第二電晶體來二極體-連接驅動電晶體，第二電晶體為一 n-通道型電晶體，且驅動電晶體係串聯連接至電源供應線與另一線之間的發光裝置，驅動電晶體之閘極端子係連接至第一電晶體與第一電容器之間的第一節點，且驅動電晶體之第一端子被配置來接收資料訊號；

施加第一控制訊號，以切斷第一電晶體；

施加資料訊號於驅動電晶體之第一端子；

施加第二控制訊號，以切斷第二電晶體。

較佳地，該方法另包括將第二控制訊號施加於串聯連接在電源供應器與驅動電晶體之間的第三電晶體，和施加於串聯連接在發光裝置與驅動電晶體之間的第四電晶體，以切斷第三及第四電晶體，而同時第二電晶體被接通，以及接通第三及第四電晶體，而同時第二電晶體被切斷，其中，第二電晶體的其中一端子在驅動電晶體與第三電晶體

(9)

之間的第二節點處被連接至驅動電晶體的其中一端子。

較佳地，第三及第四電晶體為 p-通道型電晶體。較佳地，該方法也包括將第二控制訊號施加於連接在資料訊號線與驅動電晶體和第四電晶體之間的第三節點之間的第五電晶體，以接通第五電晶體，而同時第二電晶體被接通，以及切斷第三及第五電晶體，而同時第二電晶體被切斷。

較佳地，該方法另包括將第一控制訊號施加於串聯連接在第四電晶體與發光裝置之間的第六電晶體，以切斷第六電晶體，而同時第一電晶體被接通，第六電晶體為具有和第一電晶體相反之通道類型的電晶體。

較佳地，該方法也包括將第一控制訊號施加於串聯連接在驅動電晶體的閘極端子與第一節點之間的第七電晶體，和施加於連接在電源供應線與在第七電晶體的其中一端子和驅動電晶體的閘極端子之間的第四節點之間的第八電晶體，其中，第八電晶體為一具有和第一電晶體相同之通道類型的電晶體，第七電晶體為一具有和第一電晶體相反之通道類型的電晶體，以切斷第七電晶體和接通第八電晶體，而同時第一電晶體被接通。

較佳地，該方法另包括將第一控制訊號施加於連接在第一節點與第二電晶體之連接至驅動電晶體之閘極端子的端子之間的第九電晶體，並且將第二控制訊號施加於連接在第一節點與第二電晶體之連接至驅動電晶體之第二端子的另一端子之間的第十電晶體，其中，第九電晶體為一 p-通道型電晶體，且第十電晶體為一 n-通道型電晶體，而當

(10)

第一電晶體被接通時，切斷第九電晶體，且當第二電晶體被接通時，接通第十電晶體。

基準線可以是資料訊號線，或者，其中，第一電晶體被串聯連接在第五電晶體與電容器之間，資料訊號線為基準線，該方法另包括：

在施加第一控制訊號以接通第一電晶體之後，和在施加第一控制訊號以切斷第一電晶體之前，將預充電訊號施加於資料訊號線上，該預充電訊號具有比資料訊號還低之值。

依據本發明之另一態樣，提供有一驅動像素電路之方法，該像素電路包含具有第一閘極端子、第一端子、及第二端子之第一電晶體、具有第二閘極端子之第二電晶體、具有第三閘極端子且控制介於第一閘極端子與第二端子間之電氣連接的第三電晶體、控制介於電流驅動元件與第一電晶體間之電氣連接的第四端子、及控制介於第二端子與預定電壓間之電氣連接的第五端子，該方法包括：

產生像素電路之第一狀態，其中，第二端子係藉由打開第五電晶體而被設定為預定電壓；

產生像素電路之第二狀態，其中，第一端子在至少一部分的第一周期，經由第三電晶體而被電連接至第二端子，在該至少一部分的第一周期期間，第一端子經由第二電晶體而接收資料訊號；以及

產生像素電路之第三狀態，其中，其電流位準對應於經由第二狀態所設定之導通狀態的驅動電流係經由第一電

(11)

晶體和第四電晶體而被供應至電流驅動元件，

第二端子在第二狀態中和預定電壓電斷開，

第一端子在第二狀態中和電流驅動元件電斷開，以及

一控制訊號被共同供應至第二閘極端子、第三端子、第四端子、及第五端子。

當使用時，依據本發明之像素電路之初始化及編程所花費的時間被減少，藉以提供比習知技術更有效率、更快且更多樣化的顯示系統。因為像素電路之配置讓訊號 $em[n]$ 及 $scan[n]$ 能夠被單一控制訊號所取代，所以不再需要習知技術中所使用的第三訊號 $em[n]$ 。在較佳實施例中，不再需要基準訊號供應線，藉以提供更小型的顯示系統。控制線的數目也能夠被減少，亦藉以提供比習知技術更小型且更有效率的顯示系統。

【實施方式】

縱觀下面的敘述，相同的參考數字將被用來指示相同的部件。

參照圖 3，具有接腳 1, 2, 3 之驅動器電晶體 74 能夠以兩種方式來予以二極體連接，雖然在二極體連接之電晶體的任一組態中，閘極端子總是被連接至汲極端子。接腳 1 及 2 能夠被連接，藉以形成陰極端子，且接腳 3 形成陽極端子。替換地，接腳 2 及 3 能夠被連接，藉以形成陰極端子，且接腳 1 形成陽極端子。

如同上面所注意到的，類似的 TFTs 具有改變的臨界

(12)

電壓，甚至當它們同時且藉由相同的程序來予以製造時，陣列中的所有 TFTs 能夠被認為是具有共同標稱的臨界電壓 V_T 。除此之外，個別的 TFTs 能夠被認為是具有不同的臨界電壓變化 ΔV_T 。因此，各 TFT 之真正的臨界電壓為 $V_T + \Delta V_T$ ，且 ΔV_T 改變於 TFTs 之間。

在本發明中，驅動器電晶體具有不管電流流動的方向，換言之，不管那一個端子被設定為源極和那一個端子被設定為汲極，臨界電壓為 $V_T + \Delta V_T$ 均相同的特性。

在源極與汲極端子之間為對稱的且並未被受應力的驅動器電晶體具有此特性。在對稱的電晶體中，源極和汲極端子被均等地摻雜，且相對於閘極端子係對稱的，這樣的電晶體普遍係自行對齊的。對於具有標稱臨界電壓 V_T 和臨界電壓變化 ΔV_T 之對稱的驅動器電晶體 74 來說，當驅動器電晶體 74 被二極體連接時之所觀察到的臨界電壓仍保持 $V_T + \Delta V_T$ ，且和驅動器電晶體 74 被二極體連接的方式無關。

參照圖 4，依據本發明第一實施例之像素電路 50 包括一第一軌 52，其具有連接至第一電容器 56 之第一端子的第一節點 54，第一電容器 56 之第二端子被連接至第二節點 58（被稱為 newdg），其被連接至第一 n-通道電晶體 60 之源極端子及第三節點 62，第一 n-通道電晶體 60 包括一閘極端子以及一連接至第二軌 64 的汲極端子。

第一軌 52 包括一連接至第一 p-通道電晶體 68 之源極端子的第四節點 66，而第一 p-通道電晶體 68 包括一連接

(13)

至第五節點 70 之閘極端子以及一連接至第六節點 72 (被稱為 int) 之汲極端子。第六節點 72 int 被連接至驅動器電晶體 74 的第一端子，而驅動器電晶體 74 包括一閘極端子及一第三端子。驅動器電晶體 74 為一第二 p-通道電晶體，如同最佳參照圖 3 所看到的且亦參照圖 5 而被詳述於後的，驅動器電晶體 74 之閘極端子及第三端子能夠互相交換做為源極和汲極端子，其係視驅動器電晶體 74 是否被二極體連接而定。驅動器電晶體 74 的第三端子被連接至第七節點 76 (被稱為 ipn)，且閘極端子被連接至第三節點 62。

第六節點 72 int 也被連接至第二 n-通道電晶體 78 之源極端子，而第二 n-通道電晶體 78 包括一連接至第八節點 80 之閘極端子及一連接至第三節點 62 之汲極端子，第八節點 80 被連接至第九節點 82，而第九節點 82 被連接至第三 n-通道電晶體 84 之源極端子且被連接至第三 p-通道電晶體 86 之源極端子，第三 n-通道電晶體 84 之汲極端子被連接至第七節點 76 ipn，且源極端子被連接至第三軌 88，第三 p-通道電晶體 86 之源極端子被連接至第七節點 76 ipn，且汲極端子被連接至 OLED 96 的陽極端子，而 OLED 96 包括一連接至第四軌 94 的陰極端子。第二電容器 92 也被包含在像素電路 50 中，以表示 OLED 96 的相關寄生電容。

參照上面的敘述和縱觀下面的敘述，僅對像素電路 50 的節點做說明。做為一例，圖 4 之節點 70, 80, 及 82 能夠

(14)

替換地被例舉做爲一連接。

在操作中，例如 5 V 之電壓 V_{DD} 被施加跨於像素電路 50 上以驅動 OLED 96，雖然其他的電壓也可以被使用。如同在上面參照圖 3 所討論的，驅動器電晶體 74 具有標稱臨界電壓 V_T 和臨界電壓變化 ΔV_T ，因此，當驅動器電晶體 74 被二極體連接時之所觀察到的臨界電壓爲 $V_T +$

ΔV_T ，臨界電壓變化 ΔV_T 被表示於圖 4 中，且它們緊接著一和驅動器電晶體 74 之閘極端子串聯連接的可變電壓源。第一 n-通道電晶體 60、第二 n-通道電晶體 78 及第三 n-通道電晶體 84 和第一 p-通道電晶體 68 及第三 p-通道電晶體 86 一起在第一訊號 ϕ_1 與第二訊號 ϕ_2 的控制下操作做爲開關，而第二 p-通道電晶體爲驅動器電晶體 74，用來將電流之受控位準供應到 OLED 96。

像素電路 50 具有三階段的操作：預充電階段、自行調整階段、及輸出階段。

在預充電階段中，第一訊號 ϕ_1 爲邏輯 1，且被施加於第二 n-通道電晶體 78、第三 n-通道電晶體 84、第一 p-通道電晶體 68 及第三 p-通道電晶體 86 的閘極端子，因此，第二 n-通道電晶體 78 和第三 n-通道電晶體被接通，而第一 p-通道電晶體 68 和第三 p-通道電晶體 86 被切斷。又，在預充電階段中，第二訊號 ϕ_2 爲邏輯 1，且被施加於第一 n-通道電晶體 60 之閘極端子，藉以接通第一 n-通道電晶體 60。驅動器電晶體 74 因此使用第二 n-通道電晶體 78，藉由切斷第一 p-通道電晶體 68 而和 V_{DD} 分離，被

(15)

二極體連接至地路徑，且第二節點 58 newdg 係經由接通第一 n-通道電晶體 60 而被接地。

第三軌 88 係處於電壓 V_{DAT} ，其在本實施例的預充電階段中，舉例來說，為 0 V，雖然其他的電壓也可以被使用。因此，第二節點 58 newdg 被預充電至等於第二軌 64 之電壓的電壓 V_{newdg} ，例如，接地 (0 V)，且圖 5 (a) 中所例舉之像素電路 50 能代表該像素電路 50。因而，跨在第一電容器 56 上之電壓被賦予為 $V_{DD} - V_{newdg} = 5\text{ V}$ 。

第二節點 58 newdg 和第六節點 72 int 係經由第二 n-通道電晶體 78 而連接，且跨在第二節點 58 newdg 上之電壓等於跨在第六節點 72 int 上之電壓。供應電壓 V_{DAT} 之供應軌 88 係經由第三 n-通道電晶體 84 而被連接至第七節點 76 ipn，且跨在第七節點 76 ipn 上之電壓等於 V_{DAT} 。因而，第二節點 58 newdg 為二極體連接之驅動器電晶體 74 的陰極，且第七節點 76 ipn 為二極體連接之驅動器電晶體 74 的陽極。

在自行調整階段中，且更特別的是在自行調整階段的資料轉移期間，第一訊號 ϕ_1 保持邏輯 1，且被施加於第二 n-通道電晶體 78、第三 n-通道電晶體 84、第一 p-通道電晶體 68 和第三 p-通道電晶體 86 的閘極端子，第二 n-通道電晶體 78 和第三 n-通道電晶體保持接通，而第一 p-通道電晶體 68 和第三 p-通道電晶體 86 保持切斷。

第二訊號 ϕ_2 變成邏輯 0，且被施加於第一 n-通道電

(16)

晶體 60 之閘極端子，藉以切斷第一 n-通道電晶體 60，造成第二節點，newdg 不再被接地。

電壓 V_{DAT} 現在脈衝到用來驅動 OLED 96 之所需的 V_{DAT} 值，舉例來說，3 V。最好是，脈波的開始到所需之 V_{DAT} 值和第一 n-通道電晶體 60 的切斷同時發生，或者晚於第一 n-通道電晶體 60 的切斷。

因為第二節點 58，newdg，被預充電至接地（0 V），且係低於 V_{DAT} （3 V），所以二極體連接之驅動器電晶體 74 被順向偏壓，且電流，I，流到第一電容器 56，以使第一電容器 56 放電直到到達穩定狀態為止。

在穩定狀態時， $V_{newdg} = V_{DAT} - (V_T + \Delta V_T)$ ，跨在第一電容器 56 上之電壓因此為 $V_{DD} - V_{newdg} = V_{DD} - (V_{DAT} - (V_T + \Delta V_T))$ 。如果 1.1 V 之值被設給標稱臨界電壓 V_T ，則在穩定狀態時跨在第一電容器 56 上之電壓等於 $3.1 V + \Delta V_T$ ，即將到達穩定狀態所花費的時間主要係根據在第一電容器 56 與第二 n-通道電晶體 78 之阻抗間所產生的 RC 時間常數，而第二 n-通道電晶體 78 致使驅動器電晶體 74 能夠被二極體連接。雖然較不重要，但是，驅動器電晶體 74 和第三 n-通道電晶體 84 的電阻也對即將到達穩定狀態所花費的時間有貢獻。

閘極端子的有效電壓， $V_{dg} = V_{newdg} + \Delta V_T$ ，因此，當到達穩定狀態時，閘極端子的有效電壓 V_{dg} 能夠被寫成爲 $V_{dg} = V_{DAT} - V_T = 1.9 V$ ，其係與任何臨界電壓變化 ΔV_T 無關。

(17)

在輸出階段中，第一訊號 ϕ_1 為邏輯 0，且被施加於第二 n-通道電晶體 78、第三 n-通道電晶體 84、第一 p-通道電晶體 68 和第三 p-通道電晶體 86 的閘極端子，因此，第二 n-通道電晶體 78 和第三 n-通道電晶體被切斷，而第一 p-通道電晶體 68 和第三 p-通道電晶體 86 被接通。在輸出階段中，第二訊號 ϕ_2 保持邏輯 0。

如同最佳顯示於圖 5 (b) 中，在輸出階段中，驅動器電晶體 74 不再被二極體連接在第一端子與閘極端子之間，而因此用作 OLED 96 用的固定電流源。從旁通過驅動器電晶體 74 而到達 OLED 96 之電流的振幅係取決於 V_{DAT} 之值（更明確地說， V_{DAT} 在自行調整階段中脈衝到的值），而不是臨界電壓變化 ΔV_T 。因此，在形成顯示器之陣列中的所有像素電路 50 對相同的 V_{DAT} 值而言被驅動至相同的亮度。

如同圖 4 所例舉之像素電路 50 的代表性驅動波形被例舉於圖 10 中。參照圖 10 (a)，第一訊號 ϕ_1 和第二訊號 ϕ_2 二者皆為邏輯 1，表示預充電階段的開始，以便將第二節點 58 newdg 設定為等於接地的電壓，如上所述。當第二訊號 ϕ_2 掉落至邏輯 0 時，自行調整階段開始，且 V_{DAT} 脈衝到例如 3V 的值。因為第二節點 58，newdg，被預充電至等於接地之電壓的電壓，且係低於 V_{DAT} (3V)，所以二極體連接之驅動器電晶體 74 被順向偏壓，且電流， I ，流到第一電容器 56，以使第一電容器 56 放電直到到達穩定狀態為止。一旦到達穩定狀態，第一訊號 ϕ_1 馬上變

(18)

成邏輯 0，且輸出階段開始，以便驅動 OLED 96，而和臨界電壓變化 ΔV_T 無關。如同應該被習於此技藝者所領會到的，圖 10 (b) 到圖 10 (d) 中所例舉之驅動波形也可以均等地被應用來和上面所述之像素電路 50 一起使用。

和下面所討論的配置有共通之處，圖 4 所示之配置具有用於像素電路之初始化及編程所花費的時間相較於習知配置被顯著地減少，藉以提供更有效率、更快且更多樣化的顯示系統之優點。況且，在本發明中，個別像素電路之大小尺寸被減小，藉以提供具有改善之孔徑比之更小型且更有效率的顯示器。

在圖 4 之像素電路 50 的替換實施例中，第一 n-通道電晶體 60 被連接至供應線 V_{SS} 而不是第二軌 64，OLED 96 的陰極端子也能夠或者替代被連接至供應線 V_{SS} 而不是第四軌 94。

參照圖 6，依據本發明第二實施例之圖 4 的像素電路 50 包括一額外的第四 p-通道電晶體 98，其包括一連接至第三 p-通道電晶體 86 之汲極端子的源極端子，和一連接至 OLED 96 之陽極端子的汲極端子。

在操作上，在預充電階段中，第二訊號 ϕ_2 被供應至第四 p-通道電晶體 98 的閘極端子，第一 n-通道電晶體 60 被接通，且第四 p-通道電晶體 98 被切斷，藉以在預充電階段期間隔離 OLED 96，即使當第二訊號 ϕ_2 為邏輯 1 時，第一訊號 ϕ_1 為邏輯 0。因此，第二實施例讓不同的驅動波形能夠被使用，如同在下面參照圖 11 (a) 及圖 11

(19)

(b) 所述的。

參照圖 11 (a) 及圖 11 (b)，在第一訊號 ϕ_1 變成邏輯 1 之前，第二訊號 ϕ_2 為邏輯 1。如果這些驅動波形即將被使用於圖 4 的電路中，則當第二訊號 ϕ_2 為邏輯 1 時，節點 newdg 58 被接地，而且 p-型驅動電晶體的閘極電壓也被接地。因此，驅動器電晶體 74 可以在第一訊號 ϕ_1 為邏輯 1 之前被短時間地接通，且電晶體 68 及 86 被切斷。在那時，OLED 96 將會被短時間地驅動至最大亮度。但是，在圖 6 的像素電路中，因為當開關 60 被接通且 OLED 96 被隔離時，開關 98 被切斷，所以這沒有關係，如同上面所討論的。

參照圖 7，依據本發明第三實施例之圖 4 的像素電路 50 包括一額外的第五 p-通道電晶體 102 及一額外的第四 n-通道電晶體 104，第四 n-通道電晶體 104 包括一連接至第一軌 52 的源極端子，和一連接至被稱為 newdg2 之節點 108 的汲極端子。節點 newdg2 被連接至第三節點 62—亦即，節點 newdg2 和第三節點 62 在技術上係相同的，以及被連接至第五 p-通道電晶體 102 的第一端子，第五 p-通道電晶體 102 包括一連接至第二節點 58 (newdg) 的第二端子。

在操作上，在預充電階段中，第二訊號 ϕ_2 被施加於第四 n-通道電晶體 104 的閘極端子及第五 p-通道電晶體 102 的閘極端子。當第二訊號 ϕ_2 為邏輯 1，且第一 n-通道電晶體 60 被接通時，第五 p-通道電晶體 102 被切斷，

(20)

且第四 n-通道電晶體 104 的閘極端子被接通，藉以確保驅動器電晶體 74 也被切斷，以便隔離 OLED 96。

參照圖 11 (a) 及圖 11 (b) 之上面及下面所述的驅動波形也能夠和圖 7 所示之像素電路 50 一起使用。更明確地說，在圖 7 中，節點 newdg2 108 於節點 newdg 58 被接地時始終被保持在 V_{DD} ，所以驅動電晶體的閘極電壓等於 V_{DD} ，且驅動電晶體並未被接通。因此，在圖 6 中不需要設置電晶體 98。

在圖 7 所示之配置的替換配置中，電晶體 104 能夠從 n-通道電晶體改變到 p-通道電晶體，且電晶體 102 能夠從 p-通道電晶體改變到 n-通道電晶體，此係有益於拉引電流自電源 V_{DD} 。但是，有了如此所變更之電晶體兩者的閘極被連接至第二訊號 ϕ_2 ，此二電晶體用作反相器。如果僅此改變即將被做成，則合成之反相器將會在節點 newdg2 處輸出經反相的第二訊號 $\phi_2\text{bar}$ 。因此，同時 ϕ_2 係高位準，使得電晶體 60 被接通且節點 newdg 被接地，由電晶體 104, 102 所構成之反相器將會在 newdg2 處輸出經反相的 $\phi_2\text{bar}$ （換言之，低位準）。在該情況中，p-型驅動電晶體將會被接通，且 OLED 將會在 ϕ_1 變高之前並且在驅動電晶體被二極體連接之前發射。

爲了對抗此，另一反相器被加在第二訊號線與由變更之電晶體 104, 102 所構成的反相器之間，據此，被輸入至由變更之電晶體 104, 102 所構成的反相器之訊號爲 $\phi_2\text{bar}$ 。因此，同時 ϕ_2 係高位準，使得電晶體 60 被接通

(21)

且節點 newdg 被接地，由電晶體 104, 102 所構成之反相器具有 ϕ_2 作為輸入，且在 newdg2 處輸出 ϕ_2 （換言之，高位準）。於是，p-型驅動電晶體被切斷，所以 OLED 96 並不會在 ϕ_1 變高之前並且在驅動電晶體被二極體連接之前發射。

參照圖 8，本發明之第四實施例包括圖 7 的像素電路 50，且第四 n-通道電晶體 104 係呈替換組態。第四 n-通道電晶體 104 包括一連接至第六節點 72 int 之端子及一連接至第二節點 newdg 之端子，第四 n-通道電晶體 104 包括一連接至第八節點 80 之閘極端子，用以接收第一訊號 ϕ_1 。

在操作上，並且當在預充電階段及自行調整階段期間第一訊號 ϕ_1 為邏輯 1 時，第四 n-通道電晶體 104 被接通，以便改善第七節點 76 ipn 與第二節點 newdg 之間的導通路徑。

參照圖 9，依據本發明第五實施例之圖 4 的像素電路 50 包括一被連接至第七節點 76 ipn，而不是被連接至第二軌 64 之第一 n-通道電晶體 60 的端子。因此，驅動器電晶體 74 被連接至第三 p-通道電晶體 86 的一端子和第三 n-通道電晶體 84 的一端子。

在操作上，電壓 V_{DAT} 將預充電階段電壓經由第一 n-通道電晶體 60 和第三 n-通道電晶體 84 而提供到第二節點 newdg。因此，不再需要第二軌 64 作為接地（0 V），也不用被供應線 V_{SS} 所取代。在預充電階段期間，電壓 V_{DAT} 必須低於在自行調整階段中 V_{DAT} 脈衝至的電壓，使得驅

(22)

動器電晶體 74 能夠當作順向偏壓二極體連接之電晶體使用。

如同圖 9 中所例舉之像素電路 50 的代表性驅動波形被例舉於圖 11 (b) 中。在預充電階段中，當第一訊號 ϕ_1 為邏輯 0 且第二訊號 ϕ_2 變成邏輯 1 時，節點 newdg 最初經由第一 n-通道電晶體 60、第三 p-通道電晶體 86 和 OLED 96 而放電至接地，第一訊號 ϕ_1 變成邏輯 1 且 V_{DAT} 增加到值 V_{DAT} 低。因而，驅動器電晶體 74 變成二極體連接，並且節點 newdg 經由第一 n-通道電晶體 60、驅動器電晶體 74 及第二 n-通道電晶體 78 而被初始化到電壓 V_{DAT} 低。

當第二訊號 ϕ_2 掉落至邏輯 0 且在自行調整階段中時， V_{DAT} 低位準增加到值 V_{DAT} 高位準。因而，節點 newdg 經由第三 n-通道電晶體 84、驅動器電晶體 74 及第二 n-通道電晶體 78 而增加到值 V_{DAT} 高位準 - ($V_T + \Delta V_T$)。

在輸出階段時，第一訊號 ϕ_1 為邏輯 0 且驅動器電晶體 74 不再被二極體連接在第一端子與閘極端子之間。因此，驅動器電晶體 74 用作經過第一 p-通道電晶體 68、驅動器電晶體 74 及第三 p-通道電晶體 86 之 OLED 96 用的固定電流源。從旁通過驅動器電晶體 74 而到達 OLED 96 之電流的振幅係取決於 V_{DAT} 之值（更明確地說，在自行調整階段中 V_{DAT} 的值高），而不是臨界電壓變化 ΔV_T 。因此，在形成顯示器之陣列中的所有像素電路 50 被驅動

(23)

至相同的亮度。

在另一替換例中，圖 6 所示之電晶體 98 也能夠被包含在圖 7 到圖 9 所示之配置的各者中。因此，在各個情況中，像素電路包含串聯連接在電晶體 86 與 OLED 96 之間的 p-通道電晶體 98，第二訊號 ϕ_2 被施加於 p-通道電晶體 98 的閘極，使得 p-通道電晶體 98 被切斷，而 n-通道電晶體 60 被接通。

參照圖 12，如圖 4, 6, 7, 及 8 所例舉之像素電路 50 的架構被顯示於形成顯示系統之陣列 150 中。藉由圖 10 或圖 11 (a) 的任何一個代表性波形來驅動陣列 150，陣列 150 的各像素電路 50 包括一接地線 Gnd，其能夠被供應線 V_{ss} 所取代，如同上面所討論的。此架構也包括兩個分開的水平控制線，以供應第一及第二供應訊號 ϕ_1 及 ϕ_2 。

參照圖 13，如圖 9 所例舉之像素電路 50 的架構被顯示於形成顯示系統之陣列 200 中。藉由使用如圖 11 (d) 所例舉之波形，在如圖 9 所例舉之像素電路 50 的情況中，示範當相較於圖 12 的架構時，在水平控制線之數目上的縮減。

因為控制線 SEL,2 (在圖 11 (c) 及 (d) 中被稱為控制線 V_{SELn+1}) 提供用於相鄰之像素電路 50 的第一供應訊號 ϕ_1 及第二供應訊號 ϕ_2 二者，所以實現在水平控制線之數目上的縮減。

當然，圖 12 所示之架構，其中，為各列的像素提供兩個訊號線，能夠被調整，使得各像素電路中的電容器放

(24)

電到資料線 VDAT，而不是到接地 Gnd，類似於圖 13。在如圖 6, 7 及 8 所例舉之像素電路 50 的情況中，藉由使用如圖 11 (c) 所例舉之波形，示範當相較於圖 12 的架構時，在水平控制線之數目上的縮減。

同樣地，圖 13 所示之架構，其中，訊號線係共有於相鄰列的像素之間，能夠被調整，使得各像素電路中的電容器放電到接地 Gnd，而不是到資料線 VDAT，類似於圖 12。在如圖 9 所例舉之像素電路 50 的情況中，藉由使用如圖 11 (b) 所例舉之波形，示範當相較於圖 12 的架構時，在水平控制線之數目上的縮減。

當然，圖 12 及圖 13 中之陣列亦可應用到本發明之像素電路的所有適合的替換例，不論是否被敘述。

注意，在圖 11 (a) 到 (d) 的各者中，第一及第二供應訊號 ϕ_1 及 ϕ_2 係重疊的。也就是說，對於一部分 ϕ_2 為高位準的時間來說， ϕ_1 為高位準，並且對於一部分 ϕ_1 為高位準的時間來說， ϕ_2 為高位準。但是，對於一部分 ϕ_2 為低位準的時間來說， ϕ_1 也是高位準，並且對於一部分 ϕ_1 為低位準的時間來說， ϕ_2 也是高位準。此使用重疊之控制訊號的可能性，其迄今係未知的，得以增加掃描速度，且因此改善所顯示之移動影像的品質。

參照圖 14，對於如圖 4 所例舉之像素電路 50 來說，在第二節點 58 處之電壓 Vnewdg 的模擬被圖形地顯示對比以微秒為單位的時間。在預充電階段（在圖 12 被標示為 PRESET）中，電壓 Vnewdg 實際上掉落到接地（0 V）。

(25)

在圖 12 的自行調整階段（被標示為 PROGRAM）中，當 V_{DAT} 脈衝到用來驅動 OLED 96 的電壓時，電壓 V_{newdg} 爬升到值 $V_{DAT} - (V_T + \Delta V_T)$ 。在圖 12 的輸出階段（被稱為 LOCK DOWN）中，藉由第一電容器 56 來保持電壓 V_{newdg} 直到程序被重複為止。如同能夠很容易從圖 12 中領會的，電壓 V_{newdg} 相對於改變的 ΔV_T 值而改變。

從圖 14 中，能夠看到預充電和自行調整階段能夠被完成於僅幾微秒中，這是比在習知技術中所達成的時間大約快上兩級的數值大小（或者 100 倍）。除此之外，能夠使用更低的電壓。因此，本發明提供改善的顯示品質及減少的功率耗損。況且，依據本發明之像素電路和顯示裝置比習知的像素電路和顯示裝置還小且更小型。

參照圖 15，用來驅動 OLED 96 的輸出電流（IOLED）對比改變的 ΔV_T 值的模擬被畫出圖形。因而，圖 15 示範不管 ΔV_T 為何值，輸出電流 IOLED 係相同的，使得形成一陣列之像素電路能夠被驅動到相同的亮度，不論改變的 ΔV_T 值為何。

圖 16 例舉一類似的效果。在圖 16（a）中，繪製輸出電流 IOLED 對時間（以微秒為單位）的圖形，用以改變輸入電壓值， V_{DD} ，其導致改變輸出電流 IOLED 的振幅，及改變 ΔV_T 值，其並不影響輸出電流 IOLED。圖 16（b）顯示對於不同的 ΔV_T ，IOLED 隨著 V_{DAT} 之改變的改變。不管 ΔV_T 為何值，輸出電流 IOLED 實質上係相等的，且因此，個別之 ΔV_T 值的輸出電流 IOLED 被疊加。

(26)

因而，形成一陣列之像素電路能夠被驅動到相同的亮度，不論改變的 ΔV_T 值為何。

使用如上所述之像素電路 50 的顯示系統 1000 係有利於使用在小且可移動的電子產品，例如，移動式電話、個人數位助理（PDA）、電腦、CD 播放器、DVD 播放器等等，雖然其並不僅限於此。

現在將敘述幾種顯示系統 1000 能夠被內建於其中的終端裝置。

將敘述顯示系統 1000 被應用於可攜式或移動式電話的例子。圖 17 係例舉可攜式電話之組態的等同圖，在此圖形中，可攜式電話 1200 係設置有多個操作鍵 1202、聽筒 1204、話筒 1206、及呈顯示面板形式的顯示系統 1000，話筒 1206 或聽筒 1204 可以被使用於輸出話語。

現在將敘述依據上面實施例的其中一者之顯示系統 1000 被應用於移動式個人電腦的例子。

圖 18 係例舉此個人電腦之組態的等同圖，在此圖形中，個人電腦 1100 係設置有包含鍵盤 1102 和呈顯示面板形式的顯示系統 1000 之本體 1104。

接著，將敘述使用顯示系統 1000 之數位靜止照相機。圖 19 係概括例舉數位靜止照相機及和外部裝置之連接之組態的等同圖。

典型的照相機係根據來自物體之光學影像而使底片感光，而數位靜止照相機 1300 藉由使用，舉例來說，電荷耦合裝置（CCD）之光電轉換而從物體之光學影像產生成

(27)

像訊號，數位靜止照相機 1300 係設置有呈顯示面板形式的顯示系統 1000 在殼體 1302 的背面，以根據來自 CCD 之成像訊號而實施顯示。因此，顯示系統 1000 用作用來顯示物否之尋景器。包含透鏡和 CCD 之光接受單元 1304 係設置在殼體 1302 的正面（在圖形的後面），顯示系統 1000 可以被具體化於數位靜止照相機中。

除了圖 17 所示之可攜式電話、圖 18 所示之個人電腦、和圖 19 所示之數位靜止照相機以外，終端裝置的其他實例包含個人數位助理（PDA）、電視機、尋景器型及監視型錄影帶記錄器、汽車導航系統、傳呼機、電子筆記本、可攜式計算機、文字處理器、工作站、TV 電話、銷售點系統（POS）終端機、和設置有觸控面板之裝置。當然，本發明之顯示系統能夠被應用到這些終端裝置的任何一者。

已經僅經由舉例說明來給出上面的敘述，且習於此技藝者將可領會到，修正能夠被達成，而沒有違離本發明之範疇。

【圖式簡單說明】

本發明之實施例現在將僅經由進一步的實例且參照伴隨之圖形來做敘述，其中：

圖 1 係習知用於主動矩陣型 OLED 顯示器之電壓驅動像素電路的示意圖；

圖 2 係習知用於主動矩陣型 OLED 顯示器之自補償電

(28)

壓編程像素結構的示意圖；

圖 3 係例舉兩種二極體連接電晶體之方式的示意圖；

圖 4 係依據本發明第一實施例之像素電路的示意圖；

圖 5 係例舉再穩態電壓時，圖 4 之像素電路部分的示意圖；

圖 6 係依據本發明第二實施例之像素電路的示意圖；

圖 7 係依據本發明第三實施例之像素電路的示意圖；

圖 8 係依據本發明第四實施例之像素電路的示意圖；

圖 9 係依據本發明第五實施例之像素電路的示意圖；

圖 10 係如同圖 4，6，7，8 及 9 中所例舉之像素電路用的一般驅動波形示意圖；

圖 11 係如同圖 6，7，8 及 9 中所例舉之像素電路用的一般驅動波形示意圖；

圖 12 係如同圖 4，6，7 及 8 中所例舉之像素電路用的架構示意圖；

圖 13 係如同圖 9 中所例舉之像素電路用的架構示意圖；

圖 14 係如同圖 4 中所例舉之像素電路之節點 newdg 處之電壓模擬的示意圖；

圖 15 係用來改變 ΔV_T 值之輸出電流模擬的示意圖；

圖 16 係用於不同輸出電壓及用來改變 ΔV_T 值之輸出電流模擬的示意圖；

圖 17 係結合依據本發明之顯示系統之移動式電話的示意圖；

(29)

圖 18 係結合依據本發明之顯示系統之移動式個人電腦的示意圖；以及

圖 19 係結合依據本發明之顯示系統之數位照相機的示意圖。

【主要元件符號說明】

10：像素電路

12：第一供應線

14：第二供應線

16：第三供應線

18：有機發光裝置

20：像素電路

22：有機發光裝置

50：像素電路

52：第一軌

54：第一節點

56：第一電容器

58：第二節點

60：第一 n-通道電晶體

62：第三節點

64：第二軌

66：第四節點

68：第一 p-通道電晶體

70：第五節點

(30)

72：第六節點
74：驅動器電晶體
76：第七節點
78：第二 n-通道電晶體
80：第八節點
82：第九節點
84：第三 n-通道電晶體
86：第三 p-通道電晶體
88：第三軌
92：第二電容器
94：第四軌
96：有機發光裝置
98：第四 p-通道電晶體
102：第五 p-通道電晶體
104：第四 n-通道電晶體
108：節點
150：陣列
200：陣列
1000：顯示系統
1202：操作鍵
1204：聽筒
1206：話筒
1100：個人電腦
1102：鍵盤

(31)

1104：本體

1300：數位靜止照相機

1302：殼體

1304：光接受單元

五、中文發明摘要

發明之名稱：像素電路

已知補償驅動光發射裝置(例如，電流驅動之有機光發射裝置)之像素電路中之驅動電晶體的臨界電壓變化，但是，如此之像素電路的編程及初始化可以是緩慢的，且需要多條控制或訊號線。本發明提供一包括用來二極體連接驅動器電晶體之 n-通道電晶體的像素電路，及用來減少訊號和控制線之數目的機構。

六、英文發明摘要

發明之名稱： PIXEL CIRCUIT

It is known to compensate for threshold voltage variation of driving transistors in pixel circuits that drive light emission devices such as current driven organic light emission devices. However, programming and initialisation of such pixel circuits can be slow and require a plurality of control or signal lines. The present invention provides a pixel circuit comprising an n-channel transistor for diode-connecting the driver transistor and a means for reducing the number of signal and control lines.

(1)

十、申請專利範圍

1. 一種像素電路，包括：

一第一電晶體及一電容器，係串聯連接在電源供應線與基準線之間，第一電晶體之閘極端子被配置來接收第一控制訊號；

一驅動電晶體及一發光裝置，係串聯連接在電源供應線與另一線之間，驅動電晶體具有一連接至第一節點的閘極端子，其係在第一電晶體與電容器之間，及一用來接收資料訊號的第一端子；以及

一第二電晶體，係配置來二極體-連接該驅動電晶體，以回應在第二電晶體之閘極端子處所接收到的第二控制訊號，藉此，資料訊號當被二極體-連接且保持在第一節點時能夠通過該驅動電晶體，第二電晶體為一 n-通道型電晶體。

2. 如申請專利範圍第 1 項之像素電路，另包括一被串聯連接在電源供應線與驅動電晶體之間的第三電晶體，及一被串聯連接在發光裝置與驅動電晶體之間的第四電晶體，其中，第二電晶體的其中一端子在驅動電晶體與第三電晶體之間的第二節點處被連接至第二電晶體的第二端子。

3. 如申請專利範圍第 2 項之像素電路，其中，第三電晶體和第四電晶體為 p-通道型電晶體，且它們的閘極端子被配置來接收第二控制訊號。

4. 如申請專利範圍第 2 項或第 3 項之像素電路，另包

(2)

括一第五電晶體，係被連接在資料訊號線與驅動電晶體和第四電晶體之間的第二節點之間。

5.如申請專利範圍第4項之像素電路，其中，第五電晶體為一n-通道型電晶體，且包括一閘極端子，以接收第二控制訊號。

6.如申請專利範圍第2項或第3項之像素電路，另包括一被串聯連接在第四電晶體與發光裝置之間的第六電晶體，第六電晶體為一具有和第一電晶體相反之通道類型的電晶體，且具有一閘極端子，以接收第二控制訊號。

7.如申請專利範圍第1項到第3項中任一項之像素電路，另包括一被串聯連接在驅動電晶體的閘極端子與第一節點之間的第七電晶體，及一第八電晶體，被連接在電源供應線與在第七電晶體的其中一端子和驅動電晶體的閘極端子之間的第四節點之間，其中，第八電晶體為一具有和第一電晶體相同之通道類型的電晶體，第七和第八電晶體的閘極端子被配置來接收第一控制訊號。

8.如申請專利範圍第1項到第3項中任一項之像素電路，另包括一第九電晶體及一第十電晶體，第九電晶體係連接在第一節點與第二電晶體之連接至驅動電晶體之閘極端子的端子之間，而第十電晶體係連接在第一節點與第二電晶體之連接至驅動電晶體之第二端子的另一端子之間，其中，第九電晶體為一p-通道型電晶體，且第十電晶體為一n-通道型電晶體，並且第九和第十電晶體的閘極端子被配置來分別接收第一及第二控制訊號。

(3)

9. 一種用來驅動電流驅動元件之像素電路，包括：

一 第一電晶體，第一電晶體的導通狀態對應於被供應至電流驅動元件之驅動電流的電流位準，第一電晶體具有第一閘極端子、第一端子、及第二端子；

一 第二電晶體，具有第二閘極端子；及

一 第三電晶體，被配置來控制介於第一閘極端子與第一端子和第二端子的其中一者間之電氣連接，第三電晶體具有第三閘極端子；

第一端子，被配置來經由第二電晶體而接收資料訊號，該資料訊號決定第一電晶體的導通狀態；以及

第一電晶體的導通類型係不同於第二電晶體的導通類型。

10. 一種用來驅動電流驅動元件之像素電路，包括：

一 第一電晶體，第一電晶體的導通狀態對應於被供應至電流驅動元件之驅動電流的電流位準，第一電晶體具有第一閘極端子、第一端子、及第二端子；

一 第二電晶體，具有第二閘極端子；及

一 第三電晶體，被配置來控制介於第一閘極端子與第一端子和第二端子的其中一者間之電氣連接，第三電晶體具有第三閘極端子；

第一端子，被配置來經由第二電晶體而接收資料訊號，該資料訊號決定第一電晶體的導通狀態；以及

第一電晶體的導通類型係不同於第三電晶體的導通類型。

(4)

11.如申請專利範圍第 9 項或第 10 項之像素電路，

另包括一第四電晶體，其係串聯連接在電流驅動元件與第一電晶體之間，且其具有第四閘極端子。

12.如申請專利範圍第 11 項之像素電路，

第四電晶體的導通類型係不同於第二電晶體的導通類型。

13.如申請專利範圍第 11 項之像素電路，

另包括一第五電晶體，其係串聯連接在第一電晶體與電源供應線之間，而驅動電流係從電源供應線經由第一電晶體而被供應至電流驅動元件，且其具有第五閘極端子。

14.如申請專利範圍第 13 項之像素電路，

第四電晶體的導通類型係和第五電晶體的導通類型相同。

15.如申請專利範圍第 9 項或第 10 項之像素電路，其中，第一電晶體的導通類型為 p-通道類型。

16.如申請專利範圍第 11 項之像素電路，

第四閘極端子、第二閘極端子和第三閘極端子被連接至一訊號線。

17.如申請專利範圍第 13 項之像素電路，

第五閘極端子、第二閘極端子和第三閘極端子被連接至一訊號線。

18.如申請專利範圍第 13 項之像素電路，

另包括一第六電晶體，其係串聯連接在第四電晶體與電流驅動元件之間。

(5)

19.如申請專利範圍第 9 項或第 10 項之像素電路，其中，第一閘極係經由一電容器而被連接至一電源供應線。

20.如申請專利範圍第 19 項之像素電路，另包括一被連接在第一閘極與第一電容器之間的第七電晶體。

21.如申請專利範圍第 20 項之像素電路，另包括一被直接連接在電源供應線與第一閘極之間的第八電晶體。

22.如申請專利範圍第 20 項之像素電路，另包括一被直接連接在電容器與第二端子之間的第九電晶體。

23.一種包括如申請專利範圍第 1 項到第 22 項中任一項之像素電路的顯示設備。

24.如申請專利範圍第 23 項之顯示設備，該顯示設備係形成有至少一第一訊號線、一第二訊號線、一第三訊號線和一資料訊號線成矩陣形式、為第一像素電路提供第一控制訊號的第一控制訊號線、及為第一像素電路提供第二控制訊號的第二控制訊號線；其中，用於第二像素電路之第一控制訊號為由第二控制線所提供之用於第二像素電路的第二控制訊號，且第三控制線提供用於第二像素電路之第二控制訊號。

25.一種驅動像素電路之方法，包括：

施加第一控制訊號，以接通第一電晶體，而第一電晶體係連接在電源供應線與基準線之間，且和第一電容器串聯連接；

施加第二控制訊號，以接通第二電晶體來二極體-連接驅動電晶體，第二電晶體為一 n-通道型電晶體，且驅動

(6)

電晶體係串聯連接至電源供應線與另一線之間的發光裝置，驅動電晶體之閘極端子係連接至第一電晶體與第一電容器之間的第一節點，且驅動電晶體之第一端子被配置來接收資料訊號；

施加第一控制訊號，以切斷第一電晶體；

施加資料訊號於驅動電晶體之第一端子；

施加第二控制訊號，以切斷第二電晶體。

26.如申請專利範圍第 25 項之方法，包括：

將第二控制訊號施加於串聯連接在電源供應器與驅動電晶體之間的第三電晶體，和施加於串聯連接在發光裝置與驅動電晶體之間的第四電晶體，以切斷第三及第四電晶體，而同時第二電晶體被接通，以及接通第三及第四電晶體，而同時第二電晶體被切斷，其中，第二電晶體的其中一端子在驅動電晶體與第三電晶體之間的第二節點處被連接至驅動電晶體的其中一端子。

27.如申請專利範圍第 26 項之方法，其中，第三及第四電晶體為 p-通道型電晶體。

28.如申請專利範圍第 26 項或第 27 項之方法，包括：

將第二控制訊號施加於連接在資料訊號線與驅動電晶體和第四電晶體之間的第三節點之間的第五電晶體，以接通第五電晶體，而同時第二電晶體被接通，以及切斷第三及第五電晶體，而同時第二電晶體被切斷。

29.如申請專利範圍第 26 項或第 27 項之方法，包

(7)

括：

將第一控制訊號施加於串聯連接在第四電晶體與發光裝置之間的第六電晶體，以切斷第六電晶體，而同時第一電晶體被接通，第六電晶體為具有和第一電晶體相反之通道類型的電晶體。

30.如申請專利範圍第 25 項到第 27 項中任一項之方法，包括：

將第一控制訊號施加於串聯連接在驅動電晶體的閘極端子與第一節點之間的第七電晶體，和施加於連接在電源供應線與在第七電晶體的其中一端子和驅動電晶體的閘極端子之間的第四節點之間的第八電晶體，其中，第八電晶體為一具有和第一電晶體相同之通道類型的電晶體，第七電晶體為一具有和第一電晶體相反之通道類型的電晶體，以切斷第七電晶體和接通第八電晶體，而同時第一電晶體被接通。

31.如申請專利範圍第 25 項到第 27 項中任一項之方法，包括：

將第一控制訊號施加於連接在第一節點與第二電晶體之連接至驅動電晶體之閘極端子的端子之間的第九電晶體，並且將第二控制訊號施加於連接在第一節點與第二電晶體之連接至驅動電晶體之第二端子的另一端子之間的第十電晶體，其中，第九電晶體為一 p-通道型電晶體，且第十電晶體為一 n-通道型電晶體，而當第一電晶體被接通時，切斷第九電晶體，且當第二電晶體被接通時，接通第

(8)

十電晶體。

32.如申請專利範圍第 25 項到第 27 項中任一項之方法，其中，基準線為資料訊號線，或者如申請專利範圍第 28 項或第 29 項之方法，其中，第一電晶體被串聯連接在第五電晶體與電容器之間，資料訊號線為基準線，該方法另包括：

在施加第一控制訊號以接通第一電晶體之後，和在施加第一控制訊號以切斷第一電晶體之前，將預充電訊號施加於資料訊號線上，該預充電訊號具有比資料訊號還低之值。

33.一種驅動像素電路之方法，該像素電路包含具有第一閘極端子、第一端子、及第二端子之第一電晶體、具有第二閘極端子之第二電晶體、具有第三閘極端子且控制介於第一閘極端子與第二端子間之電氣連接的第三電晶體、控制介於電流驅動元件與第一電晶體間之電氣連接的第四端子、及控制介於第二端子與預定電壓間之電氣連接的第五端子，該方法包括：

產生像素電路之第一狀態，其中，第二端子係藉由打開第五電晶體而被設定為預定電壓；

產生像素電路之第二狀態，其中，第一端子在至少一部分的第一周期，經由第三電晶體而被電連接至第二端子，在該至少一部分的第一周期期間，第一端子經由第二電晶體而接收資料訊號；以及

產生像素電路之第三狀態，其中，其電流位準對應於

(9)

經由第二狀態所設定之導通狀態的驅動電流係經由第一電晶體和第四電晶體而被供應至電流驅動元件，

第二端子在第二狀態中和預定電壓電斷開，

第一端子在第二狀態中和電流驅動元件電斷開，以及

一控制訊號被共同供應至第二閘極端子、第三端子、第四端子、及第五端子。

圖 1

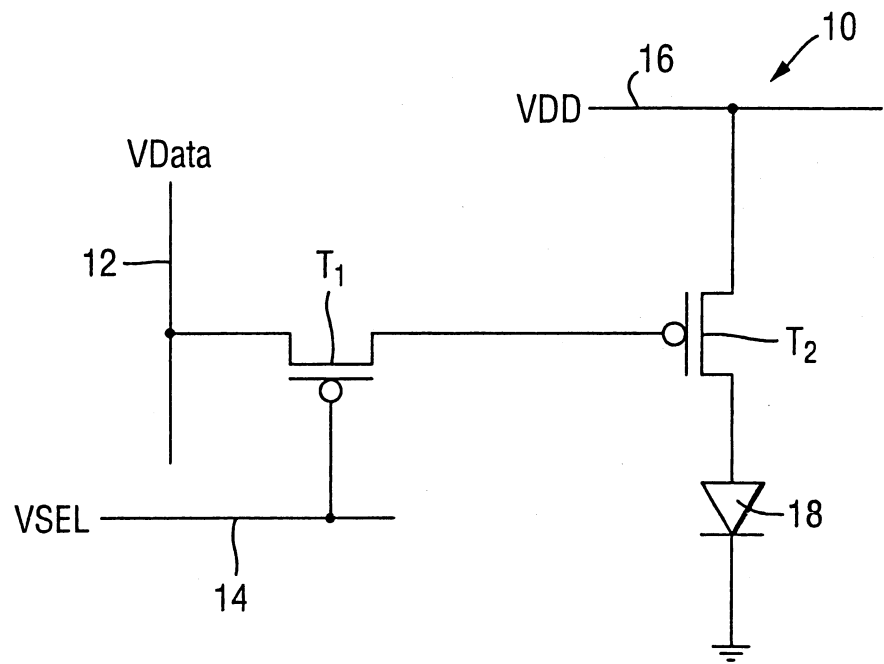


圖 3

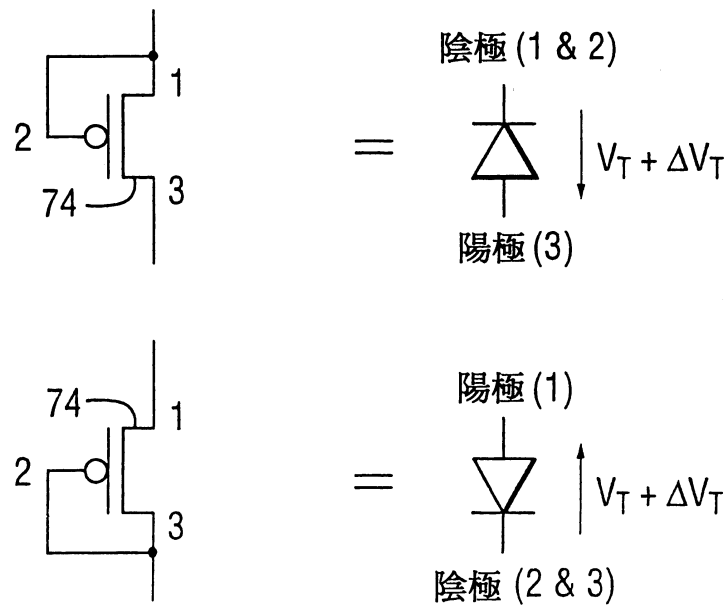
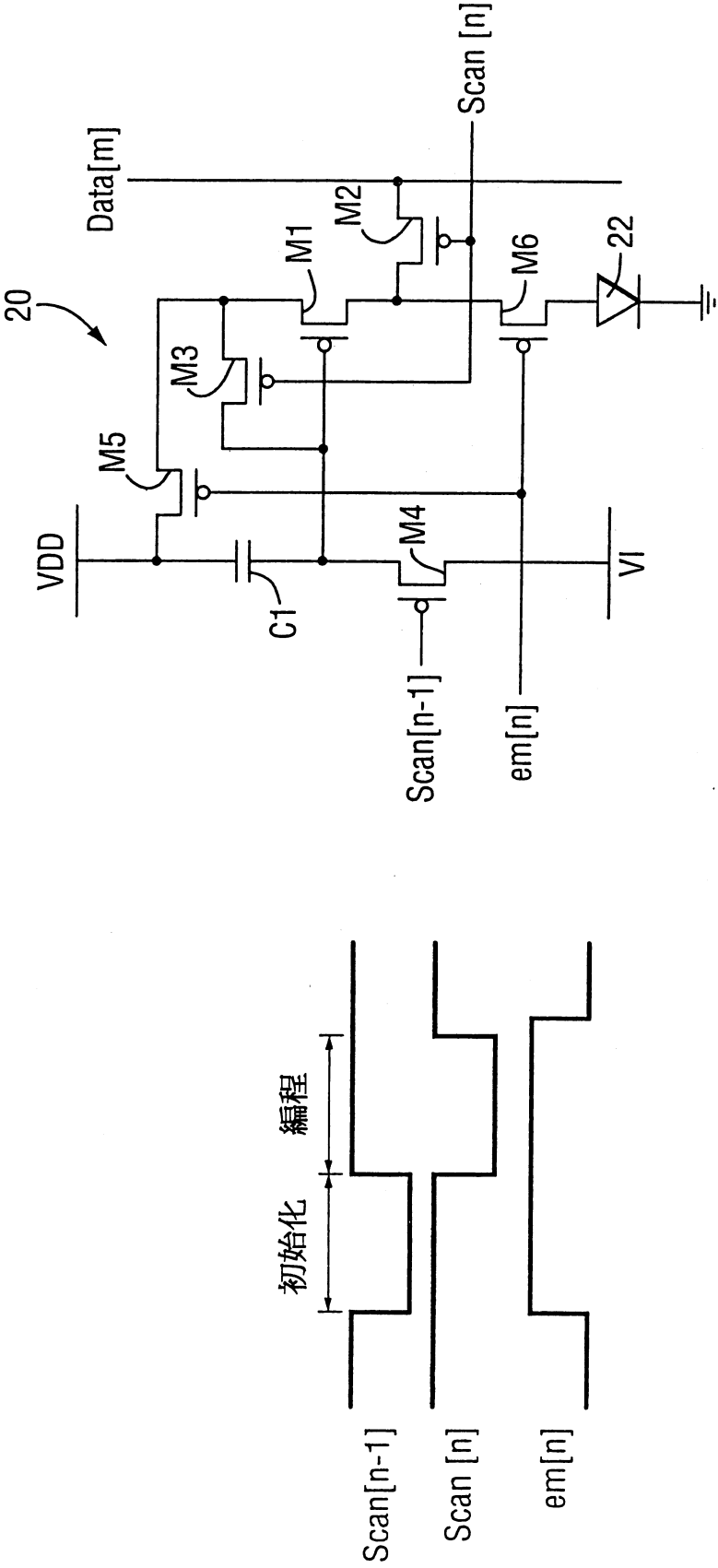


圖2



“A self-compensated voltage programming pixel structure for active-matrix organic light emitting diodes,” by S.M. Choi, et. al., International Display Workshop 2003, Pp.535-538 (2003)

圖 4

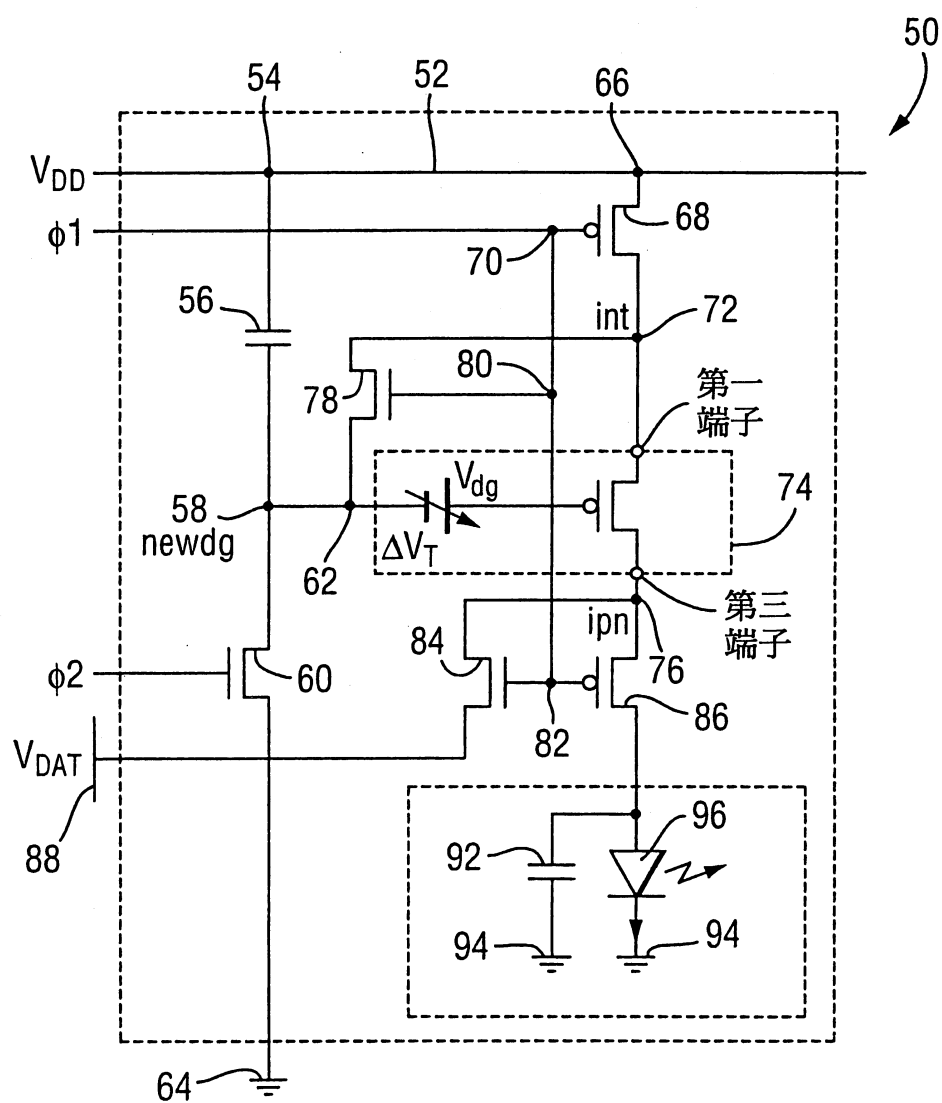


圖6

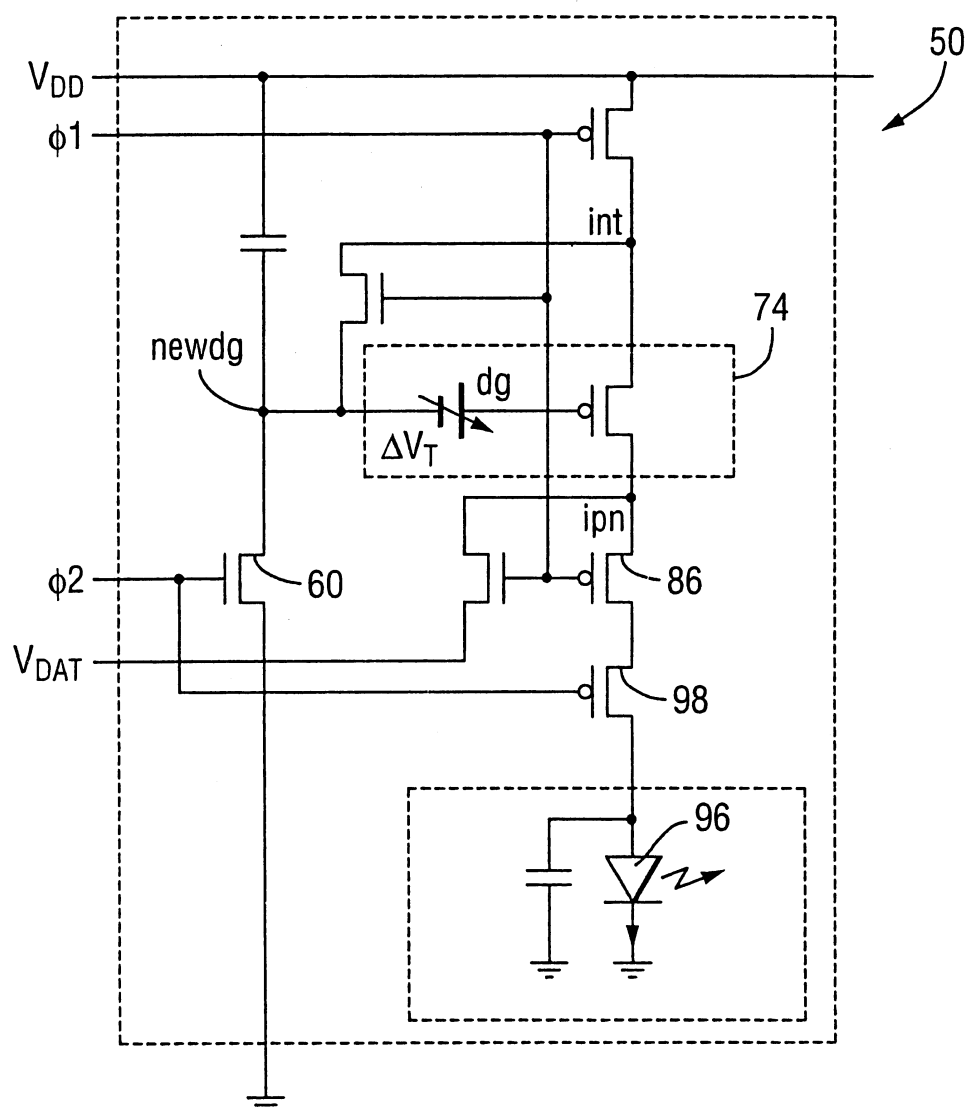


圖 8

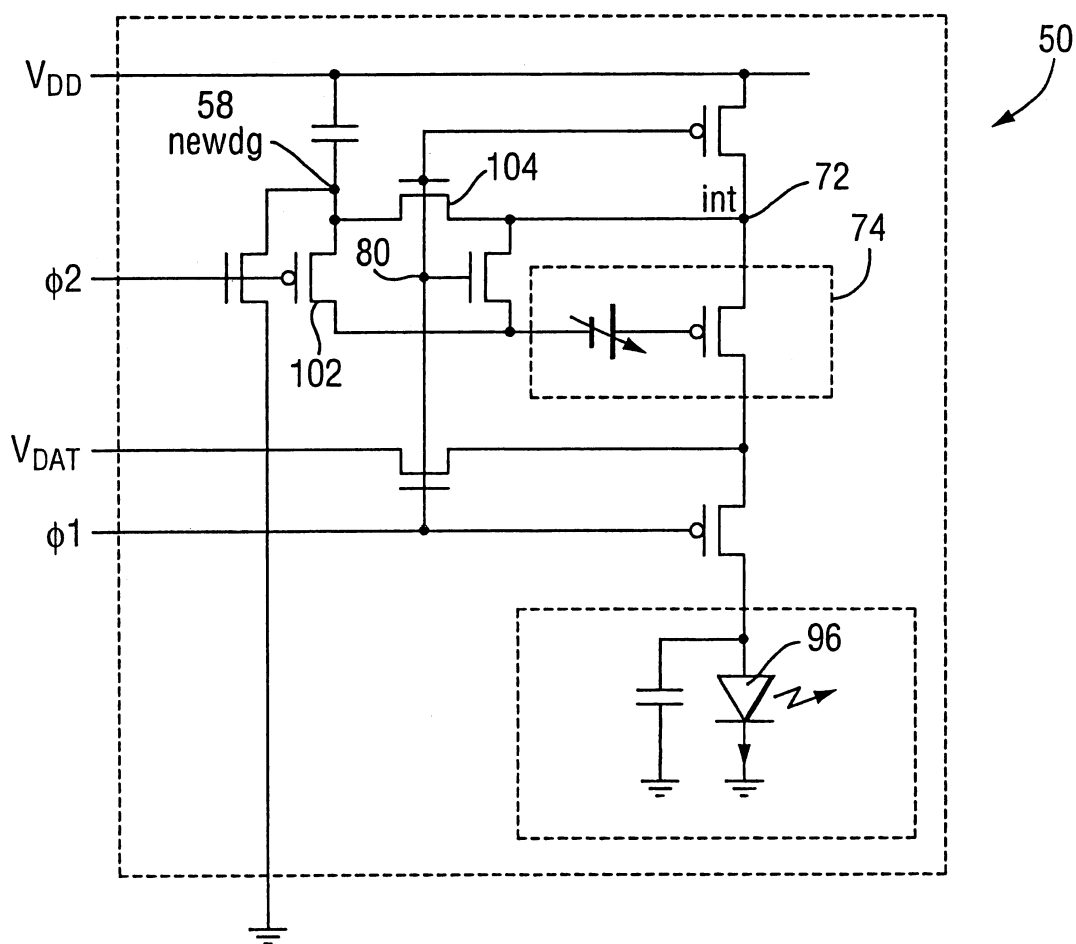


圖 10(a)

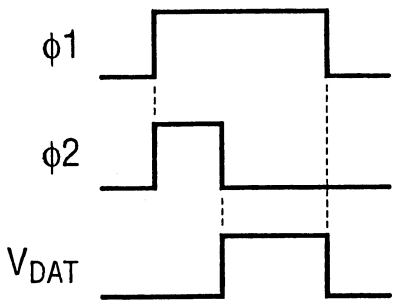


圖 10(c)

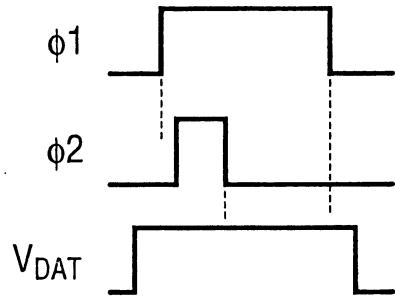


圖 10(b)

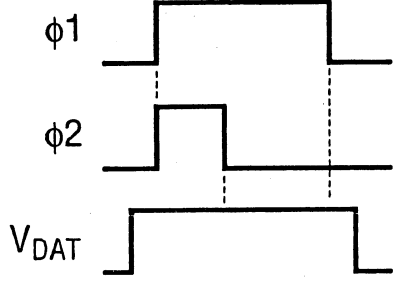


圖 10(d)

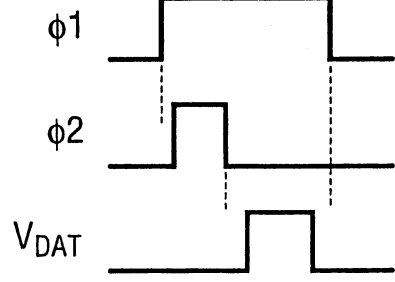


圖 11(a)

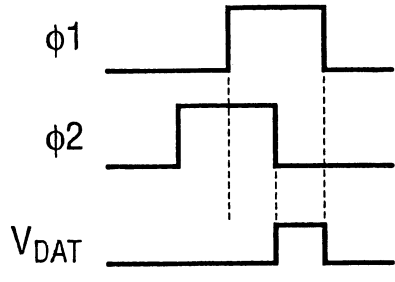


圖 11(c)

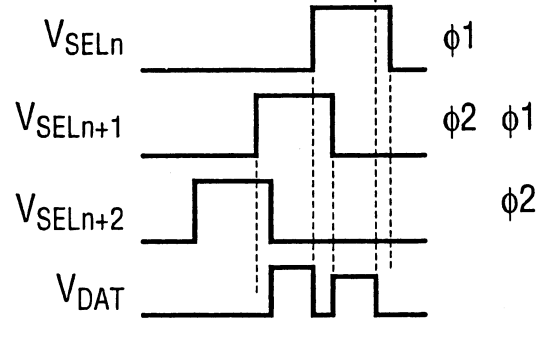


圖 11(b)

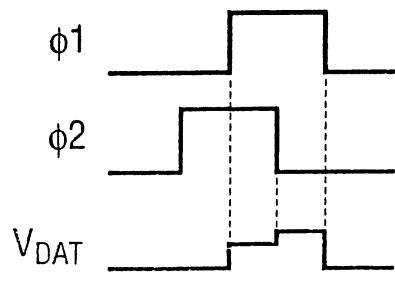


圖 11(d)

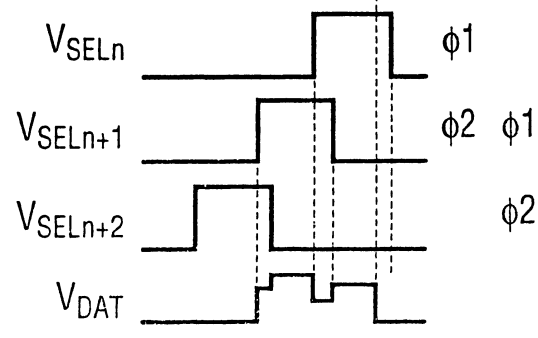


圖12

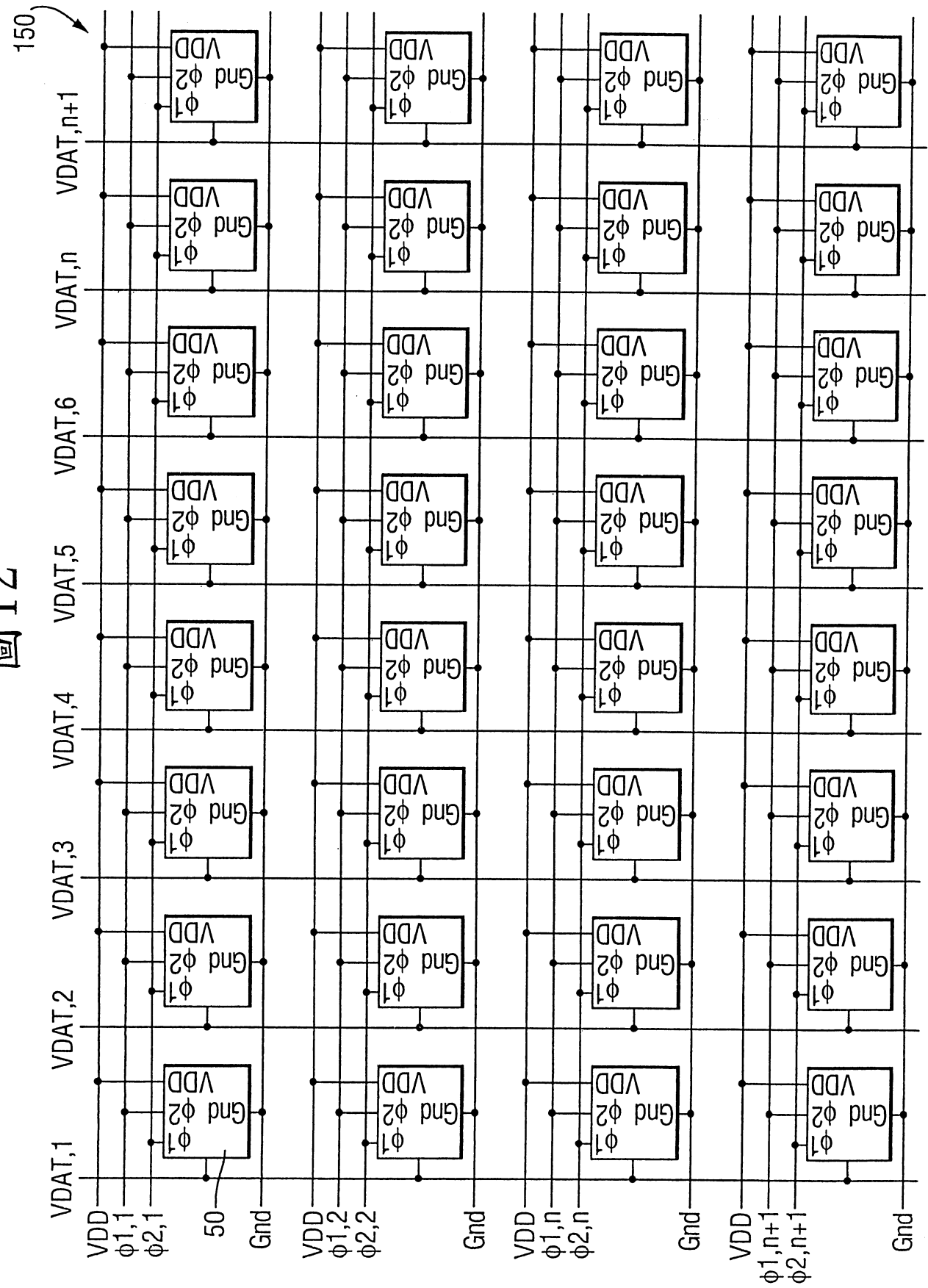


圖13

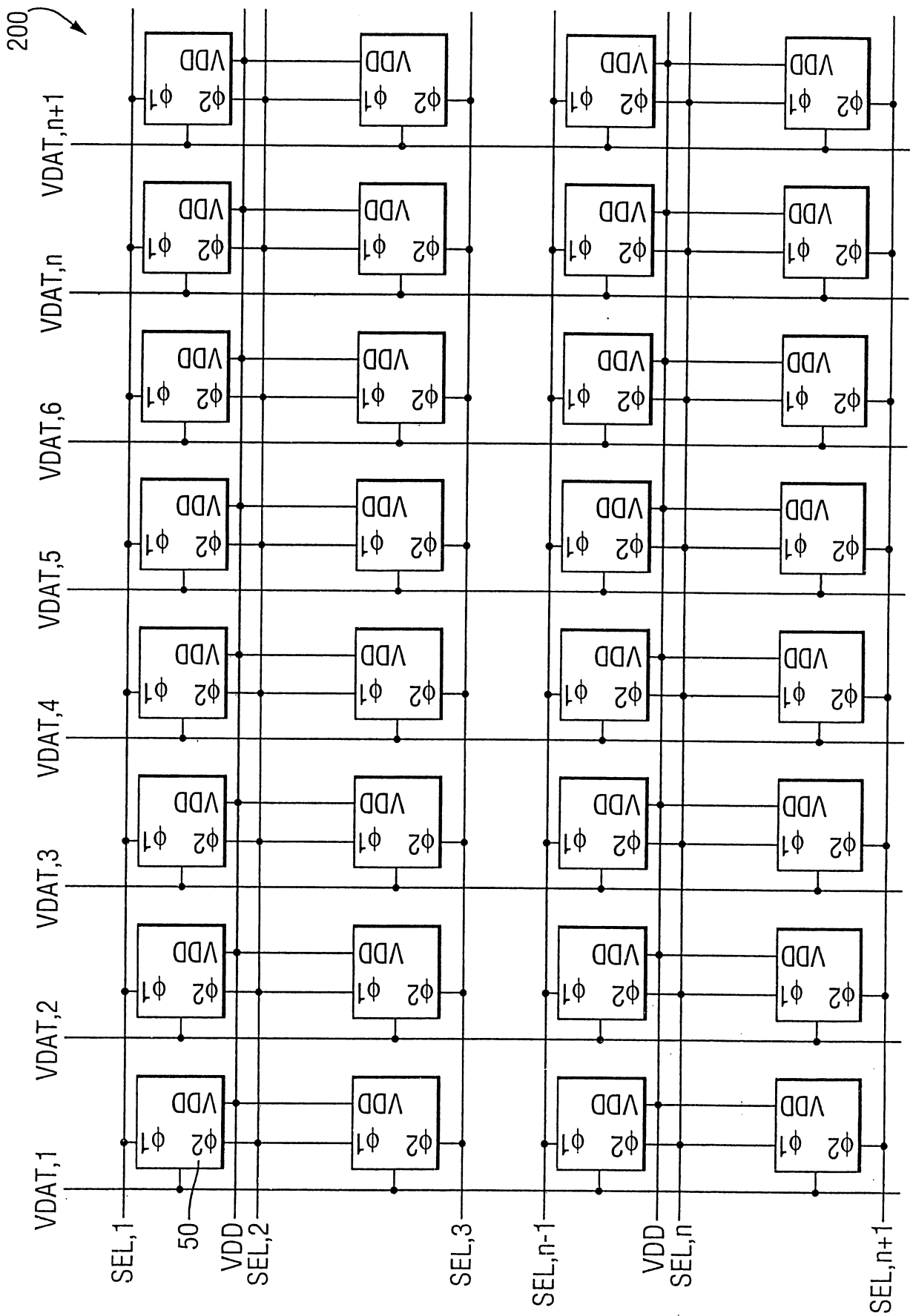


圖 14

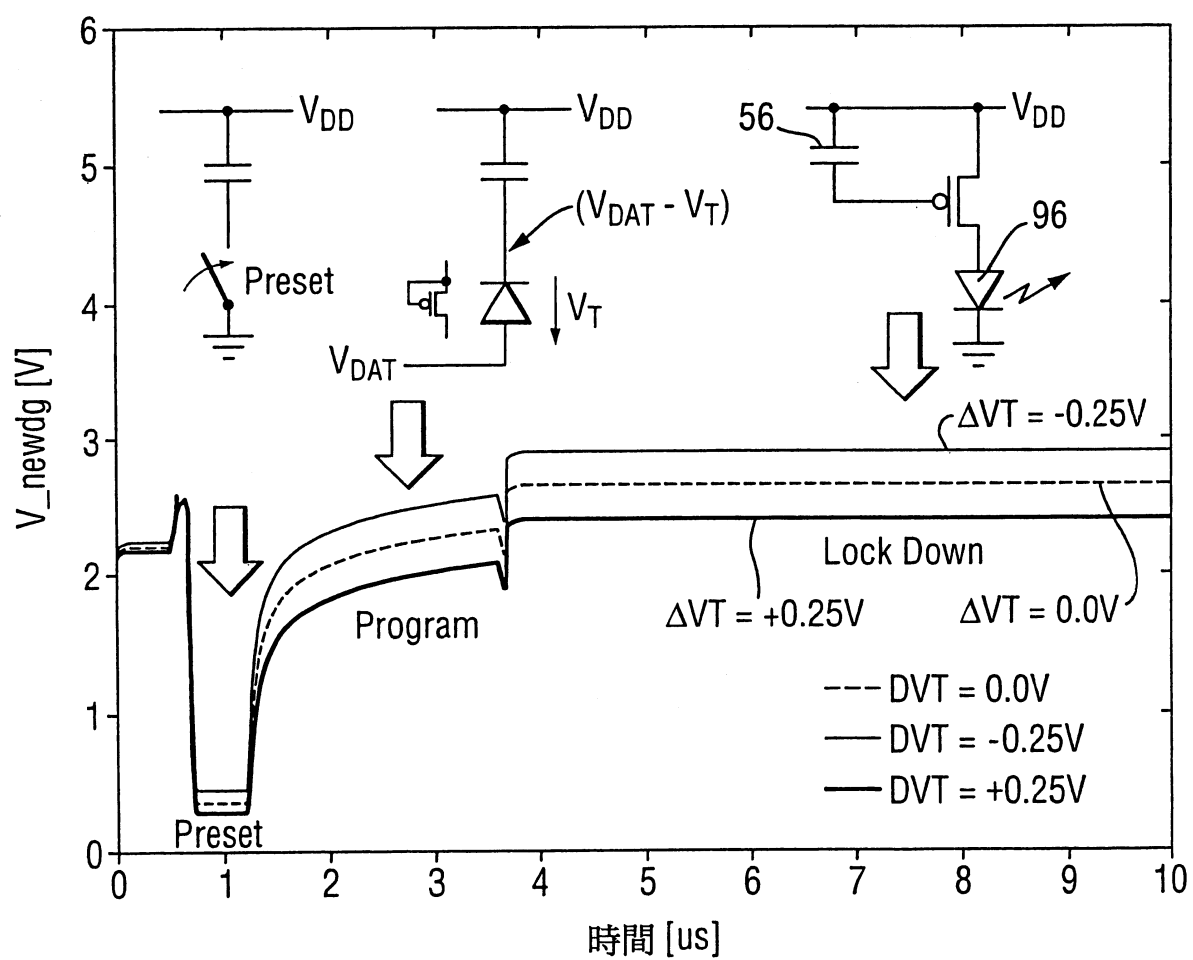


圖 15

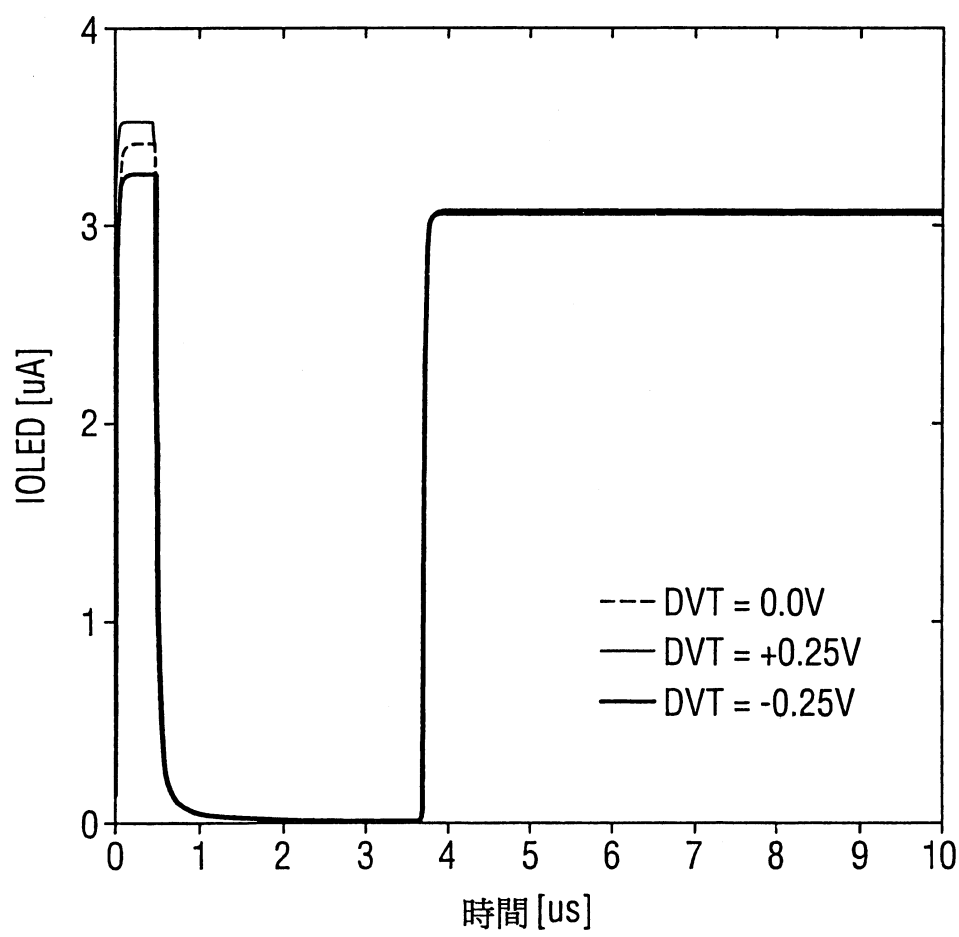


圖16(a)

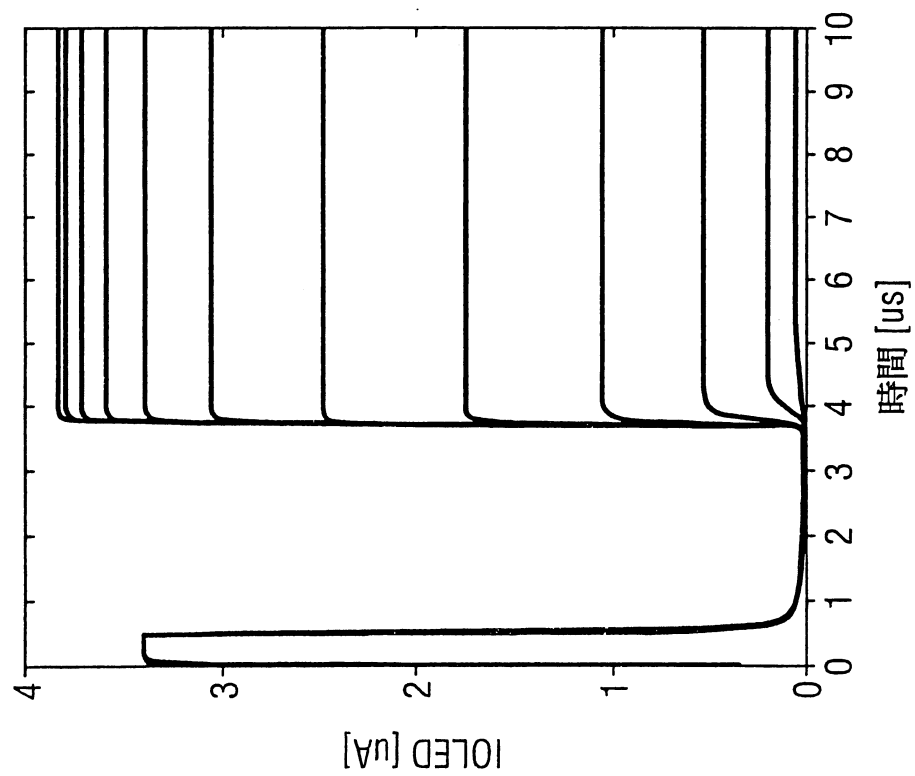


圖16(b)

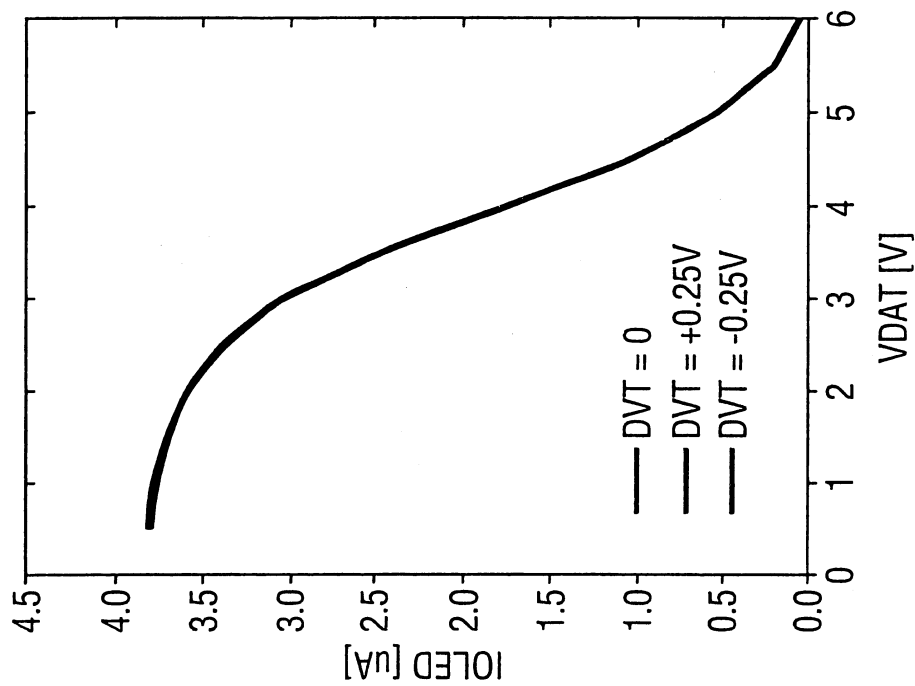


圖17

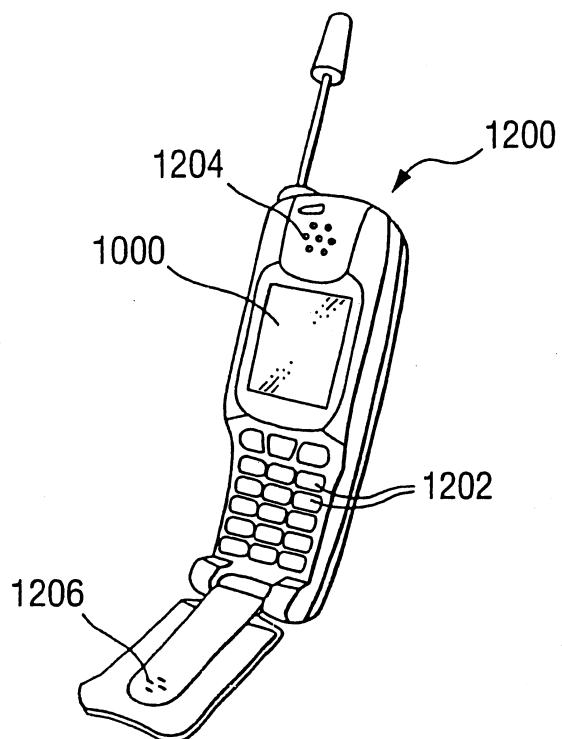


圖18

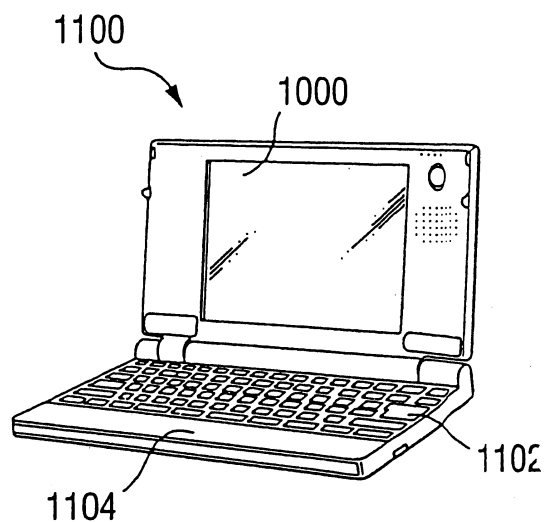
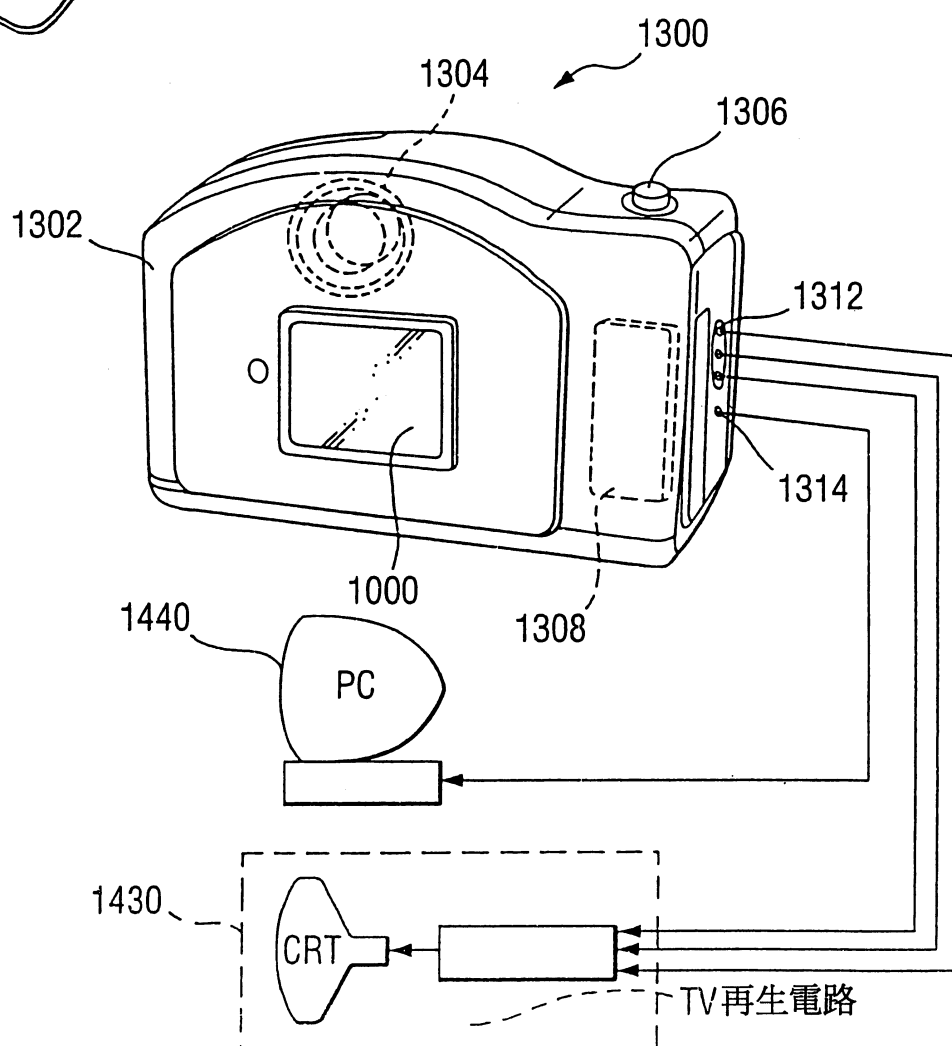


圖19



七、指定代表圖：

(一)、本案指定代表圖為：第(4)圖

(二)、本代表圖之元件代表符號簡單說明：

50：像素電路	52：第一軌
54：第一節點	56：第一電容器
58：第二節點	60：第一 n-通道電晶體
62：第三節點	64：第二軌
66：第四節點	68：第一 p-通道電晶體
70：第五節點	72：第六節點
74：驅動器電晶體	76：第七節點
78：第二 n-通道電晶體	80：第八節點
82：第九節點	84：第三 n-通道電晶體
86：第三 p-通道電晶體	88：第三軌
92：第二電容器	94：第四軌
96：有機發光裝置	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94106149

※申請日期：94年03月01日

※IPC分類：G09G 3/30

一、發明名稱：

(中) 像素電路

(英) Pixel Circuit

二、申請人：(共 1 人)

1. 姓 名：(中) 精工愛普生股份有限公司
(英) SEIKO EPSON CORPORATION

代表人：(中) 1. 上柳雅譽

(英) 1. KAMIYANAGI, MASATAKA

地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號

(英) 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811
Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 賽門 堤姆
(英) TAM, SIMON

國 籍：(中) 英國

(英) UNITED KINGDOM

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 英國 ; 2004/03/04 ; 0404919.3 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94106149

※申請日期：94年03月01日

※IPC分類：G09G 3/30

一、發明名稱：

(中) 像素電路

(英) Pixel Circuit

二、申請人：(共 1 人)

1. 姓 名：(中) 精工愛普生股份有限公司
(英) SEIKO EPSON CORPORATION

代表人：(中) 1. 上柳雅譽

(英) 1. KAMIYANAGI, MASATAKA

地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號

(英) 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811
Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 賽門 堤姆
(英) TAM, SIMON

國 籍：(中) 英國

(英) UNITED KINGDOM

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 英國 ; 2004/03/04 ; 0404919.3 ☒ 有主張優先權