



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0119023
(43) 공개일자 2017년10월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 29/786 (2006.01) H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1251 (2013.01)
(21) 출원번호 10-2016-0046355
(22) 출원일자 2016년04월15일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경
희대학교 국제캠퍼스내)
(72) 발명자
이선희
경기도 화성시 동탄중앙로 220, B동 5901호 (반송
동, 메타폴리스)
리슬링
서울특별시 동대문구 경희대로 26 (회기동)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

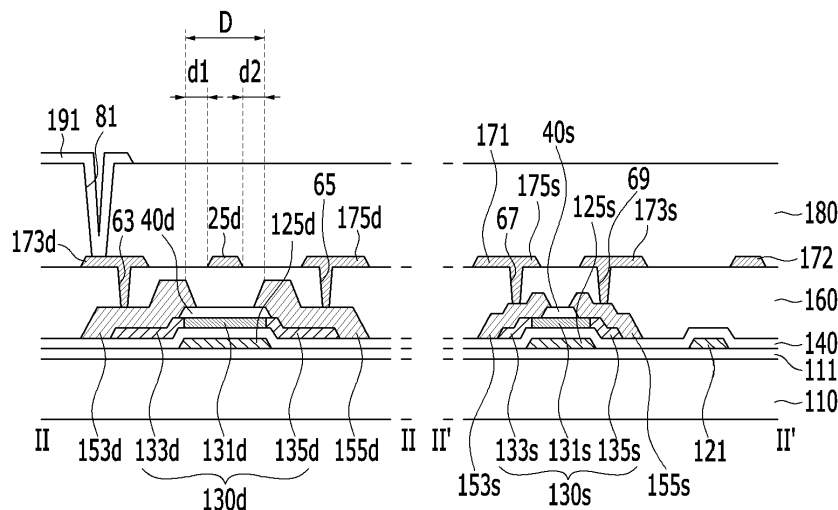
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 트랜지스터 표시판 및 이를 포함하는 표시 장치

(57) 요약

일 실시예에 따른 트랜지스터 표시판은 일 실시예에 따른 트랜지스터 표시판은 가요성 기판, 상기 가요성 기판 위에 위치하는 제1 게이트 전극, 상기 제1 게이트 전극과 중첩하는 산화물 반도체, 상기 산화물 반도체와 각각 연결되는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극에 각각 연결되는 소스 연결 부재 및 드레인 연결 부재, 그리고 상기 산화물 반도체와 중첩하며 상기 산화물 반도체 위에 위치하는 제2 게이트 전극을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 서로 연결되며, 상기 제2 게이트 전극은 상기 소스 연결 부재 및 상기 드레인 연결 부재와 동일한 층에 위치한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3276 (2013.01)

H01L 29/78645 (2013.01)

H01L 51/0097 (2013.01)

H01L 2251/5338 (2013.01)

(72) 발명자

장진

서울특별시 동대문구 경희대로 26 (회기동)

경적

서울특별시 동대문구 경희대로 26 (회기동)

김용환

서울특별시 동대문구 경희대로 26 (회기동)

김태웅

경기도 성남시 분당구 판교역로 98, 705동 1002호
(백현동 , 백현마을7단지아파트)

말로리 마티브웬가

서울특별시 동대문구 경희대로 26 (회기동)

빌라 모하마드 마습

서울특별시 동대문구 경희대로 26 (회기동)

명세서

청구범위

청구항 1

가요성 기판,
 상기 개요성 기판 위에 위치하는 제1 게이트 전극,
 상기 제1 게이트 전극과 중첩하는 산화물 반도체,
 상기 산화물 반도체와 각각 연결되는 소스 전극 및 드레인 전극,
 상기 소스 전극 및 상기 드레인 전극에 각각 연결되는 소스 연결 부재 및 드레인 연결 부재, 그리고
 상기 산화물 반도체와 중첩하며 상기 산화물 반도체 위에 위치하는 제2 게이트 전극
 을 포함하고,
 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 서로 연결되며,
 상기 제2 게이트 전극은 상기 소스 연결 부재 및 상기 드레인 연결 부재와 동일한 층에 위치하는 트랜지스터 표시판.

청구항 2

제1항에서,
 상기 제2 게이트 전극은 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 트랜지스터 표시판.

청구항 3

제2항에서,
 상기 제2 게이트 전극의 일단과 상기 소스 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 이고,
 상기 제2 게이트 전극의 타단과 상기 드레인 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 인 트랜지스터 표시판.

청구항 4

제2항에서,
 상기 산화물 반도체 위에 위치하며, 상기 산화물 반도체와 접촉하는 식각 방지 부재를 더 포함하는 트랜지스터 표시판.

청구항 5

제4항에서,
 상기 식각 방지 부재는 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 위치하는 트랜지스터 표시판.

청구항 6

제1항에서,
 상기 제1 게이트 전극과 상기 산화물 반도체 사이에 위치하는 제1 절연막,
 상기 소스 전극 및 상기 드레인 전극을 덮는 제2 절연막
 을 더 포함하고,
 상기 제1 절연막 및 상기 제2 절연막이 가지는 연결구를 통해 상기 제1 게이트 전극과 상기 제2 게이트 전극은

연결되는 트랜지스터 표시판.

청구항 7

제6항에서,

상기 연결구는 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 중첩하는 트랜지스터 표시판.

청구항 8

제1항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체와 직접 접촉하는 트랜지스터 표시판.

청구항 9

제1항에서,

상기 가요성 기판은 폴리이미드를 포함하는 트랜지스터 표시판.

청구항 10

가요성 기판,

상기 가요성 기판 위에 위치하는 구동 트랜지스터,

상기 구동 트랜지스터에 연결되는 발광 소자를 포함하고,

상기 구동 트랜지스터는

상기 가요성 기판 위에 위치하는 제1 게이트 전극,

상기 제1 게이트 전극과 중첩하는 산화물 반도체,

상기 산화물 반도체와 각각 연결되는 소스 전극 및 드레인 전극,

상기 소스 전극 및 상기 드레인 전극에 각각 연결되는 소스 연결 부재 및 드레인 연결 부재, 그리고

상기 산화물 반도체와 중첩하며 상기 산화물 반도체 위에 위치하는 제2 게이트 전극

을 포함하고,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 서로 연결되며,

상기 제2 게이트 전극은 상기 소스 연결 부재 및 상기 드레인 연결 부재와 동일한 층에 위치하는 표시 장치.

청구항 11

제10항에서,

상기 제2 게이트 전극은 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 표시 장치.

청구항 12

제11항에서,

상기 제2 게이트 전극의 일단과 상기 소스 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 이고,

상기 제2 게이트 전극의 타단과 상기 드레인 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 인 표시 장치.

청구항 13

제11항에서,

상기 산화물 반도체 위에 위치하며, 상기 산화물 반도체와 접촉하는 식각 방지 부재를 더 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 트랜지스터 표시판 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 표시 장치로는 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Diode Display, OLED Display) 등이 사용되고 있다.

[0003] 특히, 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극인 캐소드(cathode)로부터 주입된 전자(electron)와 다른 전극인 애노드(anode)로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0004] 유기 발광 표시 장치는 캐소드, 애노드 및 유기 발광층으로 이루어진 유기 발광 다이오드를 포함하는 복수개의 화소를 포함한다. 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 트랜지스터(transistor) 및 커패시터(capacitor)가 형성된다.

[0005] 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극 및 반도체를 포함한다. 반도체는 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체로는 규소(Si)가 많이 사용되고 있다. 규소는 결정 형태에 따라 비정질 규소 및 다결정 규소로 나누어지는데, 비정질 규소는 제조 공정이 단순한 반면 전하 이동도가 낮아 고성능 트랜지스터를 제조하는데 한계가 있고 다결정 규소는 전하 이동도가 높은 반면 규소를 결정화하는 단계가 요구되어 제조 비용 및 공정이 복잡하다. 최근에는, 비정질 규소보다 전하 이동도가 높고 ON/OFF 비율이 높으며 다결정 규소보다 원가가 저렴하고 균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 트랜지스터에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0006] 실시예는 휘어지는 경우에도 트랜지스터의 특성 변화를 최소화할 수 있는 트랜지스터 표시판 및 이를 포함하는 표시 장치에 관한 것이다.

과제의 해결 수단

[0007] 일 실시예에 따른 트랜지스터 표시판은 가요성 기판, 상기 가요성 기판 위에 위치하는 제1 게이트 전극, 상기 제1 게이트 전극과 중첩하는 산화물 반도체, 상기 산화물 반도체와 각각 연결되는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극에 각각 연결되는 소스 연결 부재 및 드레인 연결 부재, 그리고 상기 산화물 반도체와 중첩하며 상기 산화물 반도체 위에 위치하는 제2 게이트 전극을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 서로 연결되며, 상기 제2 게이트 전극은 상기 소스 연결 부재 및 상기 드레인 연결 부재와 동일한 층에 위치한다.

[0008] 상기 제2 게이트 전극은 상기 소스 전극과 상기 드레인 전극 사이에 위치할 수 있다.

[0009] 상기 제2 게이트 전극의 일단과 상기 소스 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 이고, 상기 제2 게이트 전극의 타단과 상기 드레인 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 일 수 있다.

[0010] 상기 산화물 반도체 위에 위치하며, 상기 산화물 반도체와 접촉하는 식각 방지 부재를 더 포함할 수 있다.

[0011] 상기 식각 방지 부재는 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 위치할 수 있다.

[0012] 상기 제1 게이트 전극과 상기 산화물 반도체 사이에 위치하는 제1 절연막, 상기 소스 전극 및 상기 드레인 전극을 덮는 제2 절연막을 더 포함하고, 상기 제1 절연막 및 상기 제2 절연막이 가지는 연결구를 통해 상기 제1 게이트 전극과 상기 제2 게이트 전극은 연결될 수 있다.

[0013] 상기 연결구는 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 중첩할 수 있다.

[0014] 상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체와 직접 접촉할 수 있다.

[0015] 상기 가요성 기판은 폴리이미드를 포함할 수 있다.

[0016] 또한, 일 실시예에 따른 트랜지스터 표시판을 포함하는 표시 장치는 가요성 기관, 상기 가요성 기관 위에 위치하는 구동 트랜지스터, 상기 구동 트랜지스터에 연결되는 발광 소자를 포함하고, 상기 구동 트랜지스터는 상기 가요성 기관 위에 위치하는 제1 게이트 전극, 상기 제1 게이트 전극과 중첩하는 산화물 반도체, 상기 산화물 반도체와 각각 연결되는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극에 각각 연결되는 소스 연결 부재 및 드레인 연결 부재, 그리고 상기 산화물 반도체와 중첩하며 상기 산화물 반도체 위에 위치하는 제2 게이트 전극을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 서로 연결되며, 상기 제2 게이트 전극은 상기 소스 연결 부재 및 상기 드레인 연결 부재와 동일한 층에 위치할 수 있다.

[0017] 상기 제2 게이트 전극은 상기 소스 전극과 상기 드레인 전극 사이에 위치할 수 있다.

[0018] 상기 제2 게이트 전극의 일단과 상기 소스 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 이고, 상기 제2 게이트 전극의 타단과 상기 드레인 전극의 일단 간의 평면상 거리는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 일 수 있다.

[0019] 상기 산화물 반도체 위에 위치하며, 상기 산화물 반도체와 접촉하는 식각 방지 부재를 더 포함할 수 있다.

발명의 효과

[0020] 일 실시예에 따르면, 트랜지스터 표시판 및 이를 포함하는 표시 장치가 휘어지는 경우에도 트랜지스터의 특성 변화를 최소화할 수 있다.

도면의 간단한 설명

[0021] 도 1은 일 실시예에 따른 트랜지스터 표시판의 평면도이다.

도 2는 도 1에 도시된 트랜지스터 표시판을 II-II선 및 II'-II'선을 따라 자른 단면도이다.

도 3은 도 1 및 도 2에 도시된 트랜지스터 표시판에서 지지판을 분리하는 상태를 나타낸 단면도이다.

도 4는 종래의 트랜지스터 표시판에서 지지판을 분리하는 경우 게이트 전압(V_g)에 따른 드레인 전류(I_d)의 그래프이다.

도 5는 도 1 및 도 2에 도시된 트랜지스터 표시판에서 지지판을 분리하는 경우 게이트 전압(V_g)에 따른 드레인 전류(I_d)의 그래프이다.

도 6은 도 1 및 도 2에 도시된 트랜지스터 표시판이 휘어진 상태를 나타낸 단면도이다.

도 7은 종래의 트랜지스터 표시판이 휘어지는 경우 게이트 전압(V_g)에 따른 드레인 전류(I_d)의 그래프이다.

도 8은 도 1 및 도 2에 도시된 트랜지스터 표시판이 휘어지는 경우 게이트 전압(V_g)에 따른 드레인 전류(I_d)의 그래프이다.

도 9는 도 1 및 도 2에 도시된 트랜지스터 표시판을 포함하는 표시 장치의 등가 회로도이다.

도 10은 도 9의 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0024] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0026] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0027] 도 1은 일 실시예에 따른 트랜지스터 표시판의 평면도이고, 도 2는 도 1에 도시된 트랜지스터 표시판을 II-II선 및 II'-II'선을 따라 자른 단면도이다.
- [0028] 도 2는 도 1에 도시된 트랜지스터 표시판을 II-II선 및 II'-II'선을 따라 자른 단면도이나, 도 2와 같은 단면 구조를 가지는 트랜지스터 표시판의 평면 구조가 도 1에 도시한 바에 한정되는 것은 아니다. 도 1은 구동 트랜지스터(Qd)와 스위칭 트랜지스터(Qs)를 포함하는 유기 발광 표시 장치의 트랜지스터 표시판의 일부분을 도시하고 있지만, 본 발명은 유기 발광 표시 장치에 제한되지 않으며 액정 표시 장치 같은 다른 종류의 표시 장치에 적용될 수 있다.
- [0029] 도 1 및 도 2를 참조하면, 일 실시예에 따른 트랜지스터 표시판은 플라스틱, 유리 등의 절연 물질을 포함하는 가요성 기판(110) 및 가요성 기판(110) 위에 위치하는 복수개의 트랜지스터(Qd, Qs)를 포함한다. 표시 장치가 유기 발광 표시 장치인 경우, 복수개의 트랜지스터(Qd, Qs)는 화소 영역에 위치하는 구동 트랜지스터(switching transistor)(Qd) 및 스위칭 트랜지스터(driving transistor)(Qs)일 수 있다.
- [0030] 도면에서, 제1 방향(D1) 및 제2 방향(D2)은 가요성 기판(110)의 면에 수직인 방향에서 봤을 때 보이는 면에 평행한 방향으로서 서로 수직이고, 제3 방향(D3)은 제1 및 제2 방향(D1, D2)에 수직인 방향으로 대체로 가요성 기판(110)의 면에 수직인 방향이다. 제3 방향(D3)은 주로 단면 구조에서 표시될 수 있으며 단면 방향이라고도 한다. 제1 방향(D1) 및 제2 방향(D2)에 평행한 면을 관찰할 때 보여지는 구조를 평면 구조라 한다. 단면 구조에서 어떤 구성 요소의 위에 다른 구성 요소가 위치한다고 하면 두 구성 요소가 제3 방향(D3)으로 배열되어 있는 것을 의미하며, 두 구성 요소 사이에는 다른 구성 요소가 위치할 수도 있다.
- [0031] 가요성 기판(110)은 폴리이미드(Polyimide) 등의 가요성 필름(flexible film)으로 형성될 수 있다. 가요성 기판(110) 위에는 배리어 층(111)이 위치하고 있다. 배리어 층(111)은 산화 규소(SiO_x), 질화 규소(SiN_x), 산화 알루미늄(Al₂O₃), 산화 하프늄(HfO₃), 산화 이트륨(Y₂O₃) 등의 무기 절연 물질을 포함할 수 있다. 배리어 층(111)은 단일막 또는 다중막일 수 있다. 예컨대, 배리어 층(111)이 이중막일 경우 하부막은 질화 규소(SiN_x)를 포함하고 상부막은 산화 규소(SiO_x)를 포함할 수 있다. 배리어 층(111)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하는 역할을 한다.
- [0032] 배리어 층(111) 위에는 스캔선(121) 및 제1 게이트 전극(125d, 125s)이 위치한다. 제1 게이트 전극(125d, 125s)은 제1 구동 게이트 전극(125d) 및 제1 스위칭 게이트 전극(125s)을 포함한다. 스캔선(121)은 제1 방향(D1)으로 길게 뻗어 스캔 신호(Sn)를 전달한다. 제1 스위칭 게이트 전극(125s)은 스캔선(121)으로부터 제2 방향(D2)으로 돌출되어 있다.
- [0033] 제1 구동 게이트 전극(125d), 제1 스위칭 게이트 전극(125s) 및 스캔선(121)은 구리(Cu), 구리 합금, 알루미늄(Al), 및 알루미늄 합금 중 어느 하나를 포함하는 금속막, 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다.
- [0034] 제1 구동 게이트 전극(125d), 제1 스위칭 게이트 전극(125s) 및 스캔선(121) 위에는 제1 절연막(140)이 위치한다. 제1 절연막(140)은 제1 구동 게이트 전극(125d), 제1 스위칭 게이트 전극(125s) 및 스캔선(121)을 덮는다. 제1 절연막(140)은 산화 규소(SiO_x), 질화 규소(SiN_x), 질산화 규소(SiON), 산화 알루미늄(Al₂O₃), 산화 하프늄(HfO₃), 산화 이트륨(Y₂O₃) 등의 절연 물질을 포함할 수 있다.
- [0035] 제1 절연막(140) 위에는 산화물 반도체(130d, 130s)가 위치한다. 산화물 반도체(130d, 130s)는 서로 이격되어 위치하는 구동 산화물 반도체(130d) 및 스위칭 산화물 반도체(130s)를 포함한다. 구동 산화물 반도체(130d) 및 스위칭 산화물 반도체(130s)는 산화물 반도체 물질로 이루어질 수 있다. 산화물 반도체 물질은 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속의 산화물, 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합을 포함할 수 있다. 좀더 구체적으로, 산화물은 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도 하나를 포함할 수 있다.
- [0036] 구동 산화물 반도체(130d)는 제1 구동 게이트 전극(125d)과 중첩하는 구동 채널(131d), 구동 채널(131d)의 양측에 각각 위치하는 구동 소스 영역(133d) 및 구동 드레인 영역(135d)을 포함한다. 스위칭 산화물 반도체(130s)는 제1 스위칭 게이트 전극(125s)과 중첩하는 스위칭 채널(131s), 스위칭 채널(131s)의 양측에 각각 위치하는

스위칭 소스 영역(133s) 및 스위칭 드레인 영역(135s)을 포함한다.

- [0037] 산화물 반도체(130d, 130s) 위에는 식각 방지 부재(40d, 40s)가 위치한다. 식각 방지 부재(40d, 40s)는 구동 산화물 반도체(130d) 위에 위치하는 구동 식각 방지 부재(40d), 스위칭 산화물 반도체(130s) 위에 위치하는 스위칭 식각 방지 부재(40s)를 포함한다. 구동 식각 방지 부재(40d)는 구동 산화물 반도체(130d)의 구동 채널(131d)와 접촉하며, 구동 산화물 반도체(130d)의 구동 채널(131d)을 덮고 있으므로, 제조 공정 중 구동 산화물 반도체(130d)의 구동 채널(131d)의 손상을 방지한다. 또한, 스위칭 식각 방지 부재(40s)는 스위칭 산화물 반도체(130s)의 스위칭 채널(131s)과 접촉하며, 스위칭 산화물 반도체(130s)의 스위칭 채널(131s)을 덮고 있으므로, 제조 공정 중 스위칭 산화물 반도체(130s)의 스위칭 채널(131s)의 손상을 방지한다.
- [0038] 구동 소스 영역(133d) 및 구동 드레인 영역(135d) 위에는 각각 구동 소스 전극(153d) 및 구동 드레인 전극(155d)이 위치한다. 구동 소스 영역(133d) 및 구동 드레인 영역(135d)은 각각 구동 소스 전극(153d) 및 구동 드레인 전극(155d)과 직접 접촉하며 연결되어 있다. 이 때, 구동 소스 전극(153d)과 구동 드레인 전극(155d)은 소정 간격(D)만큼 이격되어 있다.
- [0039] 또한, 스위칭 소스 영역(133s) 및 스위칭 드레인 영역(135s) 위에는 각각 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s)이 위치한다. 스위칭 소스 영역(133s) 및 스위칭 드레인 영역(135s)은 각각 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s)과 직접 접촉하며 연결되어 있다.
- [0040] 구동 소스 전극(153d), 구동 드레인 전극(155d), 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s)은 구리(Cu), 구리 합금, 알루미늄(Al), 및 알루미늄 합금 중 어느 하나를 포함하는 금속막, 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다층막으로 형성될 수 있다.
- [0041] 구동 소스 전극(153d), 구동 드레인 전극(155d), 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s) 위에는 제2 절연막(160)이 위치한다. 제2 절연막(160)은 구동 소스 전극(153d), 구동 드레인 전극(155d), 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s)을 덮는다. 제2 절연막(160)은 산화 규소(SiO_x), 질화 규소(SiN_x), 질산화 규소(SiON), 산화 알루미늄(Al_2O_3), 산화 hafnium(HfO_3), 산화 이트륨(Y_2O_3) 등의 절연 물질을 포함할 수 있다.
- [0042] 제2 절연막(160)은 구동 소스 전극(153d) 및 구동 드레인 전극(155d)과 각각 중첩하는 제1 접촉 구멍(63) 및 제2 접촉 구멍(65)을 가진다. 또한, 제2 절연막(160)은 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s)과 각각 중첩하는 제3 접촉 구멍(67) 및 제4 접촉 구멍(69)을 가진다. 제2 절연막(160) 및 제1 절연막(140)은 함께 제1 구동 게이트 전극(125d)과 중첩하는 연결구(61)를 가지며, 제2 절연막(160) 및 제1 절연막(140)은 함께 제1 구동 게이트 전극(125d)의 일단부(26)와 중첩하는 제5 접촉 구멍(68)을 가진다.
- [0043] 제2 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제2 게이트 전극(25d), 소스 연결 부재(173d, 173s) 및 드레인 연결 부재(175d, 175s)가 위치한다. 도 1에 도시한 바와 같이, 데이터선(171)은 데이터 신호(Dm)를 전달하며 스캔선(121)과 교차하는 제2 방향(D2)으로 뻗어 있다. 구동 전압선(172)은 구동 전압(ELVDD)을 전달하며 데이터선(171)과 분리되어 제2 방향(D2)으로 뻗어 있다.
- [0044] 제2 게이트 전극(25d)은 제1 구동 게이트 전극(125d)과 중첩하고 있으며, 구동 소스 전극(153d)과 구동 드레인 전극(155d) 사이에 위치하고 있다.
- [0045] 제2 게이트 전극(25d)의 일단과 구동 소스 전극(153d)의 일단 간은 평면상 거리(d1)를 두고 서로 이격되어 있으며, 제2 게이트 전극(25d)의 타단과 구동 드레인 전극(155d)의 일단 간도 평면상 거리(d2)를 두고 서로 이격되어 있다.
- [0046] 제2 게이트 전극(25d)이 구동 소스 전극(153d) 또는 구동 드레인 전극(155d)과 평면상 중첩되는 경우에는 기생 커패시터의 크기가 구동 트랜지스터의 특성에 영향을 줄 수 있을 정도로 커질 수 있다. 따라서, 이러한 기생 커패시터를 최소화하기 위해 상기와 같이 거리(d1, d2)를 가지도록 제2 게이트 전극(25d), 구동 소스 전극(153d) 및 구동 드레인 전극(155d)의 위치를 설정한다.
- [0047] 특히, 제2 게이트 전극(25d)의 일단과 구동 소스 전극(153d)의 일단 간의 평면상 거리(d1)는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 일 수 있고, 제2 게이트 전극(25d)의 타단과 구동 드레인 전극(155d)의 일단 간의 평면상 거리(d2)는 $0.1\mu\text{m}$ 내지 $3\mu\text{m}$ 일 수 있다. 거리(d1, d2)가 $0.1\mu\text{m}$ 보다 작은 경우에는 기생 커패시터에 의해 구동 트랜지스터의 특성이 변화되며, 거리(d1, d2)가 $3\mu\text{m}$ 보다 큰 경우에는 개구율 등을 확보하기 어렵다.

- [0048] 소스 연결 부재(173d, 173s)는 구동 소스 연결 부재(173d) 및 스위칭 소스 연결 부재(173s)를 포함한다. 드레인 연결 부재(175d, 175s)는 구동 드레인 연결 부재(175d) 및 스위칭 드레인 연결 부재(175s)를 포함한다.
- [0049] 구동 드레인 연결 부재(175d)는 구동 전압선(172)에서 제1 방향(D1)의 역방향으로 돌출되어 있으며, 스위칭 드레인 연결 부재(175s)는 데이터선(171)에서 제1 방향(D1)으로 돌출되어 있다.
- [0050] 구동 소스 연결 부재(173d) 및 구동 드레인 연결 부재(175d)는 각각 제1 접촉 구멍(63) 및 제2 접촉 구멍(65)을 통해 구동 소스 전극(153d) 및 구동 드레인 전극(155d)과 연결된다. 스위칭 소스 연결 부재(173s) 및 스위칭 드레인 연결 부재(175s)는 각각 제3 접촉 구멍(67) 및 제4 접촉 구멍(69)을 통해 스위칭 소스 전극(153s) 및 스위칭 드레인 전극(155s)과 연결된다.
- [0051] 이와 같이, 구동 소스 전극(153d)과 화소 전극(191)을 연결하는 구동 소스 연결 부재(173d)를 형성함으로써, 구동 소스 전극(153d)을 화소 전극(191)과 직접 연결하지 않아도 되므로, 제1 접촉 구멍(63)의 깊이를 깊게 하지 않아도 된다. 따라서, 제1 접촉 구멍(63)을 형성하기 위해 제2 절연막(160)을 식각하는 경우, 제2 절연막(160)이 과식각되는 현상을 방지할 수 있다.
- [0052] 스위칭 소스 연결 부재(173s)의 일단부(178)는 제1 구동 게이트 전극(125d)의 일단부(178)과 중첩하며, 제5 접촉 구멍(68)을 통해 서로 연결된다. 따라서, 스위칭 트랜지스터(Qs)를 통해 전달된 데이터 신호(Dm)는 구동 트랜지스터(Qd)의 제1 구동 게이트 전극(125d)으로 전달된다.
- [0053] 제1 구동 게이트 전극(125d)은 제2 게이트 전극(25d)과 연결구(61)를 통해 서로 연결된다. 이와 같이, 구동 산화물 반도체(130d)의 하부 및 상부에 각각 제1 구동 게이트 전극(125d)과 제2 게이트 전극(25d)을 위치시키고 서로 연결함으로써, 가요성 기판(110) 위에 적층된 박막들이 휘어지는 경우에 트랜지스터 특성의 변화를 최소화할 수 있다. 즉, 구동 산화물 반도체(130d)의 구동 채널(131d)과 제1 절연막(140)간의 경계면이 아니라 구동 채널(131d)의 내부에 전하가 이동하는 통로를 형성함으로써, 박막들이 휘어지는 경우 발생하는 경계면의 손상에도 트랜지스터가 영향을 덜 받게 된다.
- [0054] 이하에서, 가요성 기판(110) 위에 적층된 박막들이 휘어지는 경우의 트랜지스터 특성 변화를 도 3 내지 도 8을 참고하여 상세히 설명한다.
- [0055] 도 3은 도 1 및 도 2에 도시된 트랜지스터 표시판에서 지지판을 분리하는 상태를 나타낸 단면도이다.
- [0056] 도 3에 도시한 바와 같이, 가요성 표시 장치를 제조하는 경우에는 지지판(10) 위에 가요성 기판(110)을 위치시키고, 가요성 기판(110) 위에 구동 트랜지스터(Qd) 및 스위칭 트랜지스터(Qs)를 이루는 박막들을 형성한다. 그리고, 지지판(10)을 가요성 기판(110)으로부터 분리시킨다. 이 때, 구동 산화물 반도체(130d)의 구동 채널(131d)과 제1 절연막(140)의 경계면에 응력이 가해지게 되므로, 구동 채널(131d)과 제1 절연막(140)의 경계면에 손상이 발생할 수 있다.
- [0057] 도 4는 종래의 트랜지스터 표시판에서 지지판을 분리하는 경우 게이트 전압(Vg)에 따른 드레인 전류(Id)의 그래프이다. 여기서, L1은 구동 채널의 길이가 4 μ m인 경우의 그래프이고, L2는 구동 채널의 길이가 6 μ m인 경우의 그래프이고, L3는 구동 채널의 길이가 10 μ m인 경우의 그래프이다.
- [0058] 도 4에 도시한 바와 같이, 종래의 트랜지스터 표시판에서 지지판을 분리하는 경우에는 구동 채널의 길이가 다른 경우 게이트 전압(Vg)에 따른 드레인 전류(Id)의 특성 그래프가 달라지게 된다. 이는 반도체와 인접한 절연막의 경계면에 응력이 가해지게 되므로, 반도체의 채널과 절연막의 경계면에 손상이 발생하여 게이트 전압(Vg)에 따른 드레인 전류(Id)의 특성 그래프가 달라지게 된다.
- [0059] 그러나, 일 실시예에 따른 트랜지스터 표시판에서는 가요성 기판(110) 위에 적층된 박막들이 휘어지는 경우에는 트랜지스터 특성의 변화를 최소화할 수 있다.
- [0060] 도 5는 도 1 및 도 2에 도시된 트랜지스터 표시판에서 지지판을 분리하는 경우 게이트 전압(Vg)에 따른 드레인 전류(Id)의 그래프이다.
- [0061] 도 5에 도시한 바와 같이, 일 실시예에 따른 트랜지스터 표시판에서 지지판(10)을 분리하는 경우에는 구동 채널(131d)의 길이가 다른 경우에도 게이트 전압(Vg)에 따른 드레인 전류(Id)의 특성 그래프가 거의 변화가 없게 된다. 이는 구동 산화물 반도체(130d)의 하부 및 상부에 각각 제1 구동 게이트 전극(125d)과 제2 게이트 전극(25d)을 위치시키고 서로 연결함으로써, 구동 채널(131s)의 내부에 채널을 형성하게 되어, 박막들이 휘어지는 경우 발생하는 경계면의 손상에도 트랜지스터가 영향을 덜 받게 되기 때문이다.

- [0062] 도 6은 도 1 및 도 2에 도시된 트랜지스터 표시판이 휘어진 상태를 나타낸 단면도이다.
- [0063] 도 6에 도시한 바와 같이, 가요성 기관(110)에 위치하는 구동 트랜지스터(Qd) 및 스위칭 트랜지스터(Qs)는 트랜지스터 표시판이 휘어지는 경우, 응력에 의해 구동 채널(131d)과 제1 절연막(140)의 경계면에 손상이 발생할 수 있다.
- [0064] 도 7은 종래의 트랜지스터 표시판이 휘어지는 경우 게이트 전압(Vg)에 따른 드레인 전류(Id)의 그래프이다. 여기서, r0는 밴딩 반경이 무한대인 경우, 즉 트랜지스터 표시판이 휘어지지 않은 경우의 그래프이고, r1 내지 r5는 밴딩 반경을 점차 작게 한 경우 즉, 트랜지스터 표시판을 점차로 많이 휘게 한 경우의 그래프이다.
- [0065] 도 7에 도시한 바와 같이, 종래의 트랜지스터 표시판이 휘어진 경우에는 밴딩 반경이 작아질수록 게이트 전압(Vg)에 따른 드레인 전류(Id)의 특성 그래프가 달라지게 된다. 이는 밴딩 반경이 작아질수록 반도체와 인접한 절연막의 경계면에 가해지는 응력이 점차로 커지게 되므로, 반도체의 채널과 절연막의 경계면에 가해지는 손상이 커져 게이트 전압(Vg)에 따른 드레인 전류(Id)의 특성 그래프가 달라지게 된다.
- [0066] 그러나, 일 실시예에 따른 트랜지스터 표시판에서는 가요성 기관(110) 위에 적층된 박막들이 휘어지는 경우에는 트랜지스터 특성의 변화를 최소화할 수 있다.
- [0067] 도 8은 도 1 및 도 2에 도시된 트랜지스터 표시판이 휘어지는 경우 게이트 전압(Vg)에 따른 드레인 전류(Id)의 그래프이다.
- [0068] 도 8에 도시한 바와 같이, 일 실시예에 따른 트랜지스터 표시판이 휘어지는 경우에는 밴딩 반경이 작아지는 경우에도 게이트 전압(Vg)에 따른 드레인 전류(Id)의 특성 그래프가 거의 변화가 없게 된다. 이는 구동 산화물 반도체(130d)의 하부 및 상부에 각각 제1 구동 게이트 전극(125d)과 제2 게이트 전극(25d)을 위치시키고 서로 연결함으로써, 구동 채널(131s)의 내부에 전하가 이동하는 통로를 형성하여, 박막들이 휘어지는 경우 발생하는 경계면의 손상에도 트랜지스터가 영향을 덜 받게 되기 때문이다.
- [0069] 한편, 제1 구동 게이트 전극(125d)에서 제2 방향(D2)으로 연장되어 제1 커패시터 전극(25)가 위치한다. 그리고, 구동 전압선(172)에서 제1 커패시터 전극(25) 쪽으로 연장된 제2 커패시터 전극(35)은 제1 커패시터 전극(25)과 중첩하여 스토리지 커패시터(storage capacitor, Cst)를 이룬다.
- [0070] 제2 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제2 게이트 전극(25d), 소스 연결 부재(173d, 173s) 및 드레인 연결 부재(175d, 175s)를 덮는 보호막(180)이 위치할 수 있다. 보호막(180)은 무기 절연 물질 및 유기 절연 물질 중 적어도 하나를 포함할 수 있으며, 단일막 또는 다중막으로 이루어질 수 있다. 보호막(180)의 윗면은 실질적으로 평탄할 수 있다. 보호막(180)은 구동 소스 연결 부재(173d)와 중첩하는 화소 접촉 구멍(81)을 가진다.
- [0071] 보호막(180) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 화소 접촉 구멍(81)을 통해 구동 소스 연결 부재(173d)와 연결되고, 구동 소스 연결 부재(173d)는 제1 접촉 구멍(63)을 통해 구동 소스 전극(153d)과 전기적으로 연결되어 있다. 이와 같이, 화소 전극(191)은 구동 소스 전극(153d)과 전기적으로 연결되어, 예컨대 데이터 전압을 인가받을 수 있다. 화소 전극(191)은 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO) 등과 같이 투명한 도전 물질을 포함할 수 있다.
- [0072] 이제 일 실시예에 따른 트랜지스터 표시판을 포함하는 표시 장치에 대하여 도 9 및 도 10을 참고하여 설명하기로 한다.
- [0073] 도 9는 도 1 및 도 2에 도시된 트랜지스터 표시판을 포함하는 표시 장치의 등가 회로도이고, 도 10은 도 9의 표시 장치의 단면도이다.
- [0074] 본 실시예에 따른 표시 장치는 유기 발광 표시 장치이며, 전술한 실시예에 따른 트랜지스터 표시판을 포함할 수 있다.
- [0075] 도 9에 도시한 바와 같이, 일 실시예에 따른 트랜지스터 표시판을 포함하는 표시 장치의 하나의 화소(PX)는 복수개의 신호선(121, 171, 172), 복수개의 신호선(121, 171, 172)에 연결되어 있는 복수개의 트랜지스터(Qs, Qd), 스토리지 커패시터(Cst) 및 발광 소자를 포함한다.
- [0076] 복수개의 신호선(121, 171, 172)은 스캔 신호(Sn)를 전달하는 스캔선(121), 데이터 신호(Dm)를 전달하는 데이터선(171), 그리고 구동 전압(ELVDD)을 전달하는 구동 전압선(172)을 포함한다. 트랜지스터(Qs, Qd)는 스위칭 트랜지스터(Qs), 구동 트랜지스터(Qd)를 포함하며, 발광 소자는 유기 발광 다이오드(organic light emitting

diode, OLED)를 포함한다.

- [0077] 스위칭 트랜지스터(Qs)는 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스캔선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 스캔선(121)에 인가되는 스캔 신호(Sn)에 응답하여 데이터선(171)에 인가되는 데이터 신호(Dm)를 구동 트랜지스터(Qd)에 전달한다.
- [0078] 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(OLED)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 구동 전류(Id)를 흘린다.
- [0079] 스토리지 커패시터(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 스토리지 커패시터(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn off)된 뒤에도 이를 유지한다.
- [0080] 유기 발광 다이오드(OLED)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode), 공통 전압(ELVSS)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(OLED)는 구동 트랜지스터(Qd)의 구동 전류(Id)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0081] 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n 채널 전계 효과 트랜지스터(field effect transistor, FET) 또는 p 채널 전계 효과 트랜지스터일 수 있다. 그리고, 트랜지스터(Qs, Qd), 스토리지 커패시터(Cst) 및 유기 발광 다이오드(OLED)의 연결 관계는 바뀔 수 있다.
- [0082] 도 9에 도시한 트랜지스터 표시판의 구체적인 단면 구조에 대해 이하에서 도 10을 참고하여 상세히 설명한다. 이 때, 앞에서 설명한 구성 요소에 대한 설명은 생략한다.
- [0083] 도 10에 도시한 바와 같이, 보호막(180)과 화소 전극(191) 위에는 화소 정의막(350)이 위치한다. 화소 정의막(350)은 화소 전극(191)과 중첩하는 개구부(351)를 포함한다. 화소 정의막(350)은 폴리아크릴계(polyacrylics), 폴리이미드계(polyimides) 등의 수지, 실리카 계열의 무기물 등을 포함할 수 있다.
- [0084] 화소 정의막(350)의 개구부(351)에는 화소 전극(191) 위로 발광층(370)이 위치하고, 발광층(370) 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 발광층(370) 및 공통 전극(270)은 함께 유기 발광 다이오드(OLED)를 구성한다. 화소 전극(191)은 유기 발광 다이오드(OLED)의 애노드(anode)일 수 있고, 공통 전극(270)은 유기 발광 다이오드(OLED)의 캐소드(cathode)일 수 있다.
- [0085] 발광층(370)에서 나오는 빛은 직접 또는 몇 번의 반사를 거친 후 가요성 기판(110)을 통과해 가요성 기판(110)의 아래쪽으로 출광될 수도 있고 가요성 기판(110)을 통하지 않고 가요성 기판(110)의 위쪽 방향으로 출광될 수도 있다.
- [0086] 공통 전극(270)의 위에는 유기 발광 다이오드(OLED)를 보호하는 봉지 층(encapsulation layer)(도시되지 않음)이 위치할 수 있다.
- [0087] 본 개시를 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

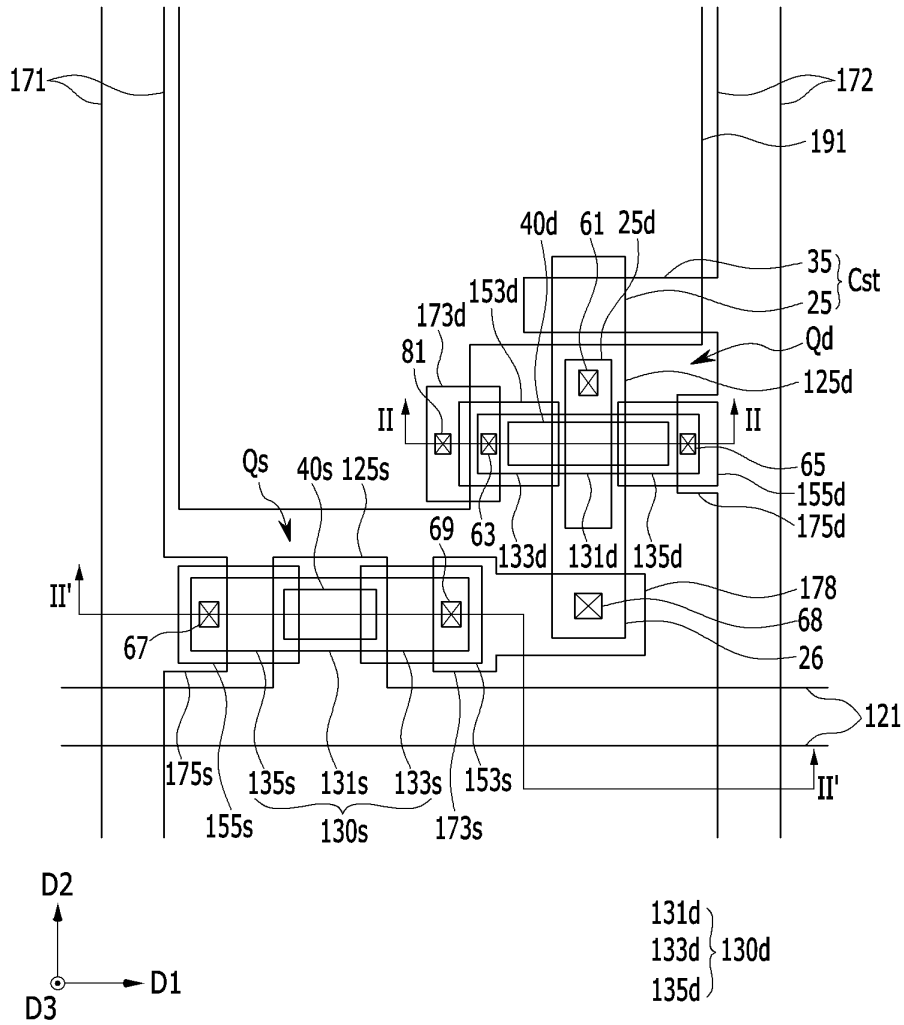
부호의 설명

- [0088] 110: 기판 111: 배리어 층
125d: 제1 구동 게이트 전극 125s: 스위칭 게이트 전극
130d: 구동 산화물 반도체 130s: 스위칭 산화물 반도체
140: 제1 절연막 153d: 구동 소스 전극
155d: 구동 드레인 전극 153s: 스위칭 소스 전극
155s: 스위칭 드레인 전극 160: 제2 절연막

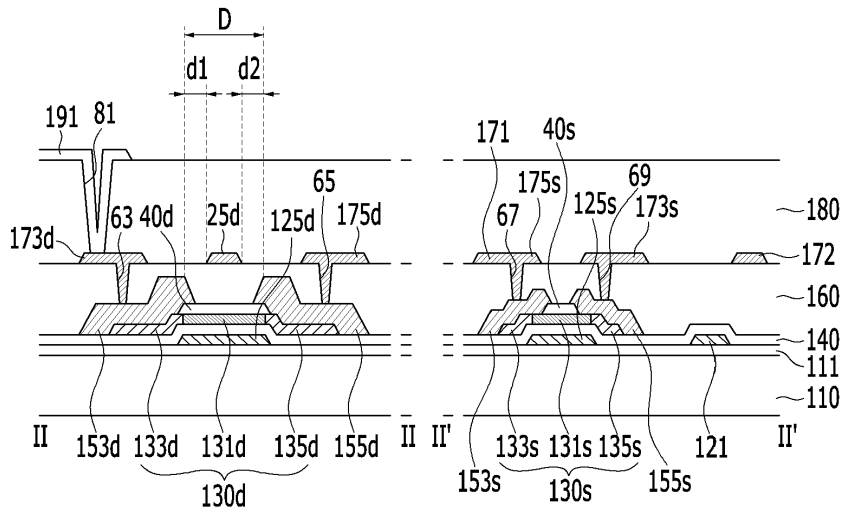
71: 데이터선 172: 구동 전압선
 173d: 구동 소스 연결 부재 175d: 구동 드레인 전극
 173s: 스위칭 소스 전극 175s: 스위칭 드레인 전극
 180: 보호막 25d: 제2 구동 게이트 전극

도면

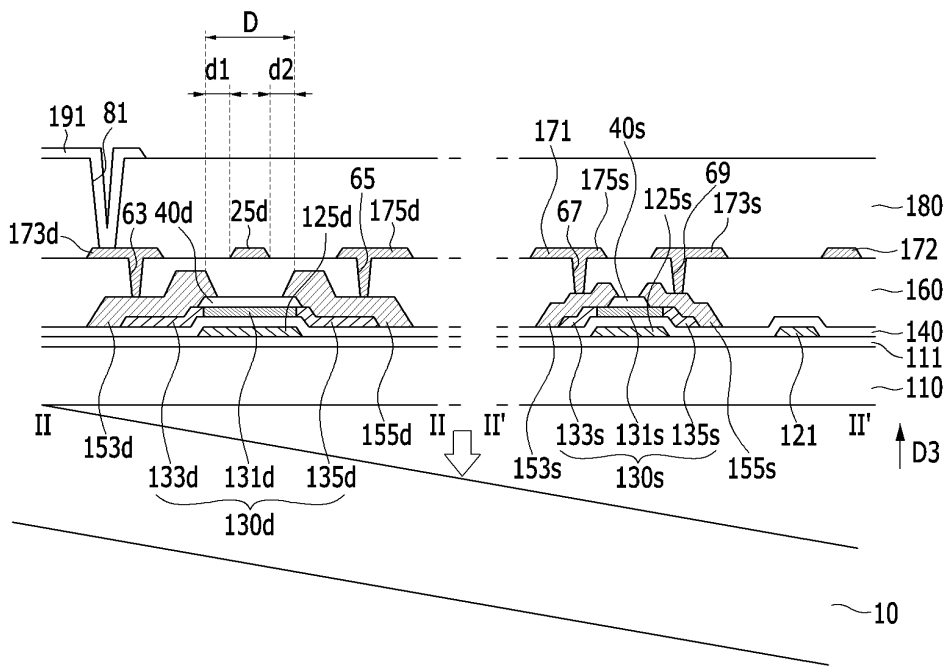
도면1



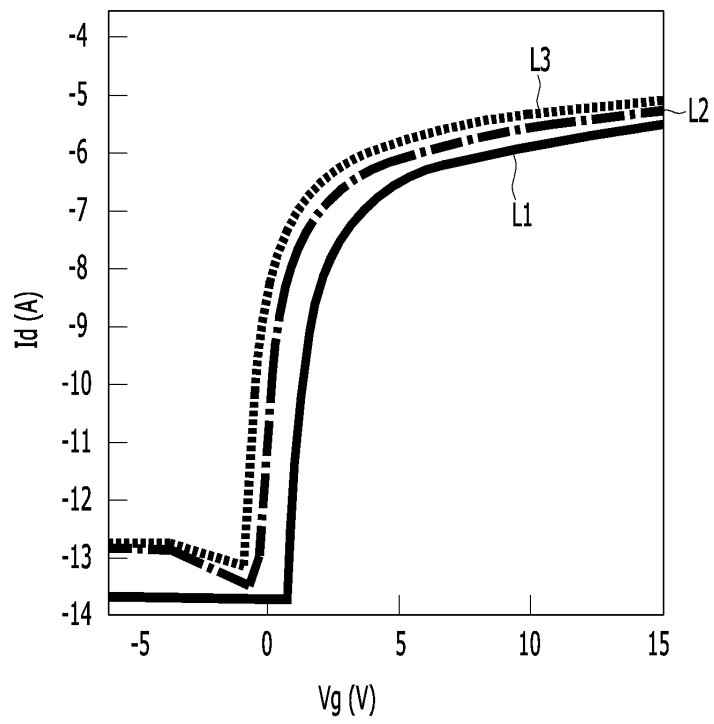
도면2



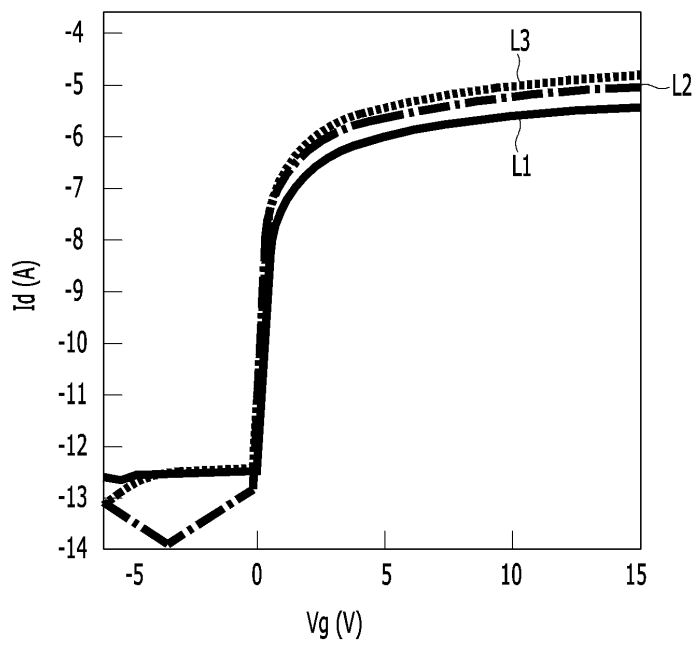
도면3



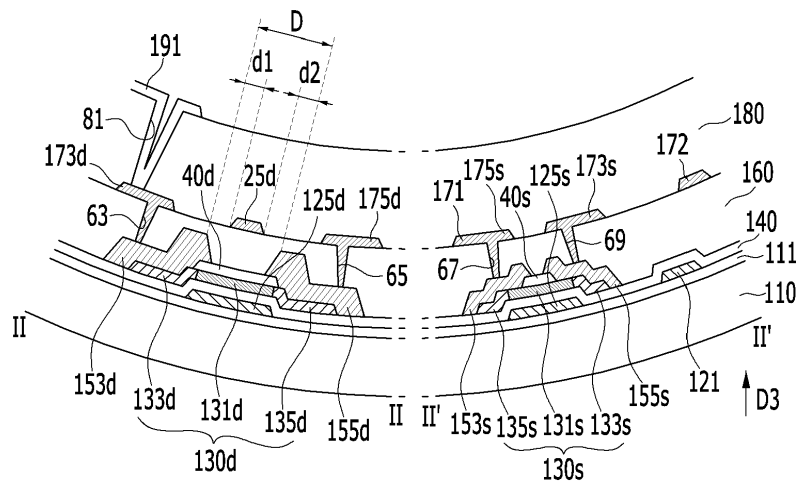
도면4



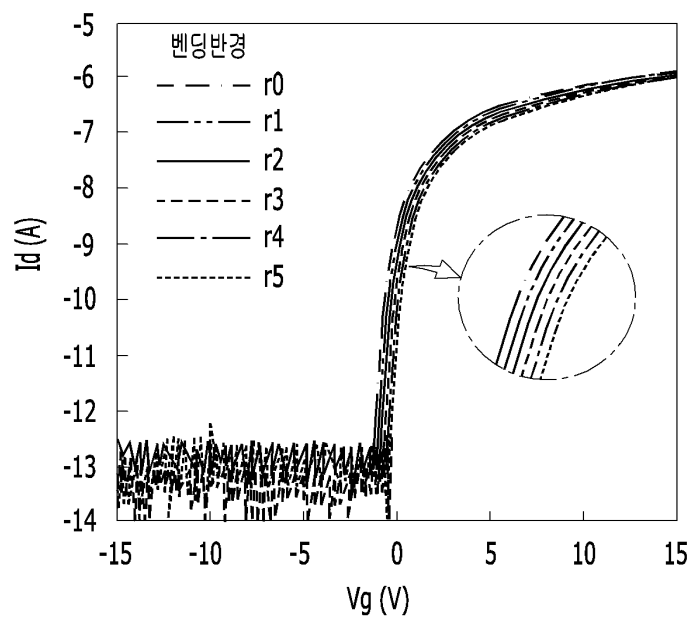
도면5



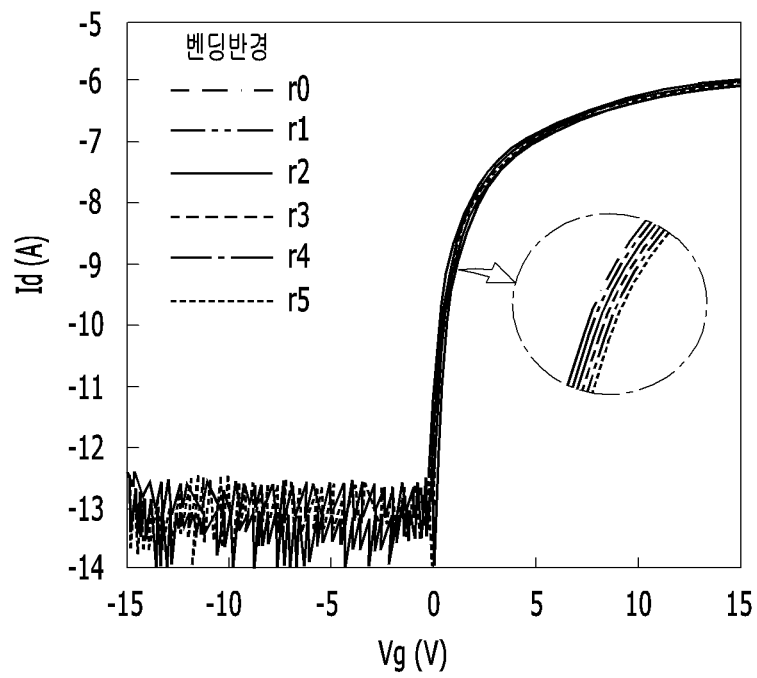
도면6



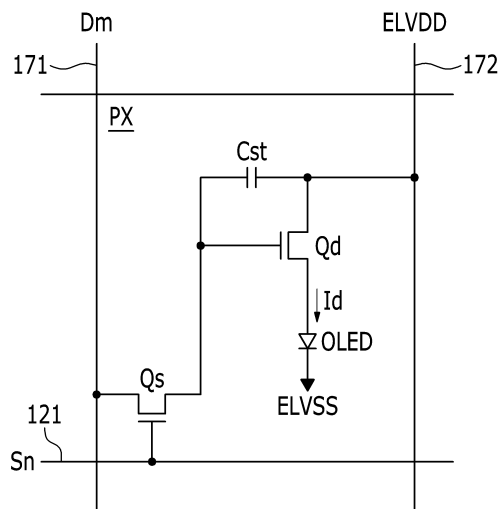
도면7



도면8



도면9



도면10

