



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I587468 B

(45)公告日：中華民國 106 (2017) 年 06 月 11 日

(21)申請案號：104116901

(22)申請日：中華民國 104 (2015) 年 05 月 26 日

(51)Int. Cl. : H01L23/498 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2014/05/30 美國

14/291,874

(71)申請人：英凡薩斯公司 (美國) INVENSAS CORPORATION (US)

美國

(72)發明人：柯 雷納爾多 KO, REYNALDO (PH)；柔伊 韋爾 ZOHNI, WAEL (US)；齊澤克

瑞莎 李 薩迦 CIZEK, RIZZA LEE SAGA (US)；卡克爾 雷傑許 KATKAR,

RAJESH (IN)

(74)代理人：張煌壠

(56)參考文獻：

US 2007/0181989A1

US 2014/0021605A1

審查人員：陳建丞

申請專利範圍項數：19 項 圖式數：13 共 46 頁

(54)名稱

打線接合件支撐結構以及使用打線接合件的微電子封裝包

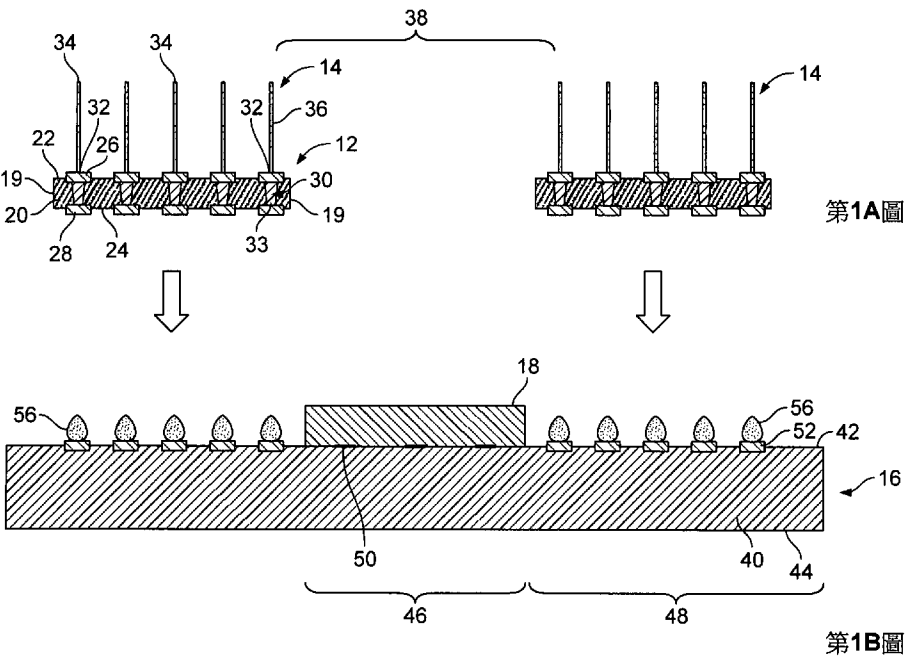
WIRE BOND SUPPORT STRUCTURE AND MICROELECTRONIC PACKAGE INCLUDING WIRE BONDS THEREFROM

(57)摘要

一種微電子封裝包含一底座，其具有第一以及第二區域的底座、第一表面以及遠離第一表面的第二表面；至少一個微電子元件，係覆蓋第一區域中的第一表面；複數個導電元件，位於第二區域中的第一表面；支撐結構，具有第三表面以及遠離第三表面的第四表面，且覆蓋第二區域中的第一表面，且在該第二區域中第三表面係面向第一表面，第二以及第三導電元件係在第三以及第四表面上分別露出並電性連接至第一區域第一表面上的導電元件；打線接合件，係定義邊緣表面且具有基座與端部，基座透過第三導電元件電性連接第二導電元件，而端部係遠離支撐結構以及基座。

A microelectronic package may include a substrate having first and second regions, a first surface and a second surface remote from the first surface; at least one microelectronic element overlying the first surface within the first region; electrically conductive elements at the first surface within the second region; a support structure having a third surface and a fourth surface remote from the third surface and overlying the first surface within the second region in which the third surface faces the first surface, second and third electrically conductive elements exposed respectively at the third and fourth surfaces and electrically connected to the conductive elements at the first surface in the first region; and wire bonds defining edge surfaces and having bases electrically connected through ones of the third conductive elements to respective ones of the second conductive elements and ends remote from the support structure and the bases.

指定代表圖：



- 符號簡單說明：
- 12 . . . 支撐結構
 - 14 . . . 打線接合件
 - 19 . . . 邊緣表面
 - 20 . . . 底座
 - 22 . . . 表面
 - 24 . . . 表面
 - 26 . . . 導電元件
 - 28 . . . 導電元件
 - 30 . . . 通孔
 - 32 . . . 基座(Base)
 - 33 . . . 導電金屬
 - 34 . . . 自由端
 - 36 . . . 邊緣表面
 - 38 . . . 內部區域

發明摘要

公告本

※ 申請案號：104116901

※ 申請日：104.5.26

※ IPC 分類：H01L 23/498 (2006.01)
H01L 21/60 (2006.01)

【發明名稱】(中文/英文)

打線接合件支撐結構以及使用打線接合件的微電子封裝包

WIRE BOND SUPPORT STRUCTURE AND MICROELECTRONIC
PACKAGE INCLUDING WIRE BONDS THEREFROM

【中文】

一種微電子封裝包含一底座，其具有第一以及第二區域的底座、第一表面以及遠離第一表面的第二表面；至少一個微電子元件，係覆蓋第一區域中的第一表面；複數個導電元件，位於第二區域中的第一表面；支撐結構，具有第三表面以及遠離第三表面的第四表面，且覆蓋第二區域中的第一表面，且在該第二區域中第三表面係面向第一表面，第二以及第三導電元件係在第三以及第四表面上分別露出並電性連接至第一區域第一表面上的導電元件；打線接合件，係定義邊緣表面且具有基座與端部，基座透過第三導電元件電性連接第二導電元件，而端部係遠離支撐結構以及基座。

【英文】

A microelectronic package may include a substrate having first and second regions, a first surface and a second surface remote from the first surface; at least one microelectronic element overlying the first surface within the first

region; electrically conductive elements at the first surface within the second region; a support structure having a third surface and a fourth surface remote from the third surface and overlying the first surface within the second region in which the third surface faces the first surface, second and third electrically conductive elements exposed respectively at the third and fourth surfaces and electrically connected to the conductive elements at the first surface in the first region; and wire bonds defining edge surfaces and having bases electrically connected through ones of the third conductive elements to respective ones of the second conductive elements and ends remote from the support structure and the bases.

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

【本代表圖之符號簡單說明】：

12：支撐結構

14：打線接合件

19：邊緣表面

20：底座

22：表面

24：表面

26：導電元件

28：導電元件

30：通孔

32：基座(Base)

33：導電金屬

34：自由端

36：邊緣表面

38：內部區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

打線接合件支撐結構以及使用打線接合件的微電子封裝

WIRE BOND SUPPORT STRUCTURE AND MICROELECTRONIC
PACKAGE INCLUDING WIRE BONDS THEREFROM

【技術領域】

● 【0001】 本發明係關於一種封裝技術，特別是關於一種打線接合件支撐結構以及使用打線接合件的微電子封裝。

【先前技術】

● 【0002】 微電子裝置(如半導體晶片)通常需要許多輸入以及輸出連接至其它電子元件。半導體晶片或其它類似裝置之輸入以及輸出接點通常設置成格狀圖樣，其大致上覆蓋元件之表面（通常被稱為"面陣列(area array)"）、或形成平行延伸的長列其且其相鄰於元件前表面之側緣、或位於前表面之中央位置。通常，元件(例如晶片)必須實體安裝於一底座(例如印刷電路板)上，而元件之接點必須電性連接電路板之導電元件。

● 【0003】 半導體晶片通常置於封裝內，以利於晶片在製作期間以及晶片安裝至外部底座的處理，例如電路板或其它電路面板。舉例來說，許多半導體晶片係置於適合表面安裝(surface mounting)的封裝內。這個常見種類之封裝類型係採用於多種應用。最常見地，封裝包含介電元件，其通常被稱為"晶片載體(chip carrier)，具有在介電質上電鍍或蝕刻金屬結構而形成的

複數個端部。此些端部通常以薄走線、細線或導線相連至晶片之接點，薄走線係沿晶片載體延伸，細線或導線係在晶片之接點以及端部或走線之間延伸。在表面安裝操作時，封裝係放置在電路板致使封裝上的每一端部係對齊於電路板上對應的接觸墊。焊料或其它接合材料係提供於端部以及接觸墊之間。對組合物加熱使焊料熔融或"回流"或是或激活接合材料，使得封裝可永久接合在電路板上。

【0004】 許多封裝包含焊球狀的焊料塊，其直徑通常介於大約0.1毫米至大約0.8毫米之間(例如5 mils 至30 mils之間)，焊球係抵貼至封裝之端部上。底面具有突出的焊球陣列的封裝通常被稱為球柵陣列封裝或簡稱"BGA"封裝。另一種被稱為平面柵格陣列或LGA封裝，係透過焊料形成的薄層或島狀物固定於底座上。此種類封裝可以非常薄。另外有晶片級封裝(chip scale packages)，其所佔據的電路板面積係等於或僅些微大於封裝中元件的面積。此種封裝有助縮小組件之整體尺寸讓底座上很多元件之間可以使用短連接，此元件之間的連接會限制信號傳輸時間，所以短連接係利於組件高速操作。

【0005】 中介物(interposer)係被提出以做為一互連元件，其具有接點以及頂面與底面，且透過頂面與底面之其中一個電性連接至少一封裝或未封裝半導體晶粒，再透過頂面與底面之另一個電性連接另一元件。在某些情況下，其它元件係為封裝基板，其可電性連接另一元件(可包含電路板)。

【0006】 儘管在本領域中有上述技術，但是經由陣列接合的互連元件以及製造此互連元件之方法仍有改善空間。

【發明內容】

【0007】 根據本發明之一實施例，微電子封裝包含一底座，其具有第一區域以及第二區域，且底座具有第一表面以及遠離第一表面之第二表面；至少一微電子元件，係覆蓋第一區域內的第一表面；複數個導電元件，係位於第二區域內之底座的第一表面上；支撐結構，具有第三表面以及遠離第三表面且覆蓋第二區域內的第一表面之第四表面，在第二區域內第三表面係面向第一表面，支撐結構具有第二以及第三導電元件，其分別在第三以及第四表面露出，第二導電元件係在第一區域內的底座之第一表面上電性連接導電元件；打線接合件，係定義邊緣表面且具有複數個基座與複數個端部，該複數個基座係透過第三導電元件分別電性連接第二導電元件，且端部係遠離支撐結構以及基座。

【0008】 根據本發明之一實施例，微電子封裝包含底座，底座具有第一區域以及第二區域，且具有第一表面以及遠離第一表面的第二表面；至少一微電子元件，係覆蓋第一區域內的第一表面；導電元件，係於第二區域內的底座之第一表面上露出；打線接合件，係定義邊緣表面，且具有端部以及基座，端部係透過第二導電元件分別電性連接第一區域內第一表面上的導電元件，而基座係遠離底座以及端部；第三導電元件，係分別覆蓋且電性連接打線接合件之基座；以及介電密封層，係從第一或第二表面中至少一個延伸出並覆蓋一部分第三導電元件以及覆蓋打線接合件，以使打線接合件透過介電密封層而彼此隔開，密封層係至少覆蓋底座之第二區域，以及第三導電元件之未密封部分係由第三導電元件之未被密封層覆蓋的部分所定義，未密封部分包含第三導電元件之遠離基座的表面。

【0009】 根據本發明之一實施例，一種製造一結構之方法包含：將具有打線接合件的支撐結構結合至底座，其中底座具有第一表面以及遠離第一表面之第二表面、以及第一表面上的複數個導電元件。其中支撐結構具有第三表面以及遠離第三表面之第四表面、以及具有第二與第三導電元件，其分別在第三以及第四表面上露出。第二導電元件係電性連接至底座之第一表面之第一部分上的導電元件。其中打線接合件係定義邊緣表面且具有基座以及遠離支撐結構與基座的端部，該基座係透過第三導電元件分別電性連接至第二導電元件；在底座以及支撐結構上形成一連續介電密封元件，其中介電密封元件之形成係覆蓋第一表面之第一部分以及從其延伸出並填滿與覆蓋打線接合件之間，以使打線接合件之被覆蓋部分透過介電密封元件彼此相隔開，其中打線接合件之未密封部分係由打線接合件之未被密封元件覆蓋的部分所定義，未密封部分包含端部，密封元件係至少覆蓋第一部分以及支撐結構之第四表面，且定義第一表面之第二部分，第二部分係為第一部分以外的區域且其尺寸可容置微電子元件之全部面積的，第一表面上的至少部分導電元件係位於第二部分且用於連接微電子元件。

【0010】 根據本發明之一實施例，一種製造一結構之方法包含：將一支撐結構之打線接合件結合至一底座，此底座具有第一區域以及第二區域，其中底座具有第一表面、遠離第一表面的第二表面、以及在第一表面上的複數個導電元件，其中支撐結構具有第三表面、遠離第三表面的第四表面、以及在第三表面上露出的第二導電元件。第二導電元件係透過打線接合件電性連接在底座之第一表面之第一部分上的導電元件，其中打線接合件係定義邊緣表面，且具有端部、以及遠離端部且電性連接第二導電元

件的基座，其中此結合步驟包含：透過將第三導電元件流經位於第一表面上的導電元件，分別接合端部與底座之第一表面之第二區域上的導電元件。上述導電元件係電性連接打線接合件之端部；以及在底座上形成介電元件，並移除支撐結構，其中介電元件係形成以覆蓋以及從第一表面之第二區域上延伸出，並填滿打線接合件之間的空間以及覆蓋打線接合件之部分，以使打線接合件之被覆蓋部分透過密封元件彼此隔開，其中當支撐結構被移除時，第二導電元件之未密封部分係由第二導電元件之未被密封層覆蓋的部分所定義，而未密封部分包含遠離打線接合件之基座的第二導電元件之表面，介電元件係至少覆蓋第一表面之第一區域，第一區域係以外的區域且其尺寸可容置至少一微電子元件之全部面積。

【0011】 根據本發明之一實施例，一種結構包含底座，此底座具有第一表面、遠離第一表面的第二表面、以及在其中延伸的導電孔；第一以及第二導電元件分別在第一以及第二表面上露出；複數個打線接合件，係定義邊緣表面以及具有基座，基座係經由第一導電元件以及導電孔電性連接至第二導電元件以及遠離底座與基座的端部，每一打線接合件之邊緣表面係與相鄰的打線接合件之邊緣表面相分隔，其中底座係定義至少一開孔，其位於第一表面之內部且其尺寸具有可容置微電子元件之全部面積。

【圖式簡單說明】

【0012】 本發明之上述及其他特徵及優勢將藉由參照附圖詳細說明其例示性實施例而變得更顯而易知，其中：

第1(a)圖係為根據本發明之一實施例之初製品單元之剖視圖。

第1(b)圖係為根據本發明之一實施例之微電子組件之剖視圖。

第1(c)圖係為第1(a)圖之初製品單元之俯視平面圖。

第2圖係為微電子封裝之剖視圖，此微電子封裝包含根據本發明之一實施例之第1(a)圖之初製品單元以及第1(b)之微電子組件圖。

第3圖係為根據本發明之另一實施例之初製品單元之剖視圖。

第4圖係為根據本發明之另一實施例之初製品單元之剖視圖。

第5-9圖係為根據本發明之一實施例之製造微電子封裝之方法的步驟之剖視圖。

第10圖係為根據本發明之一實施例之微電子封裝之剖視圖，微電子封裝包含封裝外表面上的重分配層。

第11圖係為根據本發明之一實施例之微電子封裝之剖視圖，微電子封裝包含導熱元件。

第12圖係為根據本發明之一實施例之初製品單元之剖視圖，初製品單元包含複數個導熱元件。

第13圖係為根據本發明之一實施例之微電子封裝之剖視圖，微電子封裝包含第12圖之初製品單元以及微電子組件。

【實施方式】

【0013】 根據本發明之一實施例，製造微電子封裝10時，如第1(a)、1(b)、1(c)以及2圖所示，可將微電子組件16結合與電性連接到支撐結構12所延伸的打線接合件14，而微電子組件16包含一微電子元件18，例如半導體晶片。實施上，晶片可為複數主動元件(例如電晶體、二極體等)、複數被

動元件(例如，電阻、電容、電感等)、或是主動元件和被動元件兩者的結合。在一具體實施例中，此晶片可具有主要功能的邏輯晶片，例如，可編程通用或特定用途處理器、微控器、場可編程閘陣列(FPGA)元件、特定應用積體電路(ASIC)、數位訊號處理器等；或是非邏輯晶片，例如記憶體，舉例來說，揮發性記憶體儲存陣列，例如動態隨機讀取記憶體(DRAM)，靜態隨機讀取記憶體(SRAM)；或是非揮發性記憶體儲存陣列，例如快閃記憶體或磁性隨機讀取記憶體(MRAM)。因此，第2圖所示之實施例即為封裝微電子元件(例如半導體晶片組件)之外形，該封裝微電子元件係用於電腦或其它電子應用。

【0014】 請參閱第1(a)與1(c)圖，支撐結構12可包含底座20，其具有第一表面22和第二表面24，以及從第一表面22延伸至第二表面24的複數個相對的邊緣表面19。底座20通常為介電元件，其大致上為平坦的。介電元件可為薄片狀。在具體實施例中，介電元件可包含至少一層有機介電材料或複合介電材料，例如，但非為限制，聚酰亞胺、聚四氟乙烯(PTFE)、環氧樹脂、環氧玻璃、FR-4、BT樹脂、熱塑性或熱固性塑材。

【0015】 第一表面22和第二表面24大致上彼此平行且在垂直表面22與24的方向上彼此間隔一距離，其係定義底座20之厚度。底座20之厚度可在目前應用能容忍的厚度範圍內。在一實施例中，第一表面22和第二表面24之間的距離係在大約 $10\ \mu\text{m}$ 至 $500\ \mu\text{m}$ 的範圍內。為了方便討論，第一表面22係描述在第二表面24之對面位置或是遠離第二表面24。為說明之用，本文中元件之間的相關位置的描述以及任何其它描述係參考此元件的縱向或橫向位置，其僅對應於圖式中的元件位置；但此非為限制之目的。

【0016】 多個導電元件26和28，其為接點(contacts)或墊片(pad)之形式，可分別設置在第一表面22與第二表面24上。在本描述中，當一導電元件敘述為"在"具有介電結構的另一元件之表面上時，其代表導電結構係接觸在介電結構之表面的垂直方向上從介電結構外部朝介電結構之表面移動的理論點。因此，外露於介電結構表面之導電結構可從此表面突出；亦可切齊此表面；或可相對此表面凹入而透過介電質上的一孔或凹洞露出於外部。導電元件26與28可為平坦且薄的元件，其分別在底座20之厚度方向上對齊。導電元件26與28可為相關應用能接受的固體金屬材料，例如銅、金、鎳、鈮或其它材料；或是包含銅、金、鎳、鈮或其組合的各種合金。

【0017】 至少部分導電元件26係互連接至相應的導電元件28。可利用底座20中的通孔30來實現此互連接，且此互連接以在通孔30放入導線或填充與導電元件26及28相同的導電金屬33來實現。

【0018】 複數打線接合件14可電性結合至少部分導電元件26。打線接合件14透過其基座32(Base)接合至導電元件26，例如透過球接合(ball bond)或楔形接合(wedge bond)。每一打線接合件14可包含延伸遠離打線接合件之基座32的一自由端34，以及從自由端34延伸至基座32的一邊緣表面36。以下所述，打線接合件14之自由端34之特徵在於其未電性連接或結合至微電子元件18或微電子封裝10內的任何與微電子元件18相連的其它導電元件。換言之，當打線接合件14結合至微電子組件16時，自由端34可透過焊球或本文中討論的元件與封裝10外部的一導電元件電性連接。事實上，舉例來說，本文中自由端34係被一封裝10內的密封層固定在一預設位置，請見第2圖，其與另一導電元件結合或電性連接，並不表示其"非自由"，只要此元件

並非電性連接微電子元件18即可。相反地，本文中，因為基座32係直接或間接電性連接微電子元件18，所以其非自由的。根據打線接合件14的材料種類、打線接合件14和導電元件26之間連接所需要的強度、或是打線接合件14之形成製程，基座32之尺寸和外型可有所變化。可用任何適合方式將打線接合件14形成在底座20上並從導電元件26延伸出，例如美國公開專利2013/0093087，其申請日為西元2012年二月24日，本文係引用其全部內容。

【0019】 底座20具有打線接合件14，其在表面22接合導電元件26並從表面22延伸出，而複數個導電元件26係透過複數個通孔30分別電性連接表面24上的導電元件28。以上可作為支撐結構12形成過程中的初製品。在打線接合件接合微電子組件16之前，支撐結構12係支撐打線接合件14，如第1(b)圖與第2圖所示，以下有詳細地討論。在一實施例中，支撐結構12可為圍繞一開孔的框架的形式，內部區域38具有足夠容設元件(例如如第2圖所示的微電子元件18)的尺寸。

【0020】 請參閱第1(b)圖，微電子組件16可包含底座40，其具有第一表面42和第二表面44。底座40可與底座20有相似的形狀和配置，如上所述。但是不同於底座20，底座40可具有與電路面板(例如電路板)電性互連接的端點。或者，底座40可為電路面板或電路板。在一示例中，底座40可以為雙線記憶體模組(DIMM)的模組板。在另一變化型中，底座40可為微電子元件，例如具有複數主動元件(例如以積體電路之形式或其他形式)的半導體晶片。在一實施例中，底座40可考慮分成第一區域46和第二區域48。第一區域46係位於第二區域48之內且包含底座40之中央部分並向外延伸。第二區域48大致上圍繞第一區域46並朝外延伸至底座40之外緣。在本實施例中，

並非以底座40之物理特性來區分這兩區域；但，此些區域之區別係為了本文討論關於處理或元件應用之用途。

● **【0021】** 微電子元件18可安裝於底座40之第一區域46中第一表面42上。微電子元件18可為一半導體晶片或另一類似元件。在第1圖(b)之實施例中，微電子元件18係以一覆晶(flip-chip)配置安裝至第一表面42，其中微電子元件18上的接點(圖中未顯示)可連接至第一區域46中第一表面42上的導電元件50，例如透過微電子元件18下方的焊料凸點或其相似物(圖中未顯示)。在一實施例中，導電元件50係以類似元件26與28的材料所形成。

● **【0022】** 導電元件50更包含在表面42上第二區域48中的焊墊或接點52。至少部分導電元件50可連接至焊墊52，而至少部分導電元件50以及焊墊52可連接至底座40之表面44上的導電焊墊或端點(圖中未顯示)。此互連可完全利用底座40中的通孔(via)(圖中未顯示)，此些通孔中有導線或是填充導電金屬，與上述支撐結構20相似。可選擇地，導電元件50以及焊墊52可進而透過底座40上的走線彼此連接。

● **【0023】** 第三導電元件56，例如導電膏、焊料或其它導電塊，可疊置於且接觸焊墊52之表面，其係遠離且對面於底座40之表面42。在一實施例中，模板印刷(stenciling)、塗佈印刷、網版印刷、控制噴塗(例如近似噴墨印刷的製程)或是轉印成型可用於在焊墊52上形成導電元件56。導電元件56可為接合材料金屬或接合金屬，其與元件50相似。焊墊52可在第二區域48中之圖案化配置，以在組件16之厚度方向上分別對齊於支撐結構12之焊墊28。焊墊28係設置成預設圖案。

【0024】 如第2圖所示，支撐結構12之打線接合件14與組件16接合後

便形成微電子封裝10。在微電子封裝10中，相對應的焊墊28係透過導電元件54與焊墊52相結合以及電性連接，而打線接合件14可因此電性連接至微電子元件18之接點以及組件16之導電元件。微電子組件10可更包含以介電材料形成的一密封層58。在第2圖之實施例中，例如，密封層58係以膜輔助成型(film-assisting molding)或相似技術，形成於底座40之第一表面42之未被微電子元件18或導電元件50覆蓋或佔據的部分上。

【0025】 相似地，密封層58係形成在導電元件52上未被導電元件56覆蓋的部分、導電元件56之未被遮蓋部分、導電元件26與28之未被遮蓋部分、表面22與24上未被導電元件26與28覆蓋的部分、以及支撐結構12之邊緣表面19。密封層58亦可大致上覆蓋微電子元件18、打線接合件14、基座32以及基座32的至少一部分邊緣表面36。一部分打線接合件14可保留未被密封層58覆蓋，其亦稱為未密封部分59，藉以使得打線接合件可電性連接至密封層58外的元件或裝置。

【0026】 在實施例中，至少打線接合件14之端表面34以及邊緣表面36之部分係選擇性保留未被密封層58覆蓋，如美國公開專利申請案2013/0093087所述，本揭示內容已包含上述申請案之內容。換言之，除了一部分打線接合件14，例如端表面34、邊緣表面36或兩者的組合之外，密封層58可覆蓋微電子封裝10之第一表面42以及其上的所有部分。

【0027】 密封層58，其較佳為一體的連續層，係有助於保護微電子封裝10內的其它元件，特別是打線接合件14。更強健的結構可避免測試或運送期間被其它微電子結構損壞。密封層58可用有絕緣性質的介電材料來形成，例如美國公開專利申請案2010/0232129所述，本揭示內容已包含上述申

請案之內容。

【0028】 本發明之優點在於，微電子組件16可完全且獨立製造，而打線接合件14可利用支撐結構12(其亦獨立製造)結合至微電子組件16以完成微電子封裝10。

【0029】 在另一實施例中，如第3圖所示，支撐結構112具有與支撐結構12相同或相似的元件，且更包含一重分配層120，其以介電材料形成且沿表面24延伸。在重分配層120之表面124上的走線122、以及遠離支撐結構12之表面22且遠離並對面於重分配層120之表面126的表面124，兩者可電性連接至接觸墊28。走線122可穿過重分配層120之底座128延伸至表面126上的焊墊130。焊墊130係配置在表面126上，且相似於第1圖所示之支撐結構12，打線接合件14可透過連接至焊墊130的走線122而電性連接至少部分焊墊52。焊墊130係與組件16之表面42上的焊墊52對齊。在一實施例中，重分配層120可僅疊蓋支撐結構12之一部分表面24以及一部分焊墊28。實際上，重分配層120即所謂的扇出層，其可讓支撐結構12連接至微電子組件16之表面42上不同陣列配置的焊墊52，而表面42上焊墊52的陣列配置係不同於支撐結構112之表面22上的導電元件26陣列。

【0030】 在第4圖所示的另一實施例中，支撐結構212具有與上述支撐結構12相同或相似的元件，且更可包含由介電材料沿表面延伸形成的一重分配層220。重分配層220之表面224上的走線222、面對支撐結構212之表面22、以及遠離且對面於重分配層220之表面226的表面224，上述三者可電性連接至表面224上的接觸墊225。走線222可穿過重分配層220之底座228延伸至表面226上的焊墊230。焊墊225可設置在表面224上以接觸表面22上的焊

墊26。表面226上的焊墊230可結合至打線接合件14之基座，相似於如第1(a)圖所示之支撐結構12中的焊墊26之連接。因此，透過走線222與焊墊230以及焊墊225電性連接，重分配層212可提供打線接合件14與至少部分焊墊26電性連接。焊墊230以及焊墊225係與支撐結構212之表面22上的焊墊26相對齊。在一實施例中，重分配層220可僅疊蓋支撐結構212之一部分表面22以及一部分焊墊26。實際上，重分配層220係作為一扇出層，其讓支撐結構212可連接至微電子組件16之表面42上的焊墊52，其配置係不同於支撐結構212之表面22上的導電元件26陣列。

【0031】 在另一實施例中，支撐結構在其與微電子組件(例如組件16)之表面接合的表面上可具有一重分配層，其可與一微電子組件(例如組件16)之表面以及支撐結構之表面相結合，而打線接合件係與支撐結構之該表面結合且延伸出。

【0032】 第5-9圖係顯示本發明之另一實施例之微電子封裝400的製作步驟。請參閱第5圖，在一脫模層406之表面404上沈積一第一金屬層402，例如包含銅或相似的導電材料。脫模層406係在遠離表面404的表面408上利用黏膠層411抵貼於一暫時底座409。金屬層402可用多種方式沈積，例如圖案化金屬箔片(例如銅箔)，以獲得導電元件410，如焊墊或接點的形式設置在脫模層406上，與上述之導電元件26相似。

【0033】 請參閱第6圖，具有基座416以及遠離基座的自由端418(如上述對打線接合件14的說明)的打線接合件414係電性連接導電元件410。舉例來說，透過結合基座416接合(以球形接合或楔形接合之方式)至元件410之遠離脫模層406表面404的表面419。如第6圖所示之結構係為一初製品單元

440，其包含打線接合件414用以結合微電子組件(例如第7圖所示之組件500)之接觸墊。因為初製品單元440之打線接合件陣列與微電子組件500是分開形成，所以可避免在微電子組件製作期間造成打線接合件之接觸面之潛在汙染。

【0034】 請參閱第7圖，當打線接合件414結合至組件500以形成封裝400(如第8-9圖所示)，微電子組件500可裝配以電性連接於微電子元件502以及初製品單元440之打線接合件414之間。組件500可包含底座504，其可包含含有電性連接的邏輯元件(圖中未顯示)，底座504具有第一表面506以及遠離第一表面506的第二表面508。底座504之形狀以及配置係與上述之底座20相似。在一實施例中，底座504可區分成第一區域510以及第二區域512。第一區域510位於第二區域512中且包含底座504之中央部分並朝外延伸。第二區域512大致上圍繞第一區域510且朝外延伸至底座504之外緣。

【0035】 微電子元件502(其可為一半導體晶片或另一類似元件)可安裝至第一區域510內底座504之第一表面506，以覆晶配置，類似於組件16之微電子元件18。面向表面506之表面515上的微電子元件502之接點513係透過導電塊516(例如焊料凸點、導電膏或其相似物)電性連接表面506上第一區域510內的導電元件514。導電塊516係位於微電子元件502下方。在一實施例中，導電元件514係以與封裝10之導電元件相似的材料形成。

【0036】 導電元件514更可包含在表面506上第二區域512中的焊墊或接點518。至少部分導電元件514可透過導電線(圖中未顯示)連接至焊墊518，以及亦透過底座504中的導電線電性連接底座504中的電子元件(圖中未顯示)。至少部分導電元件514以及焊墊518可連接至底座504表面508上的導

電墊或端點。此連接可完全利用底座504中的通孔(圖中未顯示)中加入導線或填充導電金屬來進行，與上述內容中組件16的說明相似。以此方式，第一微電子元件502可電性連接至表面508上至少部分接點或端點。選擇性地，導電元件514以及焊墊518可透過底座504上的走線進而彼此互相連接。

● **【0037】** 導電塊520(例如以導電膏、焊料或相似材料所形成)可疊置並接觸焊墊518之表面522，其係遠離以及對面於底座504之表面506。導電塊520可用與導電塊516相同或相似的材料製成，並使用與上述導電元件56相同或相似技術，以與導電塊516相關的順序或連帶形成在表面506上。

● **【0038】** 微電子組件500可進而包含介電材料形成的一密封層530。在第7圖之實施例中，密封層530可模壓成型在未被導電塊516覆蓋的部分導電元件514以及微電子元件502之接點513上、未被遮蓋的部分導電塊516上、以及底座504之區域510中未被另一元件覆蓋的部分第一表面506。除此之外，密封層530可形成在微電子元件502之相面對的兩側表面503與505上，側表面503與505係從表面515延伸至元件502之表面507，且表面507係遠離且對面於表面515。當打線接合件414接合組件500時，密封層530可保護微電子元件502以避免打線接合件414之間的電性短路，以避免由於打線接合件414以及微電子元件502之間意外電性接觸造成的故障或損壞。

【0039】 在一實施例中，在覆蓋微電子元件502以及區域510上的一部分表面506的介電層530形成之後，可形成導電塊520在焊墊518上。

【0040】 請參閱第6-8圖，在封裝400之製造步驟期間，初製品單元440與組件500相接合時，焊墊522可圖案化設置在第二區域512中且在組件500之厚度方向上分別對齊打線接合件414(係以預設圖案設置)之自由端418。在

封裝400中，焊墊518係透過導電塊520以及打線接合件414分別電性連接焊墊410。在一實施例中，在初製品單元440接合組件500(即分別接合打線接合件414之自由端418)之後，導電塊520可進行回流。

【0041】 在一實施例中，初製品單元440與組件500相結合時，可提供間隙壁或支架535(例如以介電材料製成)，其從組件500之表面506延伸至初製品單元440之脫模層406之表面433，其面向組件500之表面506。在介電材料提供至表面433以及506間之前，間隙壁535可避免初製品單元440之自由直立的打線接合件414由於單元440之重量而彎折或變形。

【0042】 複數個打線接合件414分別透過導電塊520結合焊墊518之後，以介電材料形成的第二密封層550可形成在脫模層406以及表面506之間的元件之未被覆蓋的表面、以及脫模層406與表面506之未被覆蓋的表面上。在第8圖之實施例中，密封層550可形成在焊墊518以及焊墊410沒有被導電塊520以及打線接合件414之基座416覆蓋的部分上、打線接合件414以及導電塊520未被遮蓋的部分上、底座504之區域510或512中未被另一元件覆蓋的部分表面506上、密封層530之未被覆蓋的外表面532上、以及微電子元件502之表面503、505或507之任何未被覆蓋的部分上。密封層550可定義一主表面554，其遠離底座504之表面506且相鄰於脫模層406之表面405且面向表面506。導電元件510之表面470表面，其遠離元件518之表面419(基座416係結合至表面419)係保留主表面554中未被密封層550覆蓋的部分。

【0043】 請參閱第9圖，密封層形成之後，脫模層406以及暫時底座409可從密封層550移除，例如使用適合的化學物以融化脫模層406(其為黏膠)。在一實施例中，脫模層可為水溶性塑材，使其可透過泡水而被移除，不會

影響初製品單元或封裝的其它元件。在另一實施例中，以紫外光曝曬之後，脫模層406可從密封層550移除。移除脫模層406以及暫時底座409之後，表面419剩下未被覆蓋的部分以用於與其它元件(例如另一微電子組件或封裝之走線、焊墊或端點)電性連接以及結合。

【0044】 在一實施例中，請參閱第10圖，封裝400更可包含介電材料製成的重分配層600，其沿表面554延伸。重分配層600之表面604上的走線602、以及面向表面554且遠離重分配層600之表面606的表面604，可透過接觸表面470而與導電元件410電性連接。走線602可穿過重分配層600之底座608延伸至表面606上的焊墊612。焊墊612可設置在表面606上用以連接另一外部元件之外部導電元件，以使打線接合件414可透過走線602連接焊墊602以電性連接微電子元件502以及外部元件。焊墊602係在封裝400之厚度方向上與焊墊410之表面470相對齊。實際上，重分配層600係作為組件500之互相連接的扇出層，其受限於組件500之頂持面之周圍，以及受限於密封層550之頂持面554上的全面陣列。

【0045】 在另一實施例中，請參閱第11圖，微電子封裝400A可具有與上述封裝400相似的架構，除了封裝400A更可包含一導熱元件或散熱元件650以移除微電子元件所產生的熱能。導熱元件650可設置覆蓋微電子元件502之表面507以及表面506之一部分506A，此部分506A係從元件502延伸至與側邊503與505在封裝400A之厚度方向上對齊的位置。一部分密封層550可將元件650與打線接合件414以及任何與打線接合件之基座接合且延伸出的導電元件分開，進而讓元件650絕緣於封裝內的任何其它導電元件。在一實施例中，密封層550之一部分580係覆蓋微電子元件502，而此部分580以

及表面506之部分506A可用光微影技術或相似技術移除，以定義一開放凹槽580。在一示例中，雷射剝離技術可用於均勻挖凹密封層550以在部分580中形成一平坦凹表面581，部分580係從微電子元件502之表面507延伸出。可選擇用於移除至少部分密封層的技術包含濕性擦蝕技術。在濕性擦蝕技術中，由液體承載的研磨性顆粒串流係流向目標以從目標之表面移除材料。粒子顆粒有時選擇性地結合化學蝕刻劑，其利於或加速材料移除，例如用於濕性擦蝕後剩下的導電元件410。

● **【0046】** 然後元件650，其包含銅或類似導熱材料，可在表面554上沈積或圖案化而形成於凹槽580中。導熱材料(例如黏膠或油脂582)可先施加於表面507上或是表面652之一部分，使得元件650能抵貼至微電子元件502。在一實施例中，導熱材料為非導電性，致使元件650與微電子元件502電性隔絕。導熱材料582可在微電子元件502以及元件650之間傳輸熱能，進而從封裝400A移除熱能。

● **【0047】** 在另一實施例中，在第一金屬層402形成期間可形成散熱元件650。在金屬層402之周圍可圖案化與金屬層402相同的金屬，例如銅，而做為散熱元件650之更大的微電子元件貼墊係形成在層402之內部或中間部分。在組件500中，散熱膏582可施加於微電子元件502之表面507上。接著，本實施例所述之從金屬層402形成的初製品單元可接合組件500，如上所述。

【0048】 在另一實施例中，如第13圖所示，微電子封裝400B可包含導熱元件以從微電子元件、以及一微電子組件之底座移除熱能，如第7圖所示之微電子組件500。封裝400B可用上述封裝400相似的材料形成，也包含相似元件，除了初製品單元940。初製品單元940包含與初製品單元440相似

的元件，更包含第12圖所示之散熱元件950與960以散熱。初製品單元940可用於將打線接合件414以及散熱元件結合至組件500。請參閱第12圖，散熱元件950可用第一區域404A內的黏膠抵貼至表面404，第一區域404A係位於脫模層406之第二區域404B中且包含初製品單元940之中央部分以及朝外延伸之處。第二區域404B大致上圍繞區域404A並朝外延伸至第三區域404C。第三區域404C係大致上圍繞區域404B並朝外延伸至初製品單元940之外緣。打線接合件414以及導電元件410係位於區域404B中。散熱元件950可透過黏膠(圖中未顯示)以表面951安裝於第一區域404A中的表面404上，表面951係遠離表面952。散熱元件960以表面961(其遠離表面962)透過黏膠安裝至區域404C中的表面404上。接著，初製品單元940可結合至微電子組件500，其係與第7圖所示之過程相同或相似，如同封裝400中打線接合件414之自由端418係透過導電塊520結合至導電元件518。除此之外，導熱材料582可將元件960抵貼表面506，其中導熱材料582係位於表面962上或是區域404中面向表面962的一部分表面506。在一實施例中，導熱元件960可具有框架外型，以至少局部圍繞封裝400A之表面506之打線接合件414設置之處的區域404B。

【0049】 將打線接合件414與散熱元件950以及960結合至組件550之後，介電材料製成的密封層550A可形成於初製品單元940(第13圖未顯示)之脫模層406以及表面506之間未被覆蓋的部分上，與前述內容相似。在第13圖之實施例中，密封層550A可形成在如第8圖所示之封裝400中相同的未覆蓋部分以及元件上。除此之外，密封層550A可形成於散熱元件950之未被散熱膠582覆蓋的部分表面952、散熱元件950之從表面951延伸至表面952的相

對表面953、以及散熱元件960之從表面961與962延伸出且面向打線接合件414的表面963上。密封層550A可定義一主表面554A，其係遠離底座504之表面506。與封裝400相似，移除脫模層406以及暫時底座490之後，導電元件510之表面470(其遠離基座416結合的表面419)剩下主表面554中未被密封層550未覆蓋的區域，而散熱元件960與950之表面961以及951也分別未被覆蓋。因此，微電子元件502以及底座504在運作時封裝產生的熱能可由散熱元件950與960、以及導熱材料582傳輸至外部，藉以避免封裝內的電子電路由於過熱而受損壞。

【0050】 本發明之優點、特徵以及達到之技術方法將參照例示性實施例及所附圖式進行更詳細地描述而更容易理解，且本發明或可以不同形式來實現，故不應被理解僅限於此處所陳述的實施例，相反地，對所屬技術領域具有通常知識者而言，所提供的實施例將使本揭露更加透徹與全面且完整地傳達本發明的範疇，且本發明將僅為所附加的申請專利範圍所定義。

【0051】 以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【符號說明】

【0052】

10：微電子封裝

12：支撐結構

14：打線接合件

16：微電子組件

18：微電子元件

19：邊緣表面

20：底座

22：表面

24：表面

26：導電元件

28：導電元件

30：通孔

32：基座(Base)

33：導電金屬

34：自由端

36：邊緣表面

38：內部區域

40：底座

42：表面

44：表面

46：區域

48：區域

50：導電元件

52：焊墊

56：導電元件

58：密封層

59：未密封部分

112：支撐結構

120：重分配層

122：走線

124：表面

126：表面

128：底座

130：焊墊

212：支撐結構

220：重分配層

222：走線

224：表面

225：焊墊

226：表面

228：底座

230：焊墊

400：封裝

400A：封裝

400B：封裝

402：金屬層

404：表面

404A：第一區域

404B：第二區域

404C：第三區域

405：表面

406：脫模層

408：表面

409：暫時底座

410：導電元件

411：黏膠層

414：打線接合件

416：基座

418：自由端

419：表面

433：表面

440：製品單元

470：表面

500：微電子組件

502：微電子元件

503：側表面

504：底座

505：側表面

506：表面

506A：表面506之一部分

507：表面

508：表面

510：區域

512：區域

513：接點

514：導電元件

515：表面

516：導電塊

518：焊墊

520：導電塊

522：焊墊

530：密封層

532：外表面

535：間隙壁或支架

550：密封層

550A：密封層

554：表面

554A：主表面

580：部分

581：平坦凹表面

582：導熱材料

600：重分配層

602：走線

604：表面

606：表面

608：底座

612：焊墊

650：散熱元件

652：表面

940：初製品單元

950：散熱元件

951：表面

952：表面

953：表面

960：散熱元件

961：表面

962：表面

963：表面

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種微電子封裝，包含：

一底座(Substrate)，具有一第一表面以及遠離該第一表面的一第二表面；

至少一個微電子元件(Microelectronic element)，係覆蓋該第一表面之一部分，從而於其中定義一第一區域，其中該第一表面之一第二區域係由配置於該至少一微電子元件之外的該第一表面之另一部分所定義；

複數個導電元件(Electrically conductive elements)，係位於該底座之該第二區域中的該第一表面；

一支撐結構(Support structure)，具有一第三表面以及遠離該第三表面的一第四表面，並覆蓋該第一表面之該第二區域而未覆蓋該第一表面之該第一區域，其中該第三表面係面向該第一表面，該支撐結構具有一第二導電元件以及一第三導電元件，該第二導電元件以及該第三導電元件係分別在該第三表面以及該第四表面露出，該第二導電元件電性連接之該複數個導電元件係位於該底座之該第一區域中的該第一表面上；以及

複數個打線接合件(Wire bonds)，係定義複數個邊緣表面及具有複數個基座(Bases)及複數個端部；該複數個基座係透過該複數個第三導電元件分別電性連接至該複數個第二導電元件；該複數個端部係遠離該支撐結構以及該基座；

一整合連續密封區域，係接觸該支撐結構、該底座及該等打線接合件之至少邊緣表面。

2. 如申請專利範圍第1項之微電子封裝，其中該整合連續密封區域係從該第一表面延伸出，並覆蓋該等打線接合件之一部分，以使該等打線接合件之被覆蓋的部分係透過該整合連續密封區域而彼此分隔；

其中該等打線接合件之複數個未密封部分，係由該等打線接合件之未被該整合連續密封區域覆蓋的部分所定義，該複數個未密封部分包含該複數個端部。

3. 如申請專利範圍第1項之微電子封裝，更包含：

一重分配層，係沿該第三表面及該第四表面之至少一個的至少一部分延伸，其中該重分配層包含一重分配底座、複數個第一導電焊墊及複數個第二導電焊墊；該重分配底座具有一第五表面以及一第六表面，該第五表面係與該第三表面或該第四表面中的至少一個相鄰，而該第六表面係遠離該第五表面；該複數個第一導電焊墊位於該重分配底座之該第五表面上，並分別對齊及接觸在該第三表面或該第四表面的該複數個第二導電元件或該複數個第三導電元件；該複數個第二導電焊墊係位於該重分配底座之該第六表面上，並電性連接該複數個第一導電焊墊。

4. 如申請專利範圍第1項之微電子封裝，其中該複數個第二導電元件係透過導電接合材料分別接合該底座之該第一表面的該複數個導電元件。

5. 如申請專利範圍第1項之微電子封裝，其中該支撐結構之複數個導電孔係分別電性連接該複數個打線接合件之該基座及該支撐結構之該第三表面的

該複數個第二導電元件。

6. 如申請專利範圍第 1 項所之微電子封裝，其中該整合連續密封區域可密封該至少一微電子元件。

7. 如申請專利範圍第 1 項所之微電子封裝，其中該連續整合密封區域具有遠離該底座之該第一表面之一主表面，而該打線接合件之複數端係突出於該整合連續密封區域之該主表面之上方。

8. 如申請專利範圍第 1 項所之微電子封裝，其中該支撐結構之形式為一框，該框係圍繞一開口，其內部區域具有可容置該至少一微電子元件之空間。

9. 如申請專利範圍第 8 項所之微電子封裝，其中該支撐結構圍繞該至少一微電子元件。

10. 如申請專利範圍第 9 項所之微電子封裝，其中該整合連續密封區域係完全覆蓋該支撐結構之該第四表面，而該打線接合件係延伸通過該整合連續密封區域。

11. 一種製作結構的方法，包含：

將包含複數個打線接合件的一支撐結構結合至一底座，其中該底座具有一第一表面以及遠離該第一表面之一第二表面，以及在該第一表面上包含有複數個導電元件，其中該支撐結構具有一第三表面以及遠離該第三表面之一第四表面，以及分別在該第三表面以及該第四表面露出的複數個第二以及第三導電元件，該複數個第二導電元件係電性連接至在該底座之該第

一表面之一第一部分上的該複數個導電元件，其中該複數個打線接合件係定義複數個邊緣表面，且具有複數個基座以及遠離該支撐結構以及該複數個基座的複數個端部，該複數個基座係透過該複數個第三導電元件分別電性連接至該複數個第二導電元件；以及

在該底座以及該支撐結構上形成連續介電密封元件，其中該介電密封元件係形成覆蓋該第一表面之該第一部分且從該第一部分延伸出，並填滿及覆蓋該複數個打線接合件之間的空間，以使該複數個打線接合件之複數個被覆蓋部分透過該介電密封元件而彼此相隔離，其中該複數個打線接合件之複數個未密封部分係由該複數個打線接合件之未被該介電密封元件覆蓋之部分所定義，該複數個未密封部分包含該複數個端部，該介電密封元件係至少覆蓋該第一部分以及該支撐結構之該第四表面，且定義該第一表面之一第二部分，該第二部分係為該第一部分以外的部分且具有可容置微電子元件之全部面積的尺寸，以及在該第一表面上的該複數個導電元件之至少一部分係位於該第二部分且用於連接該微電子元件。

12. 如申請專利範圍第11項所述之方法，更包含：

形成一重分配層，其沿著該第三表面或該第四表面之中的至少一個之至少一部分延伸，其中該重分配層包含一重分配基底、複數個第一導電焊墊以及複數個第二導電焊墊；該重分配基底具有一第五表面及遠離該第五表面之一第六表面，該第五表面係與該第三表面或該第四表面中的最少一個相鄰；該複數個第一導電焊墊係位於該重分配基底之該第五表面，且分別與該第三或第四表面的該複數個第二或第三導電元件相對齊；該複數個第

二導電焊墊係位於該重分配基底之該第六表面且與該複數個導電焊墊電性連接。

13. 如申請專利範圍第12項所述之方法，其中該複數個打線接合件之該基座係為球形接合件，而該支撐結構之複數個導電孔係分別電性連接該複數個打線接合件之該基座及在該支撐結構之該第三表面的該複數個第二導電元件。

14. 一種製造一結構的方法，包含：

將一支撐結構之複數個打線接合件結合至一底座，該底座具有一第一區域和一第二區域，其中該底座具有一第一表面和遠離該第一表面的一第二表面，以及複數個導電元件位於該第一表面上，其中該支撐結構具有一第三表面以及遠離該第三表面之一第四表面、以及在該第三表面上外露的複數個第二導電元件，該複數個第二導電元件係透過該複數個打線接合件電性連接至在該底座之該第一表面之一第一部分上的該複數個導電元件，其中該複數個打線接合件係定義複數個邊緣表面，且具有複數個端部以及遠離該複數個端部的複數個基座，該複數個基座係電性連接至該複數個第二導電元件，其中上述結合步驟包含透過複數個第三導電元件，分別將該複數個端部與該底座之該第一表面之該第二區域上的該複數個導電元件相接合，該第一表面上的複數個導電元件係各自透過該複數個第三導電元件與該複數個打線接合件之該端部電性連接；以及

在該底座上形成一介電密封元件並移除該支撐結構，其中該介電密封元

件係形成覆蓋，且從該第一表面之該第二區域延伸出，並填滿該複數個打線接合件之間的空間並覆蓋該複數個打線接合件之複數個部分，以使該複數個打線接合件之該被覆蓋部分透過該介電密封元件彼此分隔，其中當該支撐結構移除之後，該複數個第二導電元件之未密封部分係由該第二導電元件之未被該介電密封元件覆蓋的部分所定義，該複數個未密封部分包含該複數個第二導電元件之遠離該複數個打線接合件之該基座(Bases)的表面，該介電密封元件至少覆蓋該第一表面之該第一區域，該第一區域係該第二區域以外的區域且具有足夠尺寸以容置至少一微電子元件之全部面積。

15. 如申請專利範圍第14項所述之方法，其中該複數個第三導電元件包含焊料或導電膏中的至少一個。

16. 如申請專利範圍第14項所述之方法，其中該介電密封元件包含遠離該底座之一表面，係未覆蓋該複數個第二導電元件之該未密封部分。

17. 如申請專利範圍第14項所述之方法，更包含：

沿著遠離該底座之該第一表面的該介電密封元件之一表面之至少一部分延伸，以形成一重分配層，該重分配層係定義該複數個第二導電元件之該複數個未覆蓋部分；其中該重分配層包含一重分配基底、複數個第一導電焊墊以及複數個第二導電焊墊；該重分配基底具有一第五表面及遠離該第五表面之一第六表面，該第五表面係與該密封層之該表面相鄰；該複數個第

一導電焊墊係位於該重分配基底之該第五表面上，且分別對齊於該複數個第三導電元件之該未被覆蓋部分對面之該複數打線接合件之該複數基座；該複數個第二導電焊墊係位於該重分配基底之該第四表面，且與該複數個第一導電焊墊電性連接。

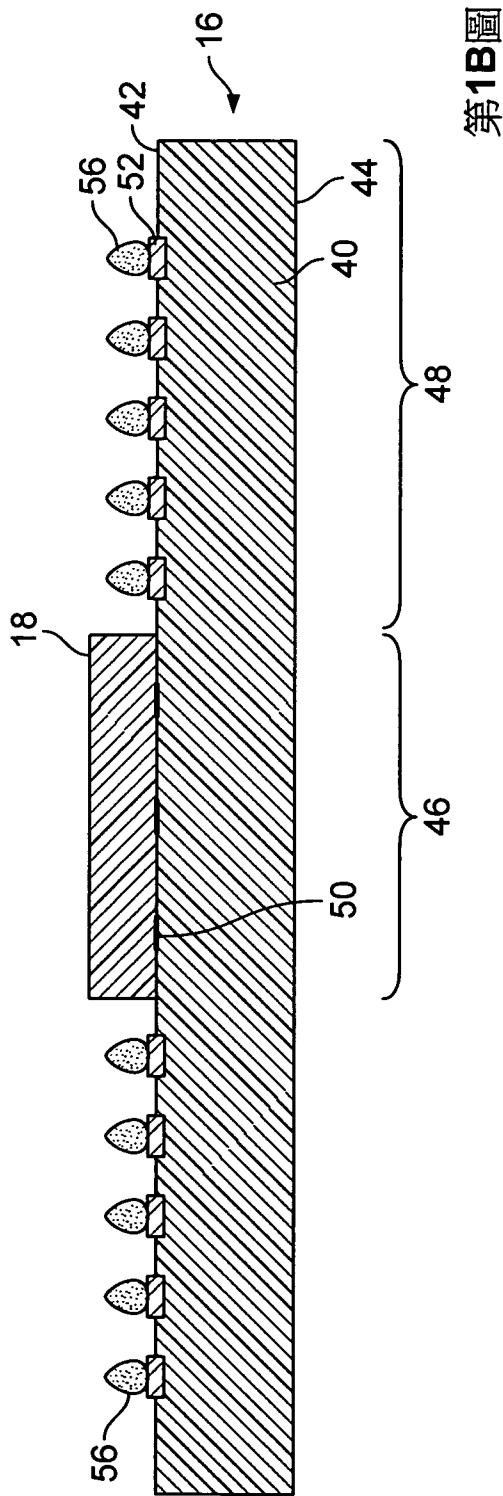
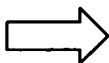
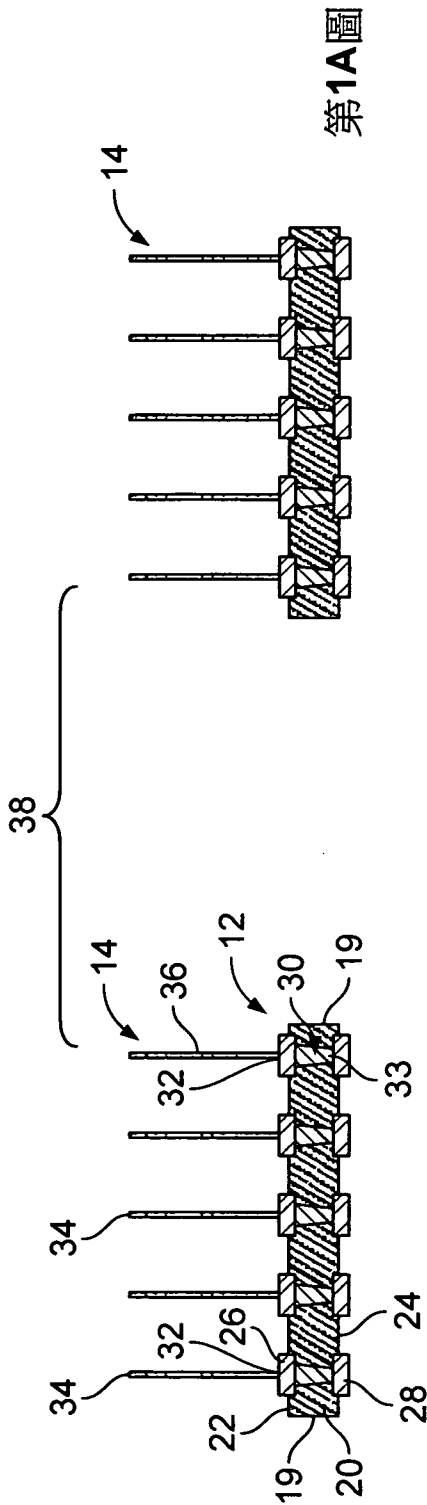
18. 如申請專利範圍第14項所述之方法，更包含：

形成一導熱元件，以覆蓋該微電子元件之遠離該底座之該第一表面之一表面且與該表面進行熱交換，且該導熱元件係設置於該介電密封元件之一凹洞中。

19. 如申請專利範圍第14項所述之方法，更包含：

形成一導熱元件，以覆蓋該第二區域中的該第一表面之部分以及該微電子元件之遠離該底座之該第一表面之一表面，並進行熱交換，其中該導熱元件形成之後，再形成該介電密封元件。

圖式



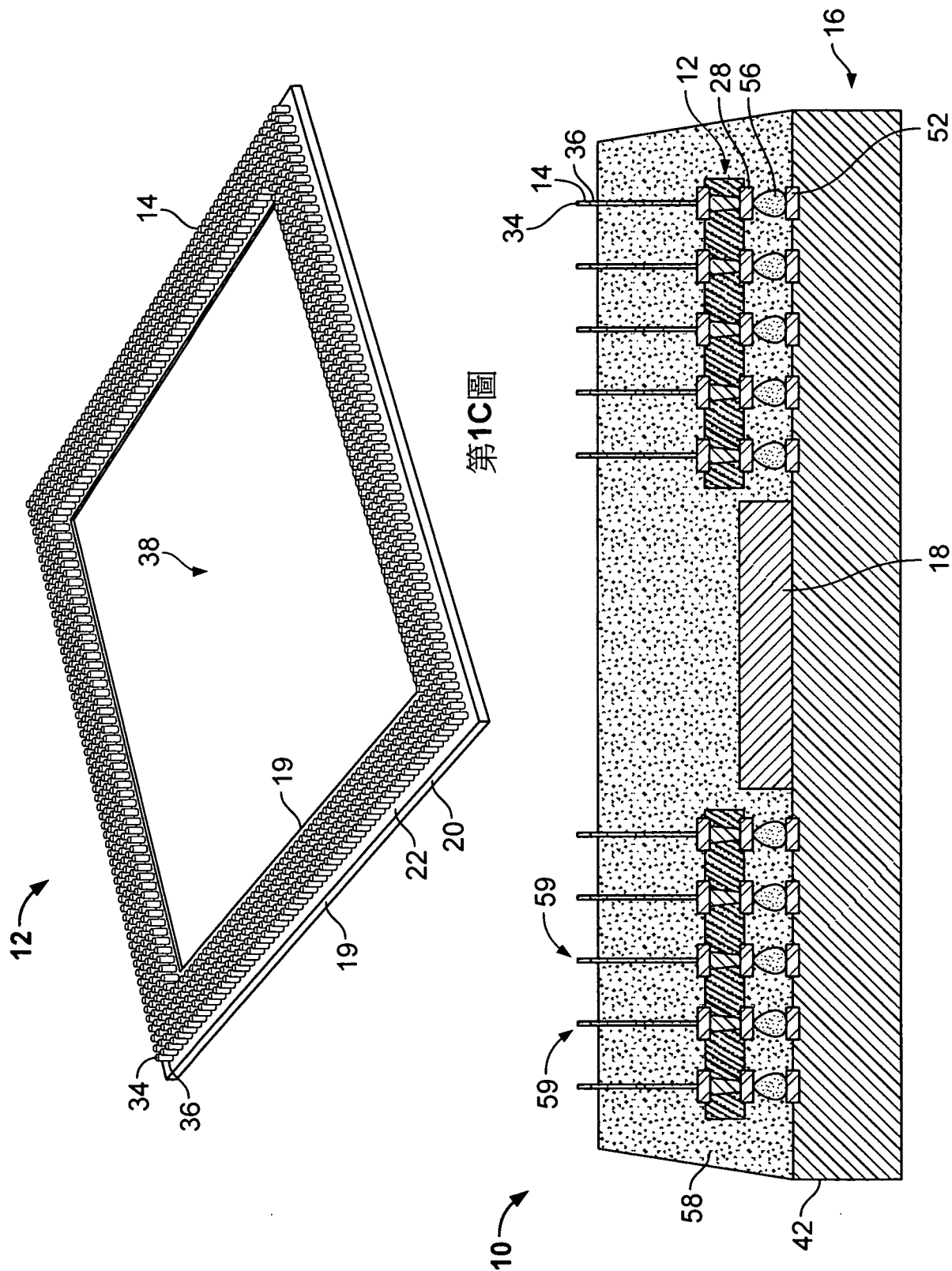
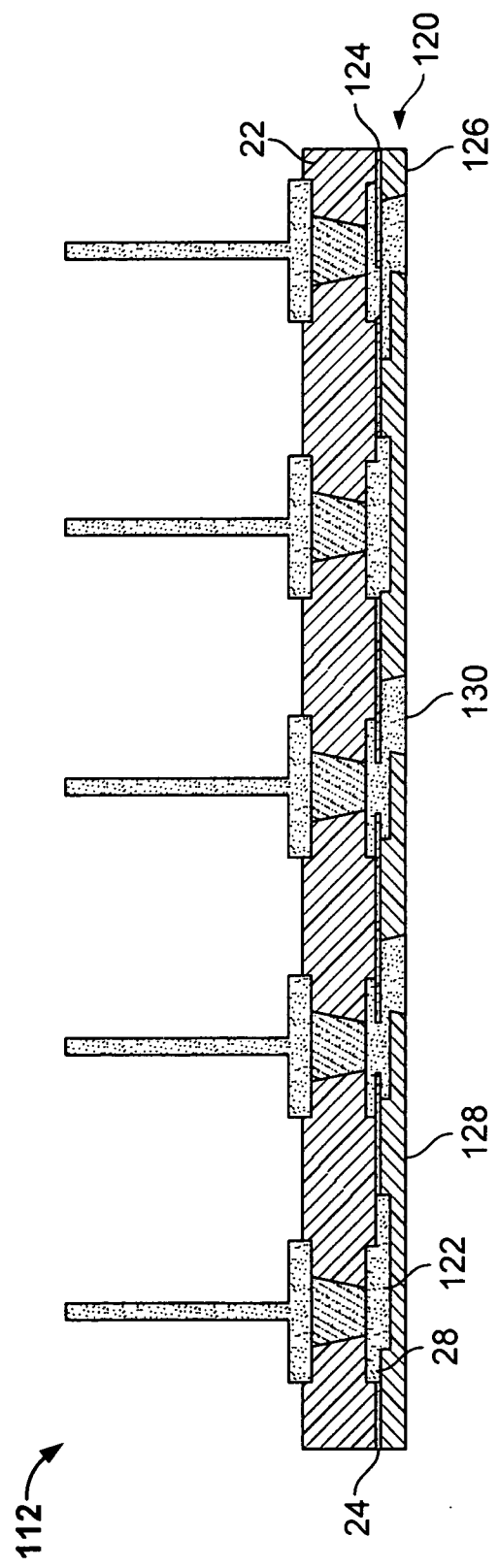
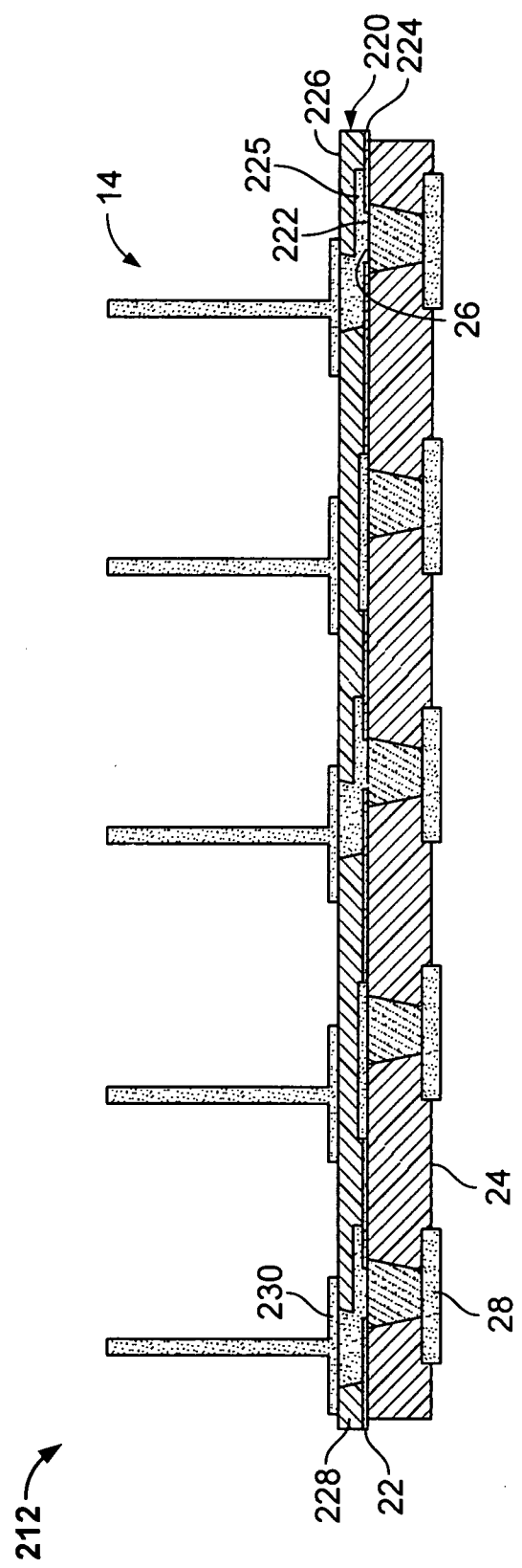


圖 10

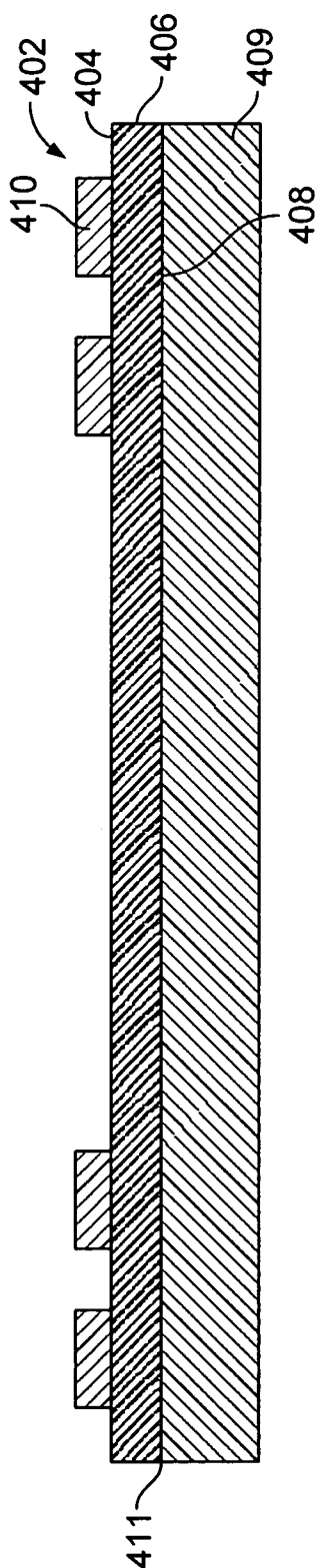
圖
第2



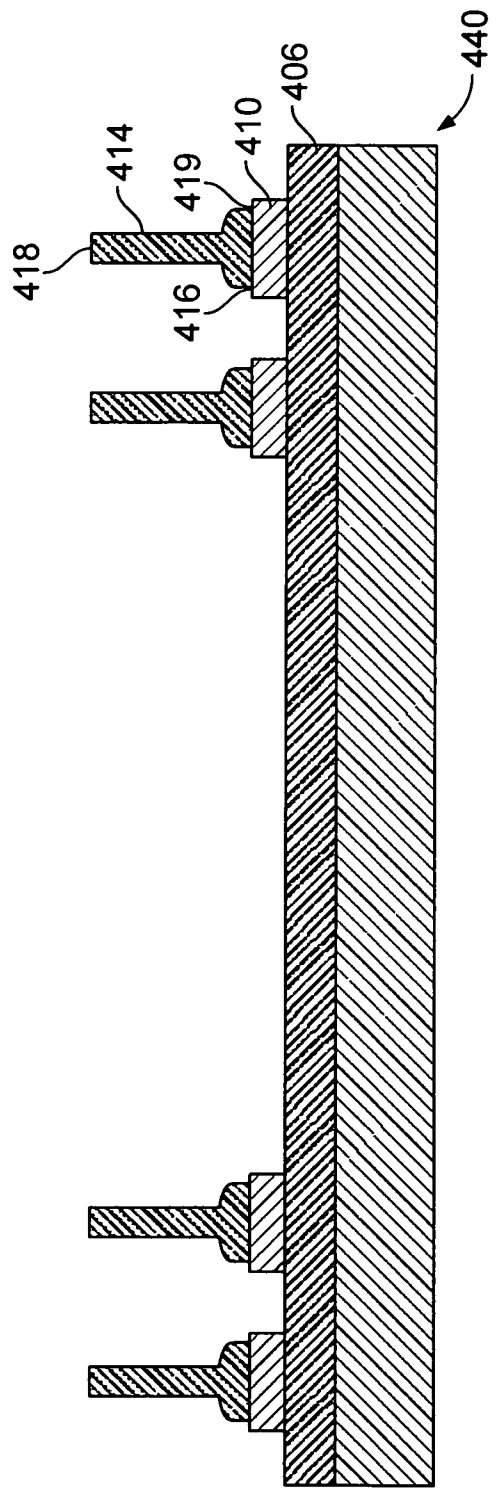
第3圖



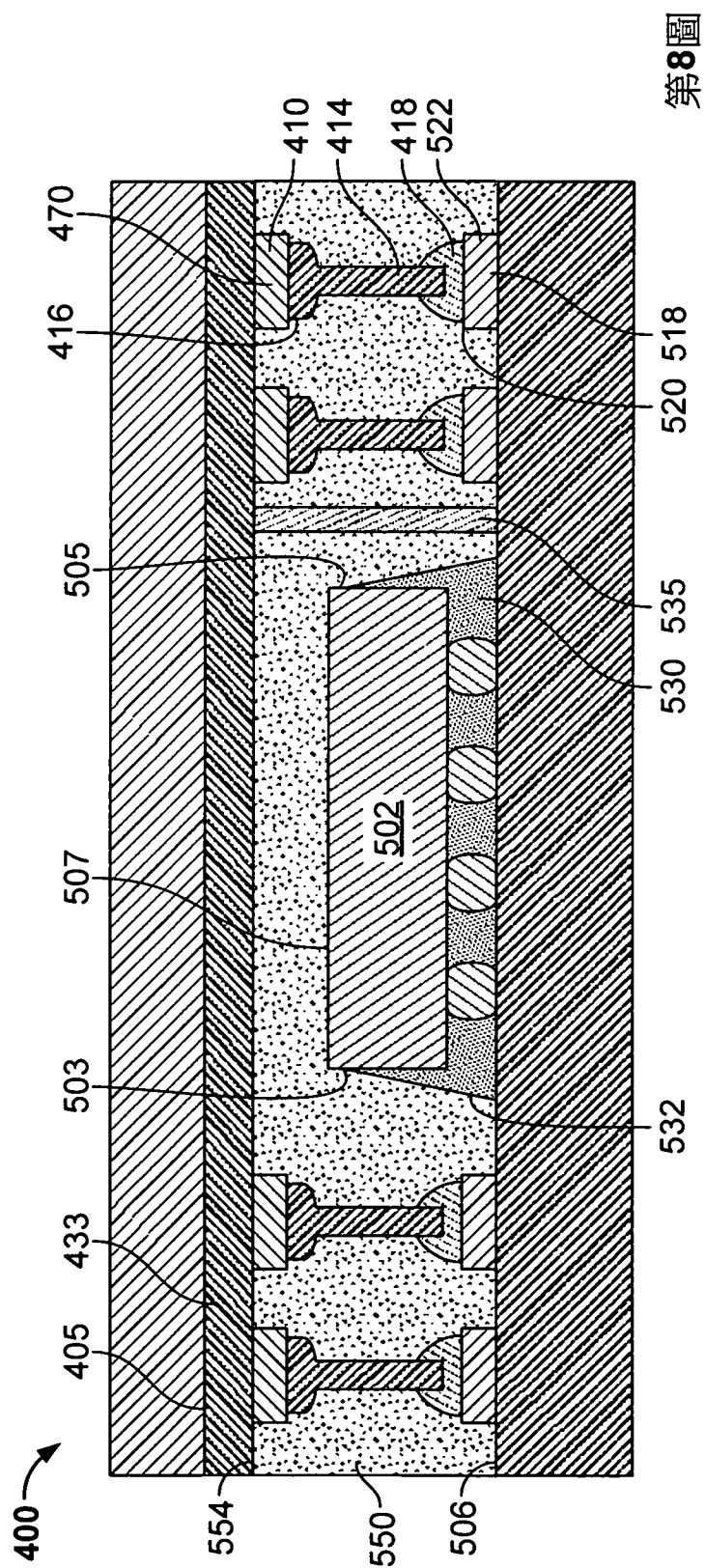
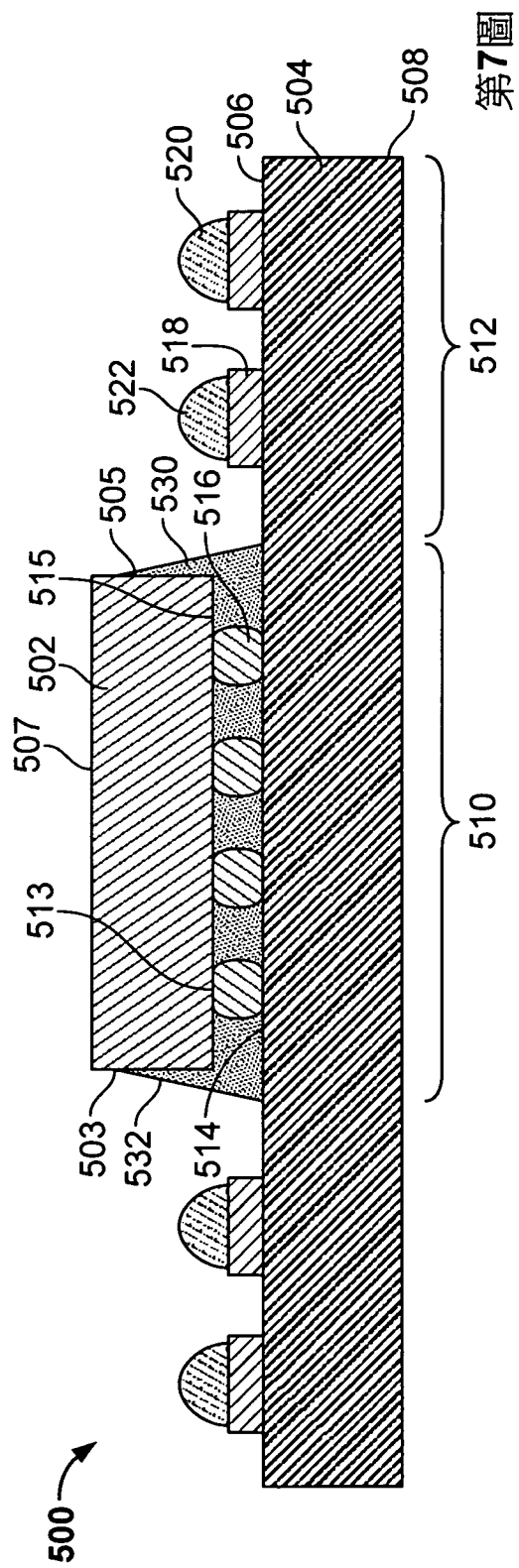
第4圖

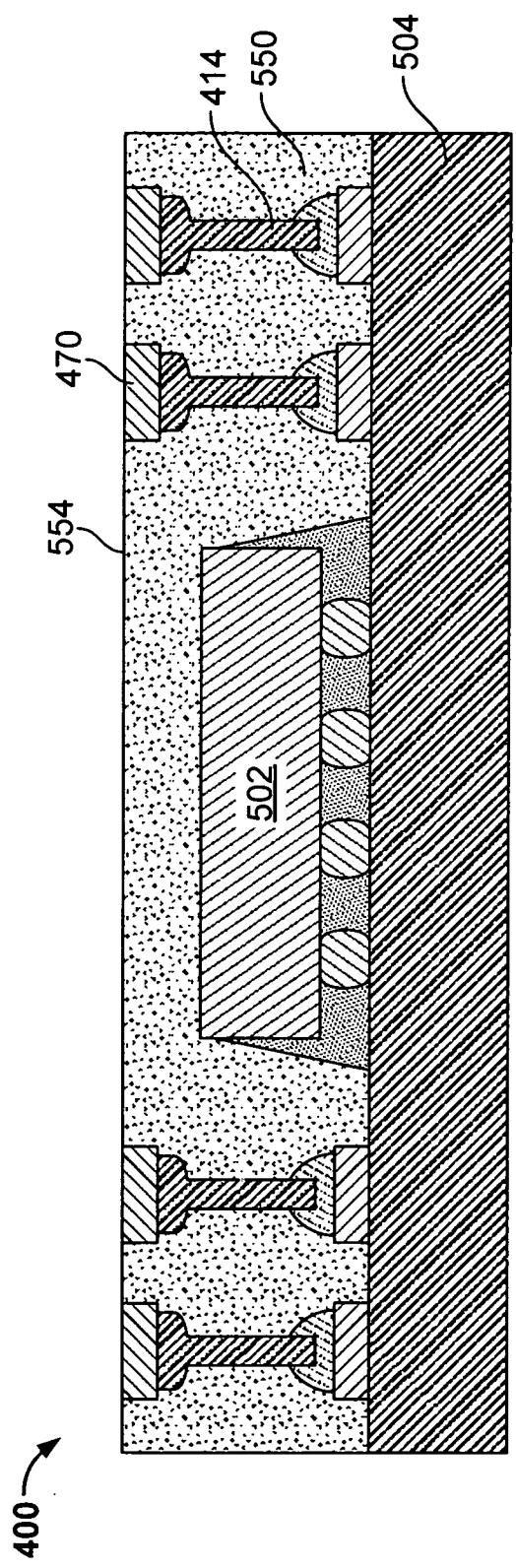


第5圖

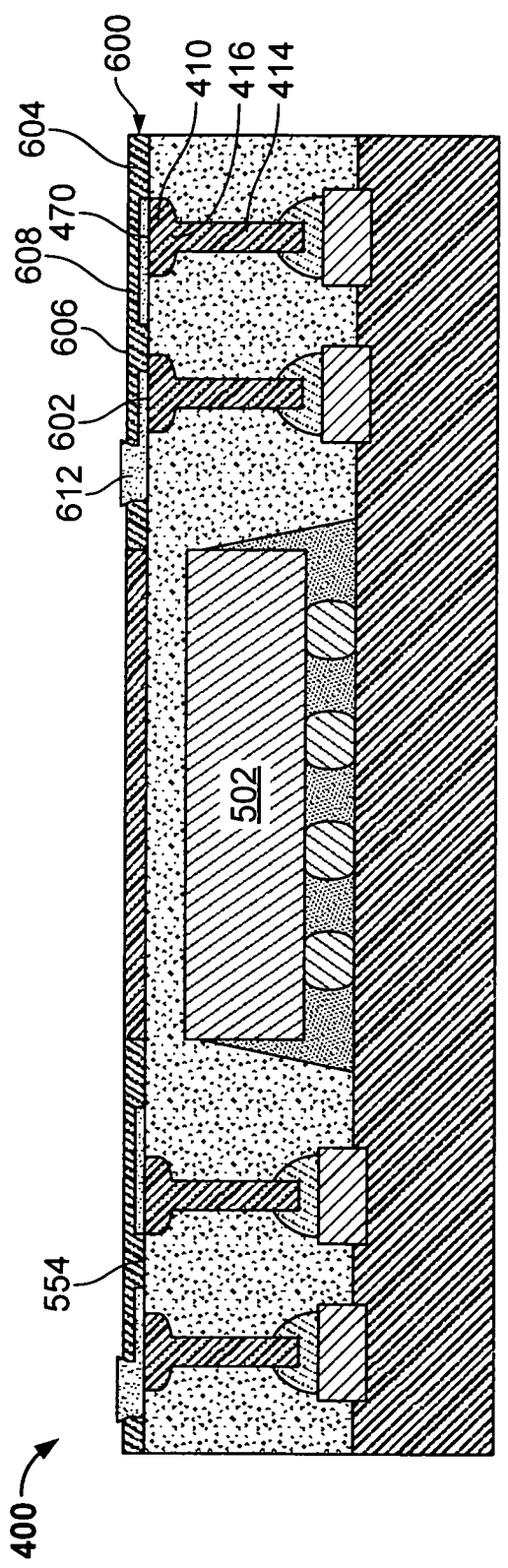


第6圖

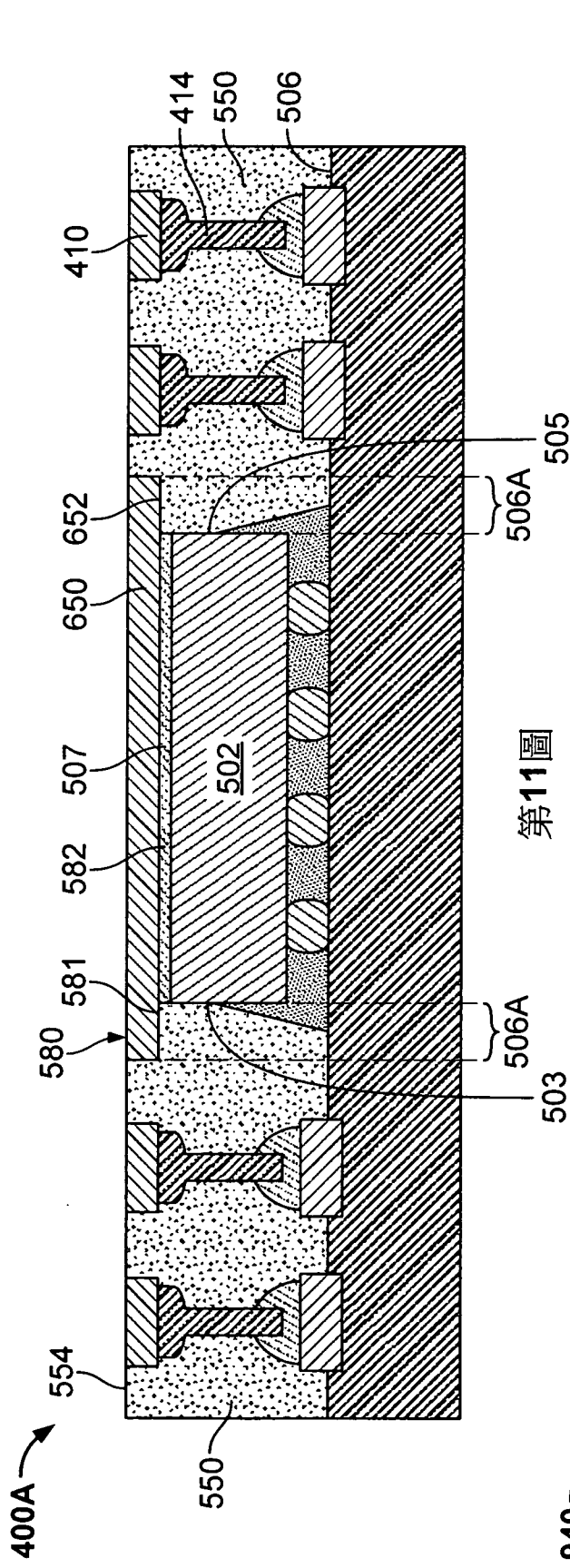




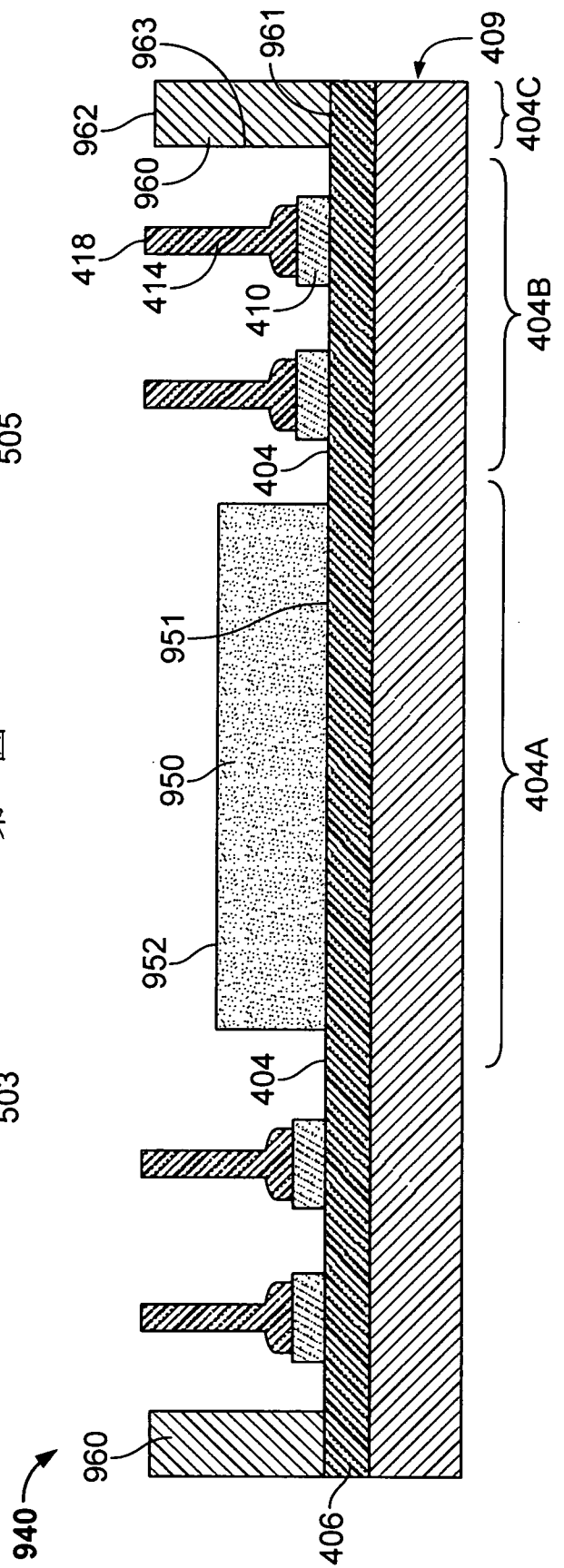
第9圖



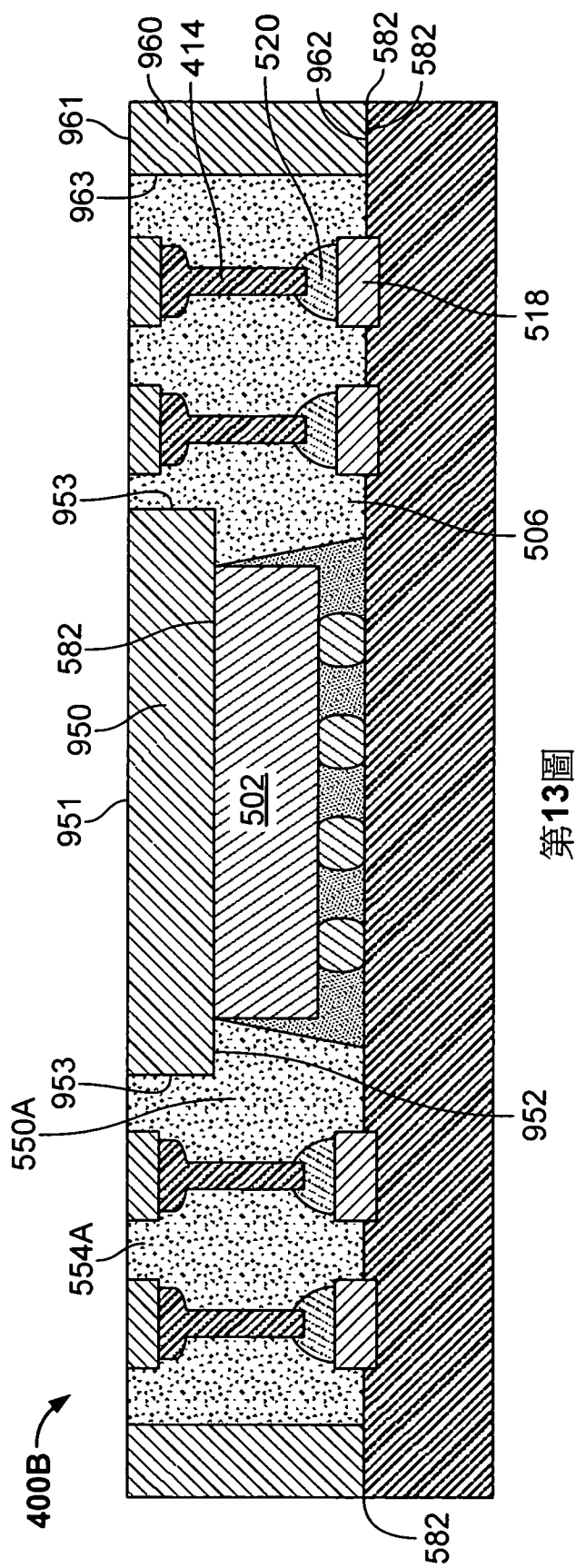
第10圖



第11圖



第12圖



第13圖