



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512708 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

(21)申請案號：103115997

(22)申請日：中華民國 103 (2014) 年 05 月 05 日

(51)Int. Cl. : G09G3/32 (2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：曾卿杰 TSENG, CHING CHIEH (TW)

(74)代理人：郭曉文

(56)參考文獻：

TW 200839714A

TW 201308287A

TW 201351378A

TW 201417073A

審查人員：楊喻仁

申請專利範圍項數：9 項 圖式數：4 共 22 頁

(54)名稱

畫素補償電路

PIXEL COMPENSATING CIRCUIT

(57)摘要

一種畫素補償電路，其包括一第一電晶體、一第二電晶體、一第三電晶體、一第四電晶體、一第五電晶體、一開關單元以及一發光二極體。其第一電晶體、第三電晶體、第四電晶體、第五電晶體、及開關單元是用以接收一開關訊號，並根據開關訊號使畫素補償電路可自動補償電晶體的臨界電壓，並使發光二極體的驅動電流不受電晶體的臨界電壓或發光二極體端所產生的壓降所影響。

The present invention relates to a pixel compensating circuit including a first transistor, a second transistor, a third transistor, a fourth transistor, a fifth transistor, a switch unit, and a light-emitting diode. The first transistor, the third transistor, the fourth transistor, the fifth transistor, and the switch unit are used to receive a switch signal, therefore, the pixel compensating circuit can compensate a threshold voltage of transistor automatically, and a driving current of light-emitting diode does not affected by the change of the threshold voltage or the voltage drop of the light-emitting diode.

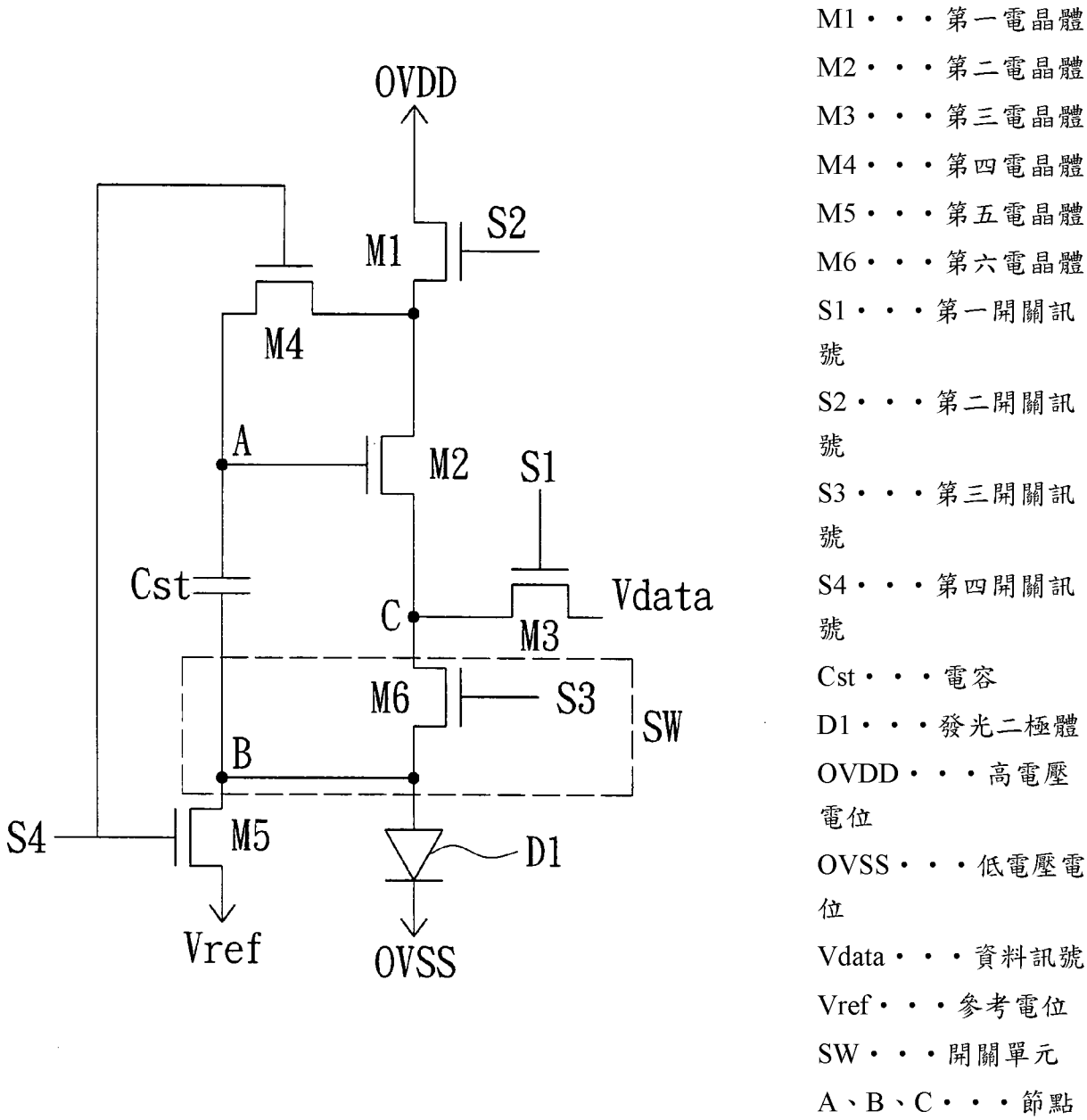


圖 1

發明摘要

※ 申請案號：

107115991
103.5.05

※ 申請日：

※IPC 分類：G09G3/32(2006.01)

【發明名稱】畫素補償電路

PIXEL COMPENSATING CIRCUIT

【中文】

一種畫素補償電路，其包括一第一電晶體、一第二電晶體、一第三電晶體、一第四電晶體、一第五電晶體、一開關單元以及一發光二極體。其第一電晶體、第三電晶體、第四電晶體、第五電晶體、及開關單元是用以接收一開關訊號，並根據開關訊號使畫素補償電路可自動補償電晶體的臨界電壓，並使發光二極體的驅動電流不受電晶體的臨界電壓或發光二極體端所產生的壓降所影響。

【英文】

The present invention relates to a pixel compensating circuit including a first transistor, a second transistor, a third transistor, a fourth transistor, a fifth transistor, a switch unit, and a light-emitting diode. The first transistor, the third transistor, the fourth transistor, the fifth transistor, and the switch unit are used to receive a switch signal, therefore, the pixel compensating circuit can compensate a threshold voltage of transistor automatically, and a driving current of light-emitting diode does not affected by the change of the

threshold voltage or the voltage drop of the light-emitting diode.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

M1 第一電晶體

M2 第二電晶體

M3 第三電晶體

M4 第四電晶體

M5 第五電晶體

M6 第六電晶體

S1 第一開關訊號

S2 第二開關訊號

S3 第三開關訊號

S4 第四開關訊號

Cst 電容

D1 發光二極體

OVDD 高電壓電位

OVSS 低電壓電位

Vdata 資料訊號

Vref 參考電位

SW 開關單元

A、B、C 節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】畫素補償電路

PIXEL COMPENSATING CIRCUIT

【技術領域】

【0001】 本發明是有關於一種畫素補償電路，尤其是有關於補償臨界電壓及驅動電流的畫素補償電路。

【先前技術】

【0002】 習知之主動式有機發光二極體(AMOLED)應用於顯示器上時，由於具有輕薄、效率高、高色彩飽和度等優勢，近年來已成為主要發展之顯示技術。主動式有機發光二極體顯示器雖具有上述之優勢，但其電晶體易因製程的影響或長時間的使用造成臨界電壓的變異，導致主動式有機發光二極體顯示器出現亮度不均等現象，又有機發光二極體在長時間操作下會發生跨壓上升之情況，進而影響電晶體閘極-源極之跨壓，造成顯示不良之問題，此外，由於有機發光二極體為電流驅動元件，若有機發光二極體端內阻增加，更會導致壓降增加並影響電晶體閘極-源極之跨壓，導致顯示不良之問題發生。

【發明內容】

【0003】 為了解決上述之缺憾，本發明提出一種畫素補償電路實施例，其包括一第一電晶體、一第二電晶體、一第三電晶體、一第四電晶體、一第五電晶體、一開關單元以及一

發光二極體。第一電晶體之閘極端是用以接收一開關訊號、第一端是用以接收高電壓電位，第二電晶體之第一端與第一電晶體的第二端電性相連，第三電晶體之閘極端是用以接收開關訊號、第一端是用以接收資料訊號、第二端則與第二電晶體的第二端電性相連，第四電晶體之閘極端是用以接收開關訊號、第一端與第一電晶體之第二端以及第二電晶體之第一端電性相連、第二端與第二電晶體之閘極端以及一電容之第一端電性相連，第五電晶體之閘極端是用以接收開關訊號、第一端與電容之第二端電性相連、第二端是用以接收一參考電位，開關單元是用以接收開關訊號，其並與第三電晶體之第二端、第五電晶體之第一端、以及電容之第二端電性相連，發光二極體之第一端與開關單元電性相連，第二端是用以接收低電壓電位。

【0004】 在本發明的較佳實施例中，上述之開關單元可包括一第六電晶體，其閘極端係用以接收開關訊號，其第一端與第三電晶體之第二端電性相連，其第二端與發光二極體之第一端、第五電晶體之第一端、以及電容之第二端電性相連。

【0005】 在本發明的較佳實施例中，上述之開關單元可包括一第六電晶體，其閘極端係用以接收開關訊號，其第一端與發光二極體之第一端及第三電晶體之第二端電性相連，其第二端與該第五電晶體之第一端以及電容之第二端電性相連。

【0006】 本發明之畫素補償電路實施例可根據所接收之開關訊號開啟或關閉迴路，使第二電晶體可根據本身之臨界電壓調整閘極端之電壓準位，並使發光二極體之驅動電流不隨發光二極體端的跨壓或內阻改變而變動，因而可有效減少發光二極體顯示器產生亮度不均、顯示不良等問題。

【圖式簡單說明】**【0007】**

圖1為本發明實施例一之架構示意圖。

圖2為本發明實施例一之訊號週期示意圖。

圖3為本發明實施例二之架構示意圖。

圖4為本發明實施例二之訊號週期示意圖。

【實施方式】

【0008】 請參閱圖1，圖1為本發明畫素補償電路實施例一，其包括一第一電晶體M1、一第二電晶體M2、一第三電晶體M3、一第四電晶體M4、一第五電晶體M5、一開關單元SW、一發光二極體D1、及一電容Cst，其中第一電晶體M1、第二電晶體M2、第三電晶體M3、第四電晶體M4、第五電晶體M5，可為N型電晶體。第一電晶體M1、第三電晶體M3、第四電晶體M4、第五電晶體M5、及開關單元SW是用以接收一開關訊號，並根據開關訊號開啟或關閉以形成迴路，且此開關訊號可包括一第一開關訊號S1、一第二開關訊號S2、一第三開關訊號S3、及一第四開關訊號S4。

【0009】 前述之第一電晶體M1之閘極端用以接收第二開關訊號S2，而其第一端是用以接收一高電壓電位OVDD，其第二端則是與第二電晶體M2的第一端以及第四電晶體M4之第一端電性相連。第二電晶體M2為驅動電晶體，其閘極端與第四電晶體M4之第二端以及電容Cst之第一端電性相連，其第一端與第一電晶體M1之第二端及第四電晶體M4之第一端電性相連，其第二端與第三電晶體M3之第二端及前述之開關單元SW電性相連。第三電晶體M3之閘極端是用以接收第一開關訊

號 S1，其第一端是用以接收一資料訊號 Vdata，此資料訊號 Vdata 是用以控制前述之發光二極體之發光亮度，其第二端則是與第二電晶體 M2 之第二端以及開關單元 SW 電性相連。

【0010】 第四電晶體 M4 之閘極端是用以接收第四開關訊號 S4，其第一端與第一電晶體 M1 之第二端及第二電晶體 M2 之第一端電性相連，其第二端與第二電晶體 M2 之閘極端及電容 Cst 之第一端電性相連。第五電晶體 M5 之閘極端是用以接收第四開關訊號 S4，其第一端與電容 Cst 之第二端及開關單元 SW 電性相連，其第二端係用以接收一參考電位 Vref。前述之發光二極體 D1 之第一端與開關單元 SW 電性相連，第二端則是用以接收一低電壓電位 OVSS，且此發光二極體 D1 係根據流經的驅動電流，也就是第二電晶體 M2 汲極-源極之電流 I_{ds} 決定其發光亮度。

【0011】 其中，前述之開關單元 SW 更可包括一第六電晶體 M6，第六電晶體 M6 可為 N 型電晶體，其閘極端是用以接收第三開關訊號 S3，其第一端與第三電晶體 M3 之第二端及第二電晶體 M2 之第二端電性相連，其第二端則與發光二極體 D1 之第一端、第五電晶體 M5 之第一端以及電容 Cst 之第二端電性相連。

【0012】 圖 2 為本發明實施例一之第一開關訊號 S1、第二開關訊號 S2、第三開關訊號 S3、第四開關訊號 S4 及資料訊號 Vdata 之訊號週期示意圖，其並可分為第 I 週期時間、第 II 週期時間、以及第 III 週期時間。其中第一開關訊號 S1 與資料訊號 Vdata 之電壓準位週期為相同，也就是第一開關訊號 S1 與資料訊號 Vdata 之高電壓準位及低電壓準位之週期為相同，第一開關訊號 S1 與第二開關訊號 S2 之電壓準位週期為彼此相反，也就是第一開關訊號 S1 與第二開關訊號 S2 之高電壓準位及低

電壓準位之週期為相反，第三開關訊號S3與第四開關訊號S4之電壓準位週期為彼此相反，也就是第三開關訊號S3與第四開關訊號S4之高電壓準位及低電壓準位之週期為相反。

【0013】 以下將配合圖1及圖2進一步說明本發明實施例一之運作方式。首先，第I週期時間時為實施例一之預充週期，第一開關訊號S1、第三開關訊號S3為低電壓準位，而第二開關訊號S2及第四開關訊號S4為高電壓準位，資料訊號Vdata為低電壓準位，也就是此時並無控制發光二極體D1之資料訊號Vdata。此時第三電晶體M3及第六電晶體M6之閘極端係接收低電壓準位，因此第三電晶體M3及第六電晶體M6為關閉，第一電晶體M1、第四電晶體M4及第五電晶體M5之閘極端係接收高電壓準位，因此第一電晶體M1、第四電晶體M4及第五電晶體M5為開啟。因此第一電晶體M1第一端所接收之高電壓電位OVDD透過第一電晶體M1及第四電晶體M4將圖1中之節點A充至高電壓電位OVDD，而圖1中之節點B則透過第五電晶體M5充至參考電位Vref，此外，因此時第六電晶體M6為關閉，又參考電位Vref小於發光二極體D1之第二端所接收之低電壓電位OVSS，因此此時發光二極體D1並無電流通過而關閉。

【0014】 第I週期時間結束後進入第II週期時間，而第II週期時間時為實施例一之臨界電壓補償週期，第一開關訊號S1、及第四開關訊號S4此時為高電壓準位，而第二開關訊號S2及第三開關訊號S3為低電壓準位，資料訊號Vdata此時為高電壓準位，也就是此時具有控制發光二極體D1亮度的資料訊號Vdata。由於第一電晶體M1及第六電晶體M6之閘極端係接收低電壓準位，因此第一電晶體M1及第六電晶體M6關閉，第

三電晶體 M3、第四電晶體 M4 及第五電晶體 M5 之閘極端係接收高電壓準位，因此第三電晶體 M3、第四電晶體 M4 及第五電晶體 M5 為開啟。此時因第一電晶體 M1 關閉、第三電晶體 M3 為開啟，第三電晶體 M3 之第一端並接收資料訊號 Vdata，因此圖 1 節點 A 之電壓準位經由第二電晶體 M2 及第三電晶體 M3，從第 I 週期之高電壓電位 OVDD 下降至第三電晶體 M3 第一端所接收之資料訊號 Vdata 的高電壓準位加上第二電晶體 M2 本身之臨界電壓 V_t 的電壓準位，也就是此時節點 A 之電壓準位為 $V_{data} + V_t$ ，且第二電晶體 M2 因節點 A 之電壓準位下降而截止關閉，所以節點 A 即保留在 $V_{data} + V_t$ 的電壓準位，達到自動補償臨界電壓 V_t 之功效，而圖 1 中之節點 B 則透過第五電晶體 M5 充至參考電位 Vref。此外，因此時第六電晶體 M6 為關閉，又參考電位 Vref 小於發光二極體 D1 之第二端所接收之低電壓電位 OVSS，因此此時發光二極體 D1 因並無電流通過而關閉。

【0015】 第 II 週期時間結束後接著進入第 III 週期時間。第 III 週期時間時為實施例一之發光週期，此時第一開關訊號 S1 及第四開關訊號 S4 為低電壓準位，第二開關訊號 S2 及第三開關訊號 S3 為高電壓準位，資料訊號 Vdata 為低電壓準位，此時並無控制發光二極體 D1 亮度之資料訊號 Vdata。第三電晶體 M3、第四電晶體 M4、及第五電晶體 M5 之閘極端接收低電壓準位，因此第三電晶體 M3、第四電晶體 M4、及第五電晶體 M5 為關閉，而第一電晶體 M1 及第六電晶體 M6 之閘極端接收高電壓準位，因此第一電晶體 M1 及第六電晶體 M6 為開啟。由於此時開關單元 SW 之第六電晶體 M6 開啟，高電壓電位 OVDD 經由第一電晶體 M1、第二電晶體 M2 及第六電晶體 M6 傳送至發光二極體 D1，使發光二極體 D1 第一端，也就是節點 B 之電壓準位充至低電壓電位 OVSS 加上發光二

極體 D1 之驅動電位 VOLED，即節點 B 之電壓準位為 OVSS+VOLED，大於低電壓電位 OVSS 的電壓準位，因此此時發光二極體 D1 即根據所流經的驅動電流 I_{ds} 發光。又因為電容 C_{st} 本身之特性，此時節點 A 之電壓準位會同時由第 II 週期之 $V_{data}+V_t$ 上升至 $V_{data}+V_t-V_{ref}+OVSS+VOLED$ ，因此此時第二電晶體 M2 之閘極-源極跨壓 V_{gs} 為：

$V_{gs}=V_g-V_s=(V_{data}+V_t-V_{ref}+OVSS+VOLED)-(OVSS+VOLED)$ ，其中 V_g 為第二電晶體 M2 之閘極端電壓準位， V_s 為第二電晶體 M2 之源極端電壓準位。第二電晶體 M2 之汲極-源極電流 I_{ds} 為：

$I_{ds}=K(V_{gs}-V_t)^2=K(V_{data}+V_t-V_{ref}-V_t)^2=K(V_{data}-V_{ref})^2$ ， K 為常數。也就是此時流經發光二極體 D1 的驅動電流 I_{ds} 僅與第 II 週期時間輸入之資料訊號 V_{data} 相關，且驅動電流 I_{ds} 不會隨第二電晶體 M2 之臨界電壓 V_t 或發光二極體 D1 端之壓降改變而變動，因此可大幅減少前述之亮度不均或其他顯示不良的問題。

【0016】圖3為本發明畫素補償電路之實施例二，其包括一第一電晶體 M1、一第二電晶體 M2、一第三電晶體 M3、一第四電晶體 M4、一第五電晶體 M5、一開關單元 SW、一發光二極體 D1、及一電容 C_{st} ，其中第一電晶體 M1、第三電晶體 M3、第四電晶體 M4、第五電晶體 M5、及開關單元 SW 接收一開關訊號，並根據開關訊號開啟或關閉以形成迴路，此開關訊號可包括一第一開關訊號 S1、一第二開關訊號 S2、及一第三開關訊號 S3。

【0017】第一電晶體 M1 之閘極端用以接收第一開關訊號 S1，而其第一端是用以接收一高電壓電位 OVDD，其第二端則是與第二電晶體 M2 的第一端以及第四電晶體 M4 之第一端電性相連。第二電晶體 M2 為驅動電晶體，其閘極端與第四電晶

體 M4 之第二端以及電容 Cst 之第一端電性相連，其第一端與第一電晶體 M1 之第二端及第四電晶體 M4 之第一端電性相連，其第二端則與第三電晶體 M3 之第二端及前述之開關單元 SW 電性相連。第三電晶體 M3 之閘極端是用以接收第二開關訊號 S2，其第一端是用以接收一資料訊號 Vdata，此資料訊號 Vdata 是用以控制前述之發光二極體 D1 之發光亮度，其第二端則是與第二電晶體 M2 之第二端以及開關單元 SW 電性相連。

【0018】 第四電晶體 M4 之閘極端是用以接收第二開關訊號 S2，其第一端與第一電晶體 M1 之第二端及第二電晶體 M2 之第一端電性相連，其第二端與第二電晶體 M2 之閘極端及電容 Cst 之第一端電性相連。第五電晶體 M5 之閘極端是用以接收第二開關訊號 S2，其第一端與電容 Cst 之第二端及開關單元 SW 電性相連，其第二端係用以接收一參考電位 Vref。而發光二極體 D1 之第一端與開關單元 SW 電性相連，第二端則是用以接收一低電壓電位 OVSS，且此發光二極體 D1 係根據流經的驅動電流，也就是第二電晶體 M2 汲極-源極之電流 I_{ds} 決定其發光亮度。前述之開關單元 SW 更可包括一第六電晶體 M6，其閘極端用以接收第三開關訊號 S3，其第一端與發光二極體 D1 之第一端、第二電晶體 M2 的第二端、及第三電晶體 M3 之第二端電性相連，其第二端與第五電晶體 M5 之第一端以及電容 Cst 之第二端電性相連。

【0019】 圖 4 為本發明實施例二之第一開關訊號 S1、第二開關訊號 S2、第三開關訊號 S3 及資料訊號 Vdata 之訊號週期示意圖，其並可分為第 I 週期時間、第 II 週期時間、以及第 III 週期時間。其中第一開關訊號 S1 與資料訊號 Vdata 之電壓準位週期為相反，也就是第一開關訊號 S1 與資料訊號 Vdata 之高電壓準位及低電壓準位之週期為相反，第二開關訊號 S2

與第三開關訊號 S3 之電壓準位週期為彼此相反，也就是第二開關訊號 S2 與第三開關訊號 S3 之高電壓準位及低電壓準位之週期為相同。

【0020】 以下將配合圖3及圖4進一步說明本發明實施例二之運作方式。第 I 週期時間時為實施例二之預充週期，第三開關訊號 S3 為低電壓準位，第一開關訊號 S1 及第二開關訊號 S2 為高電壓準位，Vdata 為低電壓準位，也就是此時並無控制發光二極體 D1 亮度之資料訊號 Vdata。由於第六電晶體 M6 之閘極端係接收低電壓準位，因此第六電晶體 M6 為關閉，第一電晶體 M1、第三電晶體 M3、第四電晶體 M4 及第五電晶體 M5 之閘極端係接收高電壓準位，因此第一電晶體 M1、第三電晶體 M3、第四電晶體 M4 及第五電晶體 M5 為開啟。此時高電壓電位 OVDD 透過第一電晶體 M1 及第四電晶體 M4 將圖3中之節點 A 充至高電壓電位 OVDD，而圖3中之節點 B 則透過第五電晶體 M5 充至參考電位 Vref，此外，第三電晶體 M3 之第一端接收資料訊號 Vdata，因此時圖3中之節點 C 將充至資料訊號 Vdata 之低電壓準位，又資料訊號 Vdata 目前之電壓準位小於發光二極體 D1 之第二端所接收之低電壓電位 OVSS，因此此時發光二極體 D1 並無電流通過而關閉。

【0021】 第 I 週期時間結束後進入第 II 週期時間，而第 II 週期時間時為實施例二之臨界電壓補償週期，第二開關訊號 S2 為高電壓準位，而第一開關訊號 S1 及第三開關訊號 S3 為低電壓準位，資料訊號 Vdata 為高電壓準位，也就是此時具有控制發光二極體 D1 亮度的資料訊號 Vdata。此時第一電晶體 M1 及第六電晶體 M6 之閘極端係接收低電壓準位，因此第一電晶體 M1 及第六電晶體 M6 關閉，第三電晶體 M3、第四電晶體 M4 及第五電晶體 M5 之閘極端係接收高電壓準位，因此第三電晶

體 M3、第四電晶體 M4 及第五電晶體 M5 為開啟。此時因第一電晶體 M1 關閉，因此圖 3 節點 A 之電壓準位經由第二電晶體 M2 及第三電晶體 M3 從第 I 週期之高電壓電位 OVDD 下降至第三電晶體 M3 第一端所接收之資料訊號 Vdata 加上第二電晶體 M2 之臨界電壓 V_t 的電壓準位，也就是此時節點 $A = V_{data} + V_t$ ，第二電晶體 M2 因節點 A 電壓準位下降而截止關閉，節點 A 即保留在 $V_{data} + V_t$ 的電壓準位，達到自動補償臨界電壓 V_t 之功效，而圖 3 中之節點 B 則透過第五電晶體 M5 充至參考電位 V_{ref} ，此外，第三電晶體 M3 之第一端所接收之資料訊號 Vdata 將圖 3 之節點 C 充至資料訊號 Vdata 之高電壓準位，又因為資料訊號 Vdata 之高電壓準位小於發光二極體 D1 之第二端所接收之低電壓電位 OVSS，因此此時發光二極體 D1 並無電流通過而關閉。

【0022】 第 II 週期時間結束後接著進入第 III 週期時間。第 III 週期時間時為實施例二之發光週期，此時第二開關訊號 S2 為低電壓準位，第一開關訊號 S1 及第三開關訊號 S3 為高電壓準位，資料訊號 Vdata 為低電壓準位，此時並無控制發光二極體 D1 亮度的資料訊號 Vdata。第三電晶體 M3、第四電晶體 M4、及第五電晶體 M5 之閘極端接收低電壓準位，因此第三電晶體 M3、第四電晶體 M4、及第五電晶體 M5 為關閉，而第一電晶體 M1 及第六電晶體 M6 之閘極端接收高電壓準位，因此第一電晶體 M1 及第六電晶體 M6 為開啟。由於此時第四電晶體 M4 關閉，高電壓電位 OVDD 經由第一電晶體 M1 及第二電晶體 M2 傳送至發光二極體 D1，使發光二極體 D1 第一端，也就是節點 C 之電壓準位充為低電壓電位 OVSS 加上發光二極體 D1 之驅動電位 VOLED，即 C 點電壓準位為 $OVSS + VOLED$ ，大於低電壓電位 OVSS 的電壓準位，因此此

時有電流流經發光二極體 D1，發光二極體 D1 即根據所流經的驅動電流 I_{ds} 發光。又因為電容 C_{st} 本身之特性，此時節點 A 之電壓準位會同時由第 II 週期之 $V_{data}+V_t$ 上升至 $V_{data}+V_t-V_{ref}+OVSS+VOLED$ ，因此此時第二電晶體 M2 之閘極-源極跨壓 V_{gs} 為：

$$V_{gs}=V_g-V_s=(V_{data}+V_t-V_{ref}+OVSS+VOLED)-(OVSS+VOLED)$$

，其中 V_g 為第二電晶體 M2 之閘極端電壓準位， V_s 為第二電晶體 M2 之源極端電壓準位。第二電晶體 M2 之汲極-源極電流 I_{ds} 為：

$I_{ds}=K(V_{gs}-V_t)^2=K(V_{data}+V_t-V_{ref}-V_t)^2=K(V_{data}-V_{ref})^2$ ，其中 K 為常數。也就是流經發光二極體 D1 的驅動電流 I_{ds} 僅與第 II 週期時間輸入之資料訊號 V_{data} 相關，使驅動電流 I_{ds} 不會隨第二電晶體 M2 之臨界電壓 V_t 或發光二極體 D1 端之壓降改變而變化，因此能大幅減少前述之亮度不均或其他顯示不良的問題。

【0023】 綜以上所述，本發明提出之畫素補償電路實施例因具有開關電路，使本發明之畫素補償電路實施例可根據所接收之開關訊號預先自動補償第二電晶體 M2 之臨界電壓 V_t ，並使發光二極體 D1 之驅動電流 I_{ds} 不因臨界電壓 V_t 或發光二極體 D1 端的壓降改變而變異，因此能有效減少亮度不均或其他顯示不良的問題。

【0024】 惟以上所述，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，凡依本發明申請專利範圍及說明書內容所做之等效變化或修飾，皆仍屬本發明專利涵蓋之範圍內。

【符號說明】

【0025】

M1 第一電晶體

M2 第二電晶體

M3 第三電晶體

M4 第四電晶體

M5 第五電晶體

M6 第六電晶體

S1 第一開關訊號

S2 第二開關訊號

S3 第三開關訊號

S4 第四開關訊號

Cst 電容

D1 發光二極體

OVDD 高電壓電位

OVSS 低電壓電位

Vdata 資料訊號

Vref 參考電位

SW 開關單元

A、B、C 節點

申請專利範圍

1. 一種畫素補償電路，其包括：
 - 一第一電晶體，其閘極端係用以接收一第一開關訊號，其第一端係用以接收高電壓電位；
 - 一第二電晶體，其第一端係用以與該第一電晶體之第二端電性相連；
 - 一第三電晶體，其閘極端係用以接收一第二開關訊號，其第一端係用以接收資料訊號，其第二端與該第二電晶體之第二端電性相連；
 - 一第四電晶體，其閘極端係用以接收一第三開關訊號，其第一端與該第一電晶體之第二端以及該第二電晶體之第一端電性相連，其第二端並與該第二電晶體之閘極端以及一電容之第一端電性相連；
 - 一第五電晶體，其閘極端係用以接收該第三開關訊號，其第一端與該電容之第二端電性相連，其第二端係用以接收一參考電位；
 - 一開關單元，係用以接收一第四開關訊號，其與該第三電晶體之第二端、該第五電晶體之第一端、以及該電容之第二端電性相連；以及
 - 一發光二極體，其第一端與該開關單元電性相連，其第二端則係用以接收低電壓電位。
2. 如請求項 1 所述之畫素補償電路，該開關單元包括一第六電晶體，其閘極端係用以接收該第四開關訊號，其第一端與該第三電晶體之第二端電性相連，其第二端與該發光二極體之第一端、第五電晶體之第一端、以及該電容之第二端電性相連。

3. 如請求項 1 所述之畫素補償電路，該第二開關訊號與該資料訊號之電壓準位週期為相同。
4. 如請求項 1 所述之畫素補償電路，該第一開關訊號與該第二開關訊號之電壓準位週期為相反。
5. 如請求項 1 所述之畫素補償電路，該第三開關訊號與該第四開關訊號之訊號電壓準位週期為相反。
6. 如請求項 1 所述之畫素補償電路，該開關單元包括一第六電晶體，其閘極端係用以接收該第四開關訊號，其第一端與該發光二極體之第一端及第三電晶體之第二端電性相連，其第二端與該第五電晶體之第一端以及該電容之第二端電性相連。
7. 如請求項 6 所述之畫素補償電路，該第一開關訊號與該資料訊號之電壓準位週期為相反。
8. 如請求項 6 所述之畫素補償電路，該第二開關訊號與該第三開關之電壓準位週期為相同，該第二開關訊號與該第四開關訊號之電壓準位週期為相反。
9. 如請求項 7 所述之畫素補償電路，該資料訊號之電位小於低電壓電位。

圖式

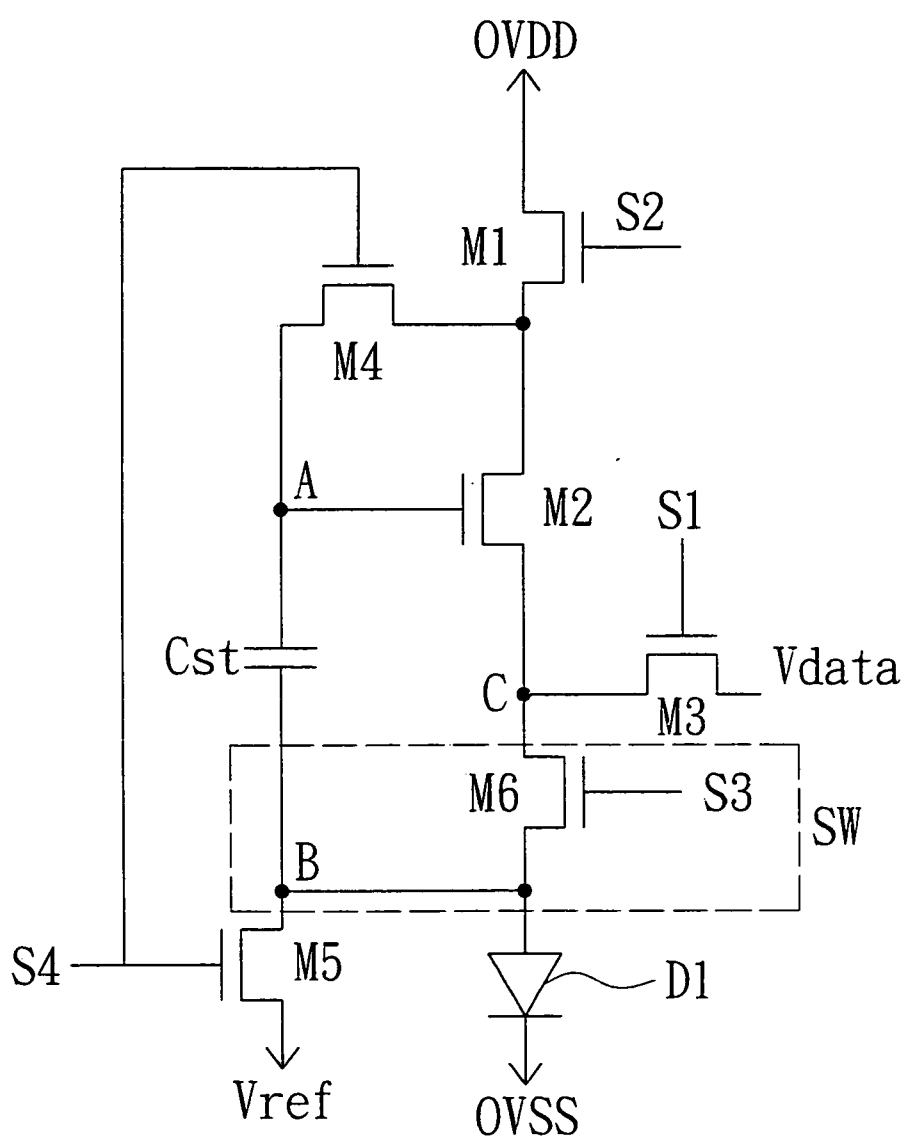


圖 1

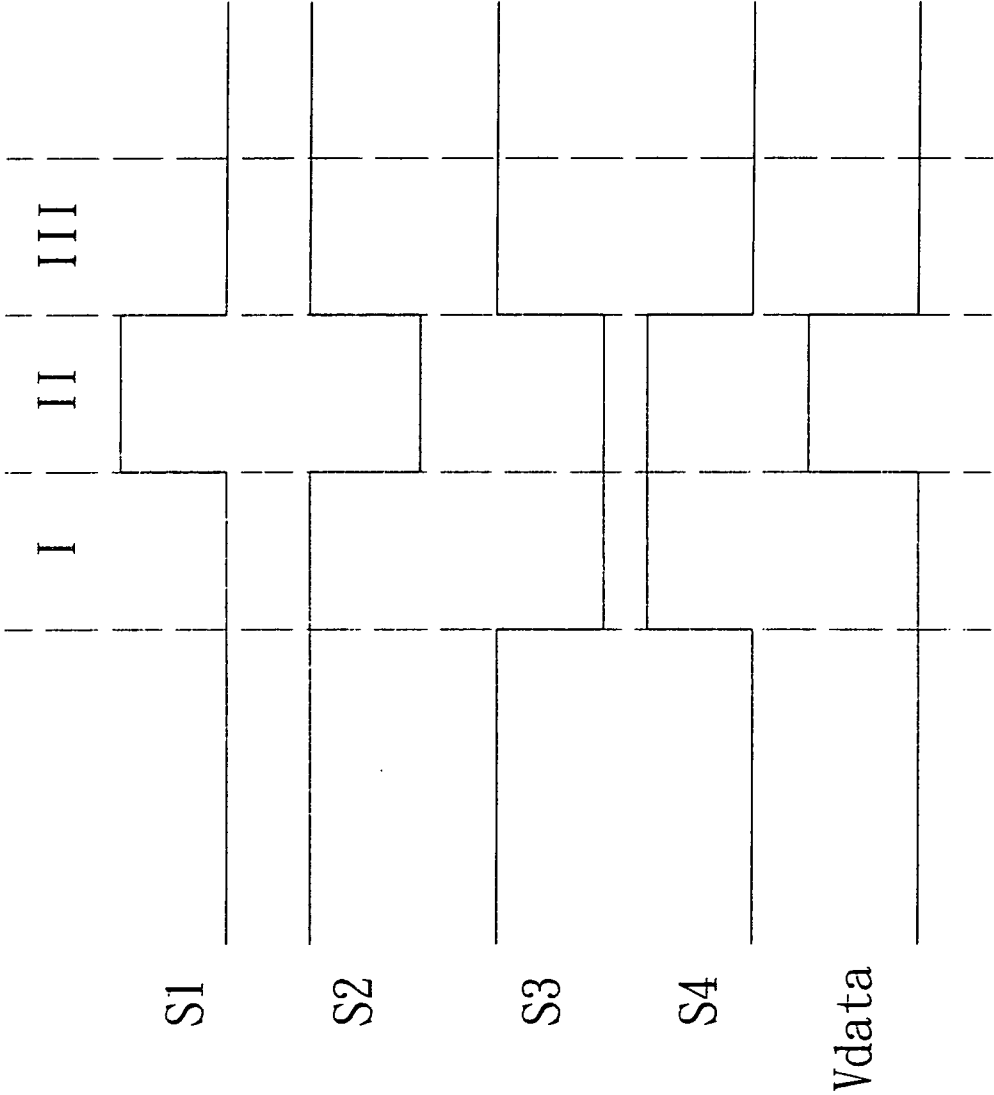


圖2

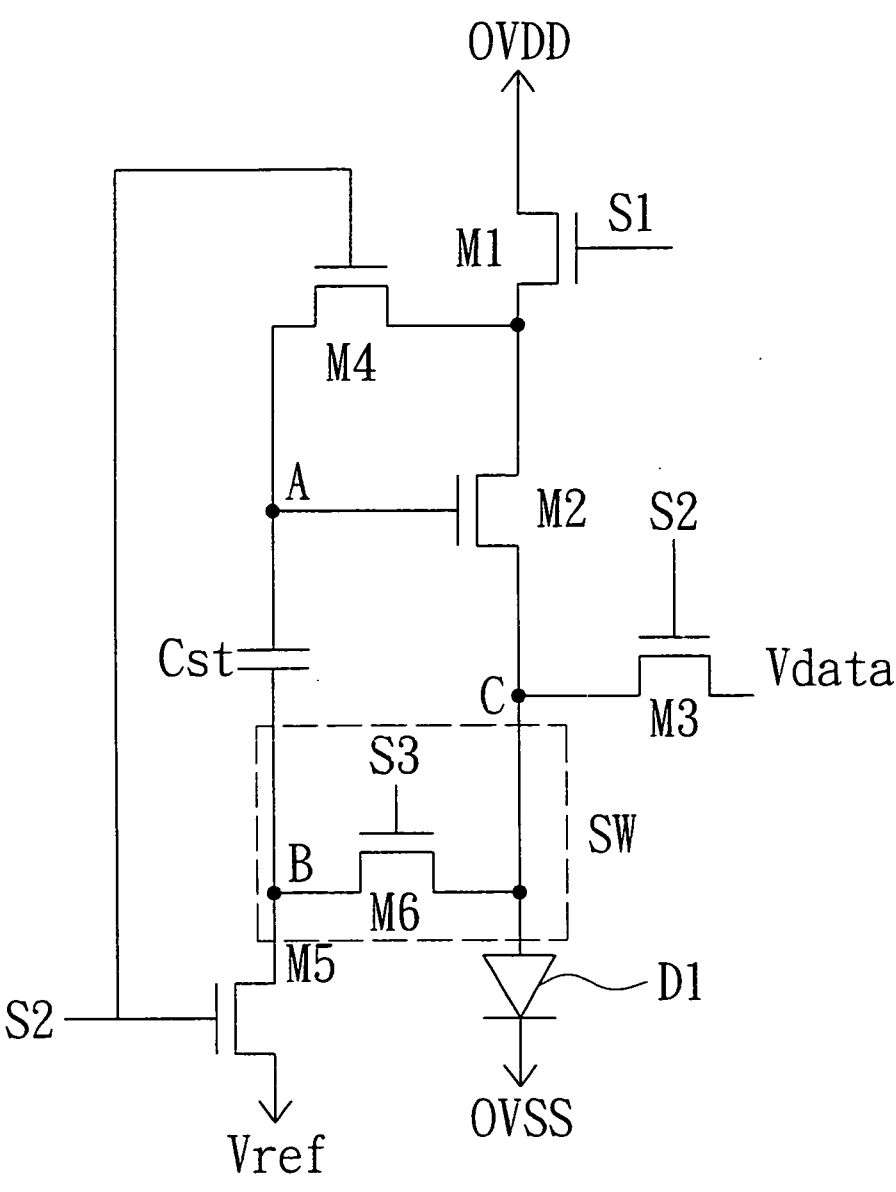


圖 3

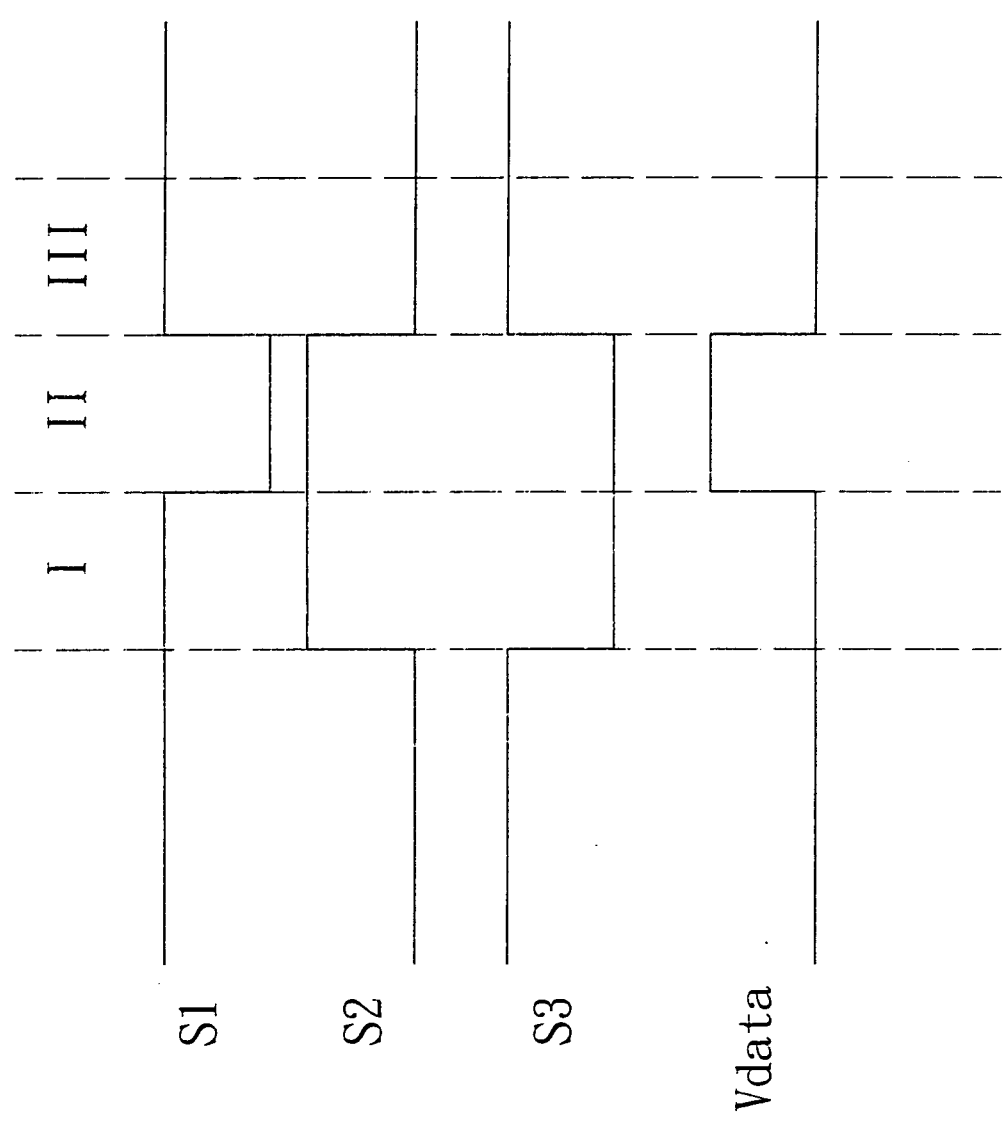


圖4