

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012167 A1

(51) 国际专利分类号:
H01L 27/24 (2006.01) *H01L 27/108* (2006.01)
H01L 21/82 (2006.01)

(21) 国际申请号: PCT/CN2021/095566

(22) 国际申请日: 2021 年 5 月 24 日 (24.05.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010692526.6 2020 年 7 月 17 日 (17.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 吴秉桓 (WU, Ping-Heng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制作方法

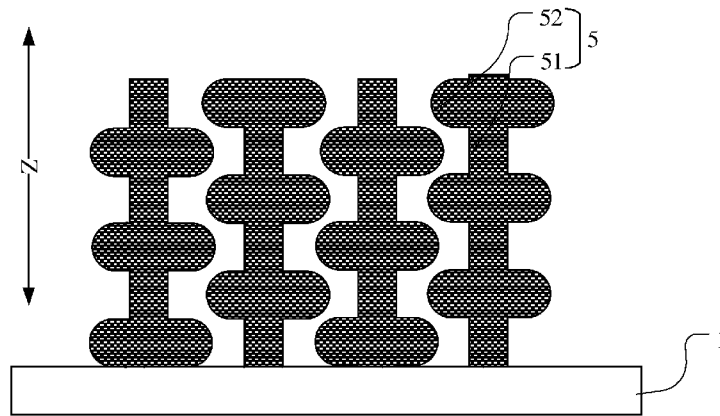


图 19

(57) Abstract: The present disclosure relates to the technical field of storage, and provides a semiconductor device and a manufacturing method therefor. The semiconductor device comprises a substrate and a plurality of electrical conductors. The plurality of electrical conductors are used to form a first electrode of a capacitor structure, and are arranged as columns on a side of the substrate. Each of the electrical conductors comprises a cylindrical body and a plurality of annular protruding portions. The axial direction of the cylindrical body intersects with the substrate. Each of the annular protruding portions is disposed around the perimeter of the cylindrical body, and protrudes in a direction parallel to the substrate. The plurality of annular protruding portions are spaced apart from each other in the axial direction of the cylindrical body. Annular protruding portions of adjacent electrical conductors in a row direction have a staggered arrangement in a direction perpendicular to the substrate. The semiconductor device can integrate a large number of capacitor structures in a reduced space, or can integrate capacitor structures having higher capacitance values while maintaining the same size and number of capacitor structures.



WO 2022/012167 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开涉及存储技术领域, 提出一种半导体器件及其制作方法, 该半导体器件包括: 衬底、多个导电体。多个导电体用于形成电容结构的第一电极, 且多个导电体行列分布于衬底的一侧。每个导电体包括: 柱形主体、多个环形凸起部。所述柱形主体的轴向与所述衬底相交; 所述环形凸起部环绕所述柱形主体的周向设置, 且所述环形凸起部的凸起方向与所述衬底平行, 多个所述环形凸起部沿所述柱形主体的轴向间隔分布; 其中, 在行列方向上相邻所述导电体的环形凸起部在与所述衬底垂直方向上相错设置。该半导体器件可以在较小的空间内集成较多的电容结构, 或在相同尺寸相同电容结构个数情况下集成电容值较大的电容结构。

半导体器件及其制作方法

相关申请的交叉引用

5 本申请要求于 2020 年 07 月 17 日递交的、名称为《半导体器件及其制作方法》的中国专利申请第 202010692526.6 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开涉及存储技术领域，尤其涉及一种半导体器件及其制作方法。

背景技术

10 存储器通常由多个存储单元组成，每个存储单元包括有电容结构，每个电容结构能够存储逻辑“1”或“0”。相关技术中，限于光刻工艺等因素的限制，存储器在有限尺寸内仅能形成较少的电容结构，或仅能形成电容值较小的电容结构。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

15 公开内容

根据本公开的一个方面，提供一种半导体器件，该半导体器件包括多个电容结构，该半导体器件还包括：衬底、多个导电体。多个导电体用于形成所述电容结构的第一电极，且多个所述导电体行列分布于所述衬底的一侧。每个所述导电体包括：柱形主体、多个环形凸起部。所述柱形主体的轴向与所述衬底相交；所述环形凸起部环绕所述柱形主体的周向设置，且多个所述环形凸起部沿所述柱形主体的轴向间隔分布；其中，在行列方向上相邻所述导电体的环形凸起部在与所述衬底垂直方向上相错设置。

20 本公开一种示例性实施例中，且相邻所述导电体的环形凸起部在所述衬底的正投影至少部分重合。

25 本公开一种示例性实施例中，每个所述导电体用于形成一个所述电容结构的第一电极。

本公开一种示例性实施例中，多个所述导电体用于形成一个所述电容结构的第一电极。

本公开一种示例性实施例中，所述半导体器件还包括电连接层，电连接层位于所述衬底和所述导电体之间，用于电连接一个或多个所述电容结构中的多个所述导电体。

30 本公开一种示例性实施例中，所述半导体器件还包括：第一介电层、第一导电层。第一介电层覆盖所述导电体；第一导电层位于所述第一介电层背离所述衬底的一侧，且覆盖所述第一介电层，用于形成所述电容结构的第二电极。

本公开一种示例性实施例中，所述半导体器件还包括电极连接层，电极连接层设

置于所述第一导电层背离所述衬底的一侧，且覆盖所述第一导电层。

本公开一种示例性实施例中，在所述导电体中，各个所述环形凸起部沿与所述柱形主体侧面垂直的方向凸起尺寸相同或不同。

5 本公开一种示例性实施例中，所述导电体的材料包括：钨、钛、镍、铝、铂、氮化钛、N型多晶硅、P型多晶硅一种或多种。

根据本公开的一个方面，提供一种半导体器件制作方法，所述半导体器件包括多个电容结构，该方法包括：

提供一衬底；

10 在所述衬底上复合层，所述复合层包括依次交替层叠设置的第一材料层、第二材料层；

在所述复合层上形成贯穿所述复合层的多个行列分布的通孔，多个所述通孔包括多个第一通孔和多个第二通孔，每个所述第一通孔在行列方向上仅与所述第二通孔相邻，每个所述第二通孔在行列方向上仅与第一通孔相邻；

15 向第一通孔注入第一刻蚀液，所述第一刻蚀液对所述第一材料层的刻蚀速度大于所述第一刻蚀液对所述第二材料层的刻蚀速度，从而在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽；

向第二通孔注入第二刻蚀液，所述第二刻蚀液对所述第二材料层的刻蚀速度大于所述第二刻蚀液对所述第一材料层的刻蚀速度，从而在所述第二通孔位于所述第二材料层的侧壁形成环形凹槽；

20 向所述通孔中填充导电材料，以在每个通孔内形成导电体，所述导电体用于形成所述电容结构的第一电极。

本公开一种示例性实施例中，在行列方向上相邻的所述通孔内的所述环形凹槽在所述衬底的正投影至少部分重合。

25 本公开一种示例性实施例中，所述第一材料层的材料为二氧化硅，所述第二材料层的材料为氮化硅；所述第一刻蚀液为氢氟酸，所述第二刻蚀液为磷酸。

本公开一种示例性实施例中，向所述通孔中填充导电材料，之后还包括：

去除所述第一材料层、第二材料层；

在每个所述导电体表面形成第一介电层；

30 在所述第一介电层背离所述衬底的一侧形成第一导电层，所述第一导电层覆盖所述第一介电层，所述第一导电层用于形成所述电容结构的第二电极。

本公开一种示例性实施例中，所述半导体器件制作方法还包括：

在所述衬底与所述复合层之间形成第三导电层；

对所述第三导电层进行构图工艺，以使第三导电层形成多个独立的连接结构，所述连接结构用于电连接一个或多个所述电容结构中的多个所述导电体；

35 本公开一种示例性实施例中，在所述复合层上形成贯穿所述复合层的多个行列分

布的通孔，之前还包括：

对各层所述第一材料层和各层所述第二材料层进行预设浓度的离子掺杂，以调节第一材料层或第二材料层的刻蚀速度。

5 本公开一种示例性实施例中，先在所述复合层上形成第一通孔，并在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽，然后再在所述复合层上形成贯穿所述复合层的所述第二通孔；

且在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽之后，在所述复合层上形成贯穿所述复合层的所述第二通孔之前，还包括：

向所述第一通孔内注入牺牲材料。

10 本公开一种示例性实施例中，先向所述第二通孔填充导电材料，然后向所述第一通孔填充导电材料；

向所述第二通孔填充导电材料之后，还包括：

去除所述牺牲材料。

15 应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

20 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1-5 为相关技术中半导体器件制造流程中各阶段的结构示意图；

图 6 为相关技术中半导体器件的俯视图；

图 7 为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

25 图 8 为本公开一种示例性实施例中半导体器件半成品的俯视图；

图 9 为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 10 为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 11 为本公开一种示例性实施例中半导体器件半成品的俯视图；

图 12a 为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

30 图 12b 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 13 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 14 为本公开另一种示例性实施例中半导体器件半成品的俯视图；

图 15 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 16 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

35 图 17 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 18 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图；

图 19 为本公开半导体器件一种示例性实施例中沿行/列方向的剖视图；

图 20 为本公开半导体器件一种示例性实施例中的俯视图；

图 21 为本公开半导体器件一种示例性实施例中沿行/列方向的剖视图；

5 图 22 为本公开半导体器件一种示例性实施例中沿行/列方向的剖视图。

具体实施方式

现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施例使得本公开将更加全面和完整，并将示例实施例的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

用语“一个”、“一”、“所述”用以表示存在一个或多个要素/组成部分/等；用语“包括”和“具有”用以表示开放式的包括在内的意思并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等。

相关技术中，半导体器件通常由多个存储单元组成，每个存储单元包括有电容结构，
15 每个电容结构能够存储逻辑“1”或“0”。相关技术提出一种半导体器件制造方法，如图 1-5 所示，为相关技术中半导体器件制造流程中各阶段的结构示意图。如图 1 所示，相关技术提供的半导体器件制作方法包括：在衬底 1 上形成交替层叠设置的多层第一材料层 2、第二材料层 3，通过刻蚀工艺在第一材料层 2、第二材料层 3 上形成多个阵列分别的通孔 4。如图 2 所示，向通孔 4 灌注刻蚀液，该刻蚀液对第二材料层 3 的刻蚀速度大于对第一材料
20 层 2 的刻蚀速度，从而可以在通孔 4 内壁位于第二材料层的位置形成环形凹槽 5。如图 3 所示，在通孔 4、凹槽 5 中填充导电材料从而形成导电体 6，导电体 6 包括填充于通孔 4 中的柱形主体 61 和填充于凹槽 5 的环形凸起部 62。如图 4 所示，去除多层第一材料层 2、第二材料层 3。其中，导电体 6 可以作为电容结构的第一电极。此外，如图 5 所示，该制
25 作方法还可以包括在导电体 6 的表面形成介电层 7，在介电层 7 背离衬底 1 的一侧形成导电层 8，导电层 8 可以形成电容结构的第二电极。其中，每个导电体 6 可以与导电层 8 形成一个电容结构。应该理解的是，多个导电体 6 也可以相互电连接，从而与导电层 8 形成一个电容结构。如图 6 所示，为相关技术中半导体器件的俯视图，在刻蚀环形凹槽 5 时，为了避免沿行列方向相邻的环形凹槽 5 相互连通，需要在沿行列方向相邻的通孔 4 之间预
30 留较大的距离，从而使得沿行列方向相邻的凹槽 5 之间具有一定的距离 S。相关技术中，由于相邻的凹槽 5 之间具有一定的距离 S，从而该该半导体器件中电容结构的集成度较低，即半导体器件在有限尺寸内仅能形成较少的电容结构。

基于此，本示例性实施例提供一种半导体器件制作方法，所述半导体器件包括多个电容结构，该方法包括：

步骤 S1：提供一衬底；

35 步骤 S2：在所述衬底上复合层，所述复合层包括依次交替层叠设置的第一材料层、

第二材料层；

步骤 S3：在所述复合层上形成贯穿所述复合层的多个行列分布的通孔，多个所述通孔包括多个第一通孔和多个第二通孔，每个所述第一通孔在行列方向上与所述第二通孔相邻，每个所述第二通孔在行列方向上与第一通孔相邻；

5 步骤 S4：向第一通孔注入第一刻蚀液，所述第一刻蚀液对所述第一材料层的刻蚀速度大于所述第一刻蚀液对所述第二材料层的刻蚀速度，从而在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽；

步骤 S5：向第二通孔注入第二刻蚀液，所述第二刻蚀液对所述第二材料层的刻蚀速度大于所述第二刻蚀液对所述第一材料层的刻蚀速度，从而在所述第二通孔位于所述
10 第二材料层的侧壁形成环形凹槽；

步骤 S6：向所述通孔中填充导电材料，以在每个通孔内形成导电体，所述导电体用于形成所述电容结构的第一电极。

以下对上述步骤进行详细说明：

如图 7 所示，为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。步骤 S1 包括：提供一衬底 1。步骤 S2 包括：在所述衬底 1 上复合层 2，所述复合层 2 可以包括依次交替层叠设置的第一材料层 21、第二材料层 22。其中，第一材料层 21 和第二材料层 22 可以分别为多层，第一材料层 21 和第二材料层 22 的层数可以相同也可以不同。复合层 2 面向衬底的最底层可以为第一材料层 21 也可以为第二材料层 22。如图 7、8 所示，图 8 为本公开一种示例性实施例中半导体器件半成品的俯视图。
15 步骤 S3 包括在所述复合层 2 上形成贯穿所述复合层的多个行列分布的通孔，多个所述通孔可以包括多个第一通孔 31 和多个第二通孔 32，每个所述第一通孔 31 在行列方向上与所述第二通孔 32 相邻，每个所述第二通孔 32 在行列方向上与第一通孔 31 相邻。其中，行方向可以为 X，列方向可以为 Y。第一通孔 31 和第二通孔 32 可以为圆柱形通孔，其开口尺寸可以相同。其中，通孔可以通过干刻技术、等离子体蚀刻技术、湿
20 刻技术形成，为使得通孔在复合层 2 层叠方向上的开口尺寸相近，通孔的刻蚀工艺可以优选干刻技术或等离子体蚀刻技术。

如图 9 所示，为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。步骤 S4 包括向第一通孔 31 注入第一刻蚀液，所述第一刻蚀液对所述第一材料层的刻蚀速度大于所述第一刻蚀液对所述第二材料层的刻蚀速度，从而在所述第一通孔
30 位于所述第一材料层的侧壁形成环形凹槽 41。步骤 S5 包括向第二通孔 32 注入第二刻蚀液，所述第二刻蚀液对所述第二材料层的刻蚀速度大于所述第二刻蚀液对所述第一材料层的刻蚀速度，从而在所述第二通孔位于所述第二材料层的侧壁形成环形凹槽 42。本示例性实施例中，所述第一材料层的材料可以为二氧化硅，所述第二材料层的材料可以为氮化硅；所述第一刻蚀液可以为氢氟酸，所述第二刻蚀液可以为磷酸。应该理
35 解的是，在其他示例性实施例中，第一材料层、第二材料层还可以由其他材料组成，

相应的，第一刻蚀液、第二刻蚀液还可以为其他刻蚀液。

如图 10 所示，为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。步骤 S6 包括向所述通孔中填充导电材料，导电材料可以填充于整个通孔和凹槽内，以在每个通孔内形成导电体 5，每个所述导电体 5 可以用于形成所述电容结构的第一电极。导电体 5 可以包括填充于通孔中的柱形主体 51 和填充于环形凹槽中的环形凸起部 52。其中，导电体的材料可以包括：钨、钛、镍、铝、铂、氮化钛、N 型多晶硅、P 型多晶硅中的一种或多种。

如图 11 所示，为本公开一种示例性实施例中半导体器件半成品的俯视图。对比图 6、图 11 可以看出，即使在图 11 中，沿行列方向（行方向 X，列方向 Y）相邻的环形凸起部 52 在衬底的正投影之间的距离较小，但是根据图 10 可以看出，沿行列方向相邻的环形凸起部 52 之间具有较大的预留空间，即本示例性实施例中，刻蚀环形凹槽 41、42 时，环形凹槽 41、42 之间预留有防止刻穿的安全距离。显然，根据图 11 可以看出，本示例性实施例提供的半导体器件通过将在行列方向上相邻所述导电体的环形凸起部在与所述衬底垂直方向上相错设置，从而使得半导体器件在有限的空间内可以集成更多的电容结构。此外，环形凸起部可以增加第一电极的表面积，从而增加电容结构的电容值。

如图 12a 所示，为本公开一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。该制作方法还可以包括去除第一材料层 21 和第二材料层 22。其中，可以通过第一刻蚀液、第二刻蚀液交替刻蚀以去除第一材料层 21 和第二材料层 22。该制作方法还可以包括在导电体 5 表面形成第一介电层 61，所述第一介电层 61 覆盖所述导电体 5；在所述第一介电层 61 背离所述衬底 1 的一侧形成第一导电层 71，所述第一导电层 71 覆盖所述第一介电层 61，所述第一导电层 71 可以用于形成所述电容结构的第二电极。其中，第一导电层 71 可以通过涂覆工艺形成，从而形成上表面水平的膜层。该半导体器件中的多个电容结构可以共用第一导电层 71 为公共电极。

如图 12b 所示，为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。该制作方法可以包括在导电体 5 表面形成第一介电层 61，所述第一介电层 61 覆盖所述导电体 5；在所述第一介电层 61 背离所述衬底 1 的一侧形成第一导电层 71，所述第一导电层 71 覆盖所述第一介电层 61。该第一导电层 71 可以通过蒸镀工艺形成，从而形成与第一介电层 61 外表面形状相同的膜层。所述半导体器件还可以包括电极连接层 10，电极连接层 10 设置于所述第一导电层背离所述衬底的一侧，且覆盖所述第一导电层。

本公开的一种示例性实施例中，如图 13、14 所示，图 13 为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图，图 14 为本公开另一种示例性实施例中半导体器件半成品的俯视图。在步骤 S4：在第一通孔 31 的侧壁上形成环形凹槽 41，以及步骤 S5：在第二通孔 32 的侧壁上形成环形凹槽 42 时，在行列方向（行方向

为 X，列方向为 Y）上相邻的所述通孔 31、32 内的所述环形凹槽 41、42 在所述衬底 1 的正投影可以至少部分重合。该设置可以进一步提高有限空间内电容结构的集成数量。

5 本公开的一种示例性实施例中，多个所述导电体可以用于形成一个所述电容结构的第一电极。相应的，如图 15 所示，为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。该半导体器件制作方法还可以包括：在所述衬底 1 与所述复合层 2 之间形成第三导电层，以及对所述第三导电层进行构图工艺，以使第三导电层形成多个独立的连接结构 81，所述连接结构 81 用于电连接一个所述电容结构中的多个所述导电体 5。如图 15 所示，两个导电体 5 通过一个连接结构 81 连接，从而形成
10 一个电容结构的第一电极，应该理解的是，在其他示例性实施例中，一个连接结构 81 还可以与其他数量的导电体 5 连接，从而使得多个导电体形成电容结构的第一电极。需要说明的是，连接结构 81 还可以仅与一个导电体 5 连接，用于连接导电体 5 和其他层级结构（例如，晶体管的源漏层）。

15 本示例性实施例中，在所述复合层上形成贯穿所述复合层的多个行列分布的通孔，之前还可以包括：对各层所述第一材料层和各层所述第二材料层进行预设浓度的离子掺杂，以调节第一材料层或第二材料层的刻蚀速度，掺杂离子可以为硼或磷。

本示例性实施例中，如图 7 所示，在复合层 2 上形成通孔后，该半导体器件半成品的刚度降低，在进行以后工艺流程时，容易受到外力损坏。本公开一种示例性实施例中，如图 16 所示，为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图。该半导体器件制作方法可以先在复合层上形成第一通孔 31，同时在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽 41。如图 17 所示，为本公开另一种
20 示例性实施例中半导体器件半成品沿行/列方向的剖视图。然后，可以向所述第一通孔内注入牺牲材料 9，以填充第一通孔 31 和环形凹槽 41，该牺牲材料可以增加半导体器件半成品的刚度。牺牲材料可以为 BPSG、氧化硅等。再然后，如图 18 所示，为本公开另一种示例性实施例中半导体器件半成品沿行/列方向的剖视图，可以在所述复合层上形成贯穿所述复合层的所述第二通孔 32，并通过刻蚀工艺在所述第二通孔位于所述第二材料层的侧壁形成环形凹槽 42。再然后，可以向第二通孔 32 灌注导电材料以填充第二通孔 32、环形凹槽 42，从而形成导电体。再然后，去除牺牲材料，以向第一通孔 31 灌注导电材料以填充第一通孔 31、环形凹槽 41，从而形成导电体。
25

30 本公开还提供一种半导体器件，该半导体器件可以通过上述的半导体器件制作方法形成，如图 19、20 所示，图 19 为本公开半导体器件一种示例性实施例中沿行/列方向的剖视图，图 20 为本公开半导体器件一种示例性实施例中的俯视图。该半导体器件包括多个电容结构，该半导体器件还包括：衬底 1、多个导电体 5。多个导电体 5 用于形成所述电容结构的第一电极，且多个所述导电体 5 行列分布于所述衬底 1 的一侧。
35 每个所述导电体 5 包括：柱形主体 51、多个环形凸起部 52。所述柱形主体 51 的轴向

Z 可以与所述衬底 1 垂直；所述环形凸起部 52 可以环绕所述柱形主体 51 的周向设置，且所述环形凸起部 52 的凸起方向可以与所述衬底 1 平行，多个所述环形凸起部 52 可以沿所述柱形主体 51 的轴向间隔分布；其中，在行列方向（行方向为 X，列方向为 Y）上相邻所述导电体的环形凸起部在与所述衬底垂直方向上可以相错设置，即在行列方向上相邻所述导电体的环形凸起部不会位于同一水平面上，该水平面与衬底 1 平行。其中，柱形主体 51 的轴向还可以与所述衬底以其他角度相交。柱形主体可以为圆柱形。

本示例性实施例提供的半导体器件通过将在行列方向上相邻所述导电体的环形凸起部在与所述衬底垂直方向上相错设置，从而使得半导体器件在有限的空间内可以集成更多的电容结构。此外，环形凸起部可以增加第一电极的表面积，从而增加电容结构的电容值。

本示例性实施例中，如图 19、20 所示，相邻所述导电体的环形凸起部 52 在所述衬底的正投影可以至少部分重合。该设置可以进一步提高有限空间内电容结构的集成数量。

本示例性实施例中，如图 21 所示，为本公开半导体器件一种示例性实施例中沿行/列方向的剖视图，每个所述导电体可以用于形成一个所述电容结构的第一电极。所述半导体器件还可以包括：第一介电层 61、第一导电层 71。第一介电层 61 覆盖所述导电体 5；第一导电层 71 位于所述第一介电层 61 背离所述衬底 1 的一侧，且覆盖所述第一介电层 61，用于形成所述电容结构的第二电极。

本公开的一种示例性实施例中，如图 22 所示，为本公开半导体器件一种示例性实施例中沿行/列方向的剖视图，多个所述导电体 5 可以用于形成一个所述电容结构的第一电极，所述半导体器件还可以包括电连接层 81，电连接层 81 位于所述衬底 1 和所述导电体 5 之间，用于电连接一个所述电容结构中的多个所述导电体。同样的，所述半导体器件还可以包括：第二介电层 62、第二导电层 72，第二介电层 62 覆盖所述导电体 5 和所述电连接层 81；第二导电层 72 位于所述第二介电层 62 背离所述衬底的一侧，且覆盖所述第二介电层 62，用于形成所述电容结构的第二电极。需要说明的是，电连接层 81 还可以仅与一个导电体 5 连接，用于连接导电体 5 和其他层级结构（例如，晶体管的源漏层）。

本示例性实施例中，在所述导电体中，各个所述环形凸起部沿与所述柱形主体侧面垂直的方向凸起尺寸可以相同或不同。

本示例性实施例中，所述导电体的材料可以包括：钨、钛、镍、铝、铂、氮化钛、N 型多晶硅、P 型多晶硅一种或多种。

应该理解的是，在其他示例性实施例中，该半导体器件还可以包括集成于衬底与导电体 5 之间的其他元器件，例如，晶体管等。

本领域技术人员在考虑说明书及实践这里公开的内容后，将容易想到本公开的其他实施例。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用

途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由权利要求指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限定。

权利要求

1、一种半导体器件，包括多个电容结构，其中，包括：

衬底；

5 多个导电体，用于形成所述电容结构的第一电极，多个所述导电体行列分布于所述衬底的一侧，且每个所述导电体包括：

柱形主体，所述柱形主体的轴向与所述衬底相交；

多个环形凸起部，所述环形凸起部环绕所述柱形主体的周向设置，且多个所述环形凸起部沿所述柱形主体的轴向间隔分布；

10 其中，在行列方向上相邻所述导电体的环形凸起部在与所述衬底垂直方向上相错设置。

2、根据权利要求 1 所述的半导体器件，其中，在行列方向上相邻所述导电体的环形凸起部在所述衬底的正投影至少部分重合。

3、根据权利要求 1 或 2 所述的半导体器件，其中，所述半导体器件还包括：

第一介电层，覆盖所述导电体；

15 第一导电层，覆盖所述第一介电层，用于形成所述电容结构的第二电极。

4、根据权利要求 1 或 2 所述的半导体器件，其中，所述半导体器件还包括：

电连接层，位于所述衬底和所述导电体之间，用于电连接一个或多个所述导电体。

5、根据权利要求 3 所述的半导体器件，其中，所述半导体器件还包括：

20 电极连接层，设置于所述第一导电层背离所述衬底的一侧，且覆盖所述第一导电层。

6、一种半导体器件制作方法，所述半导体器件包括多个电容结构，其中，包括：提供衬底；

在所述衬底上复合层，所述复合层包括依次交替层叠设置的第一材料层、第二材料层；

25 在所述复合层上形成贯穿所述复合层的多个行列分布的通孔，多个所述通孔包括多个第一通孔和多个第二通孔，每个所述第一通孔在行列方向上与所述第二通孔相邻，每个所述第二通孔在行列方向上与第一通孔相邻；

30 向第一通孔注入第一刻蚀液，所述第一刻蚀液对所述第一材料层的刻蚀速度大于所述第一刻蚀液对所述第二材料层的刻蚀速度，从而在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽；

向第二通孔注入第二刻蚀液，所述第二刻蚀液对所述第二材料层的刻蚀速度大于所述第二刻蚀液对所述第一材料层的刻蚀速度，从而在所述第二通孔位于所述第二材料层的侧壁形成环形凹槽；

35 向所述通孔中填充导电材料，以在每个通孔内形成导电体，所述导电体用于形成所述电容结构的第一电极。

7、根据权利要求 6 所述的半导体器件制作方法，其中，
所述第一材料层的材料为二氧化硅，所述第二材料层的材料为氮化硅；
所述第一刻蚀液为氢氟酸，所述第二刻蚀液为磷酸。

5 8、根据权利要求 6 或 7 所述的半导体器件制作方法，其中，向所述通孔中填充导电材料，之后还包括：

去除所述第一材料层、第二材料层；

在每个所述导电体表面形成第一介电层；

在所述第一介电层背离所述衬底的一侧形成第一导电层，所述第一导电层覆盖所述第一介电层，所述第一导电层用于形成所述电容结构的第二电极。

10 9、根据权利要求 6 或 7 所述的半导体器件制作方法，其中，所述半导体器件制作方法还包括：

在所述衬底与所述复合层之间形成第三导电层；

对所述第三导电层进行构图工艺，以使第三导电层形成多个分离的连接结构，所述连接结构用于电连接所述电容结构中的一个或多个所述导电体。

15 10、根据权利要求 6 或 7 所述的半导体器件制作方法，其中，在所述复合层上形成贯穿所述复合层的多个行列分布的通孔，之前还包括：

对各层所述第一材料层和各层所述第二材料层进行预设浓度的离子掺杂，以调节第一材料层或第二材料层的刻蚀速度。

20 11、根据权利要求 6 或 7 所述的半导体器件制作方法，其中，先在所述复合层上形成第一通孔，并在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽，然后在所述复合层上形成贯穿所述复合层的所述第二通孔；

且在所述第一通孔位于所述第一材料层的侧壁形成环形凹槽之后，在所述复合层上形成贯穿所述复合层的所述第二通孔之前，还包括：

向所述第一通孔内注入牺牲材料。

25 12、根据权利要求 11 所述的半导体器件制作方法，其中，先向所述第二通孔填充导电材料，然后向所述第一通孔填充导电材料；

向所述第二通孔填充导电材料之后，还包括：

去除所述牺牲材料。

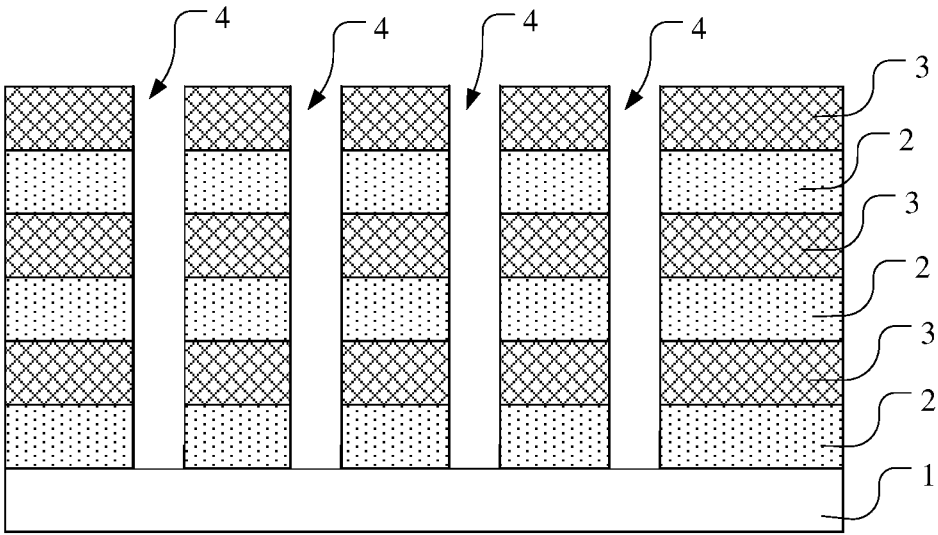


图 1

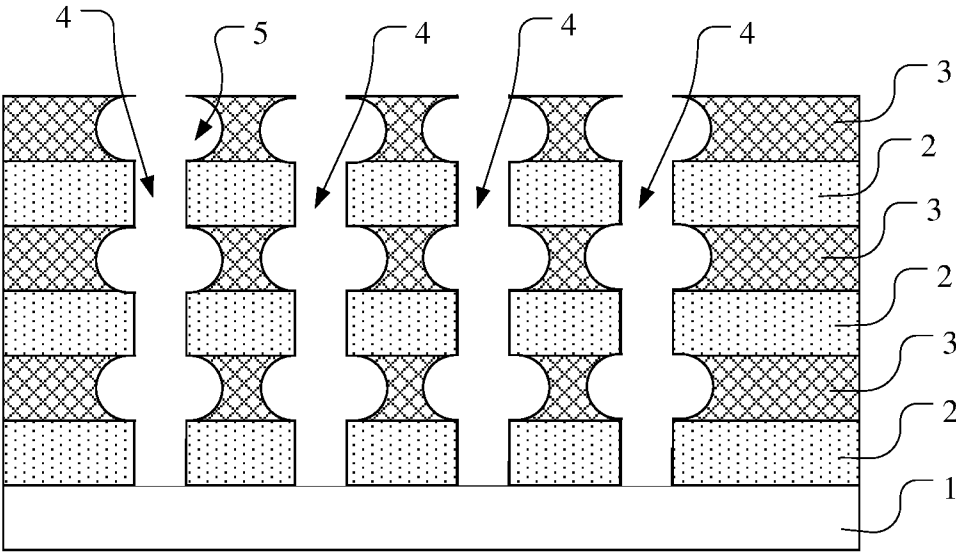


图 2

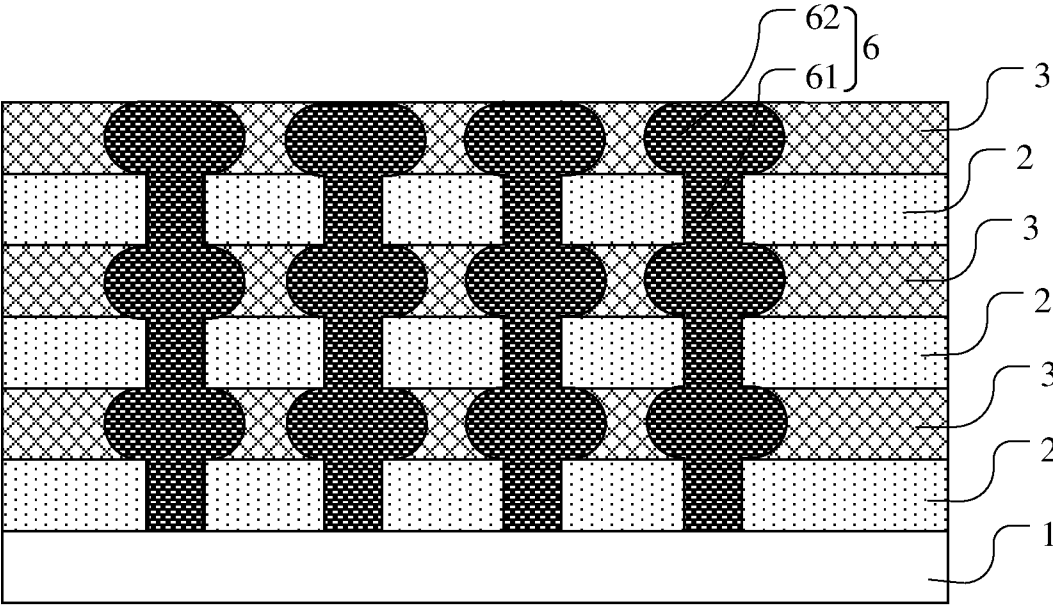


图 3

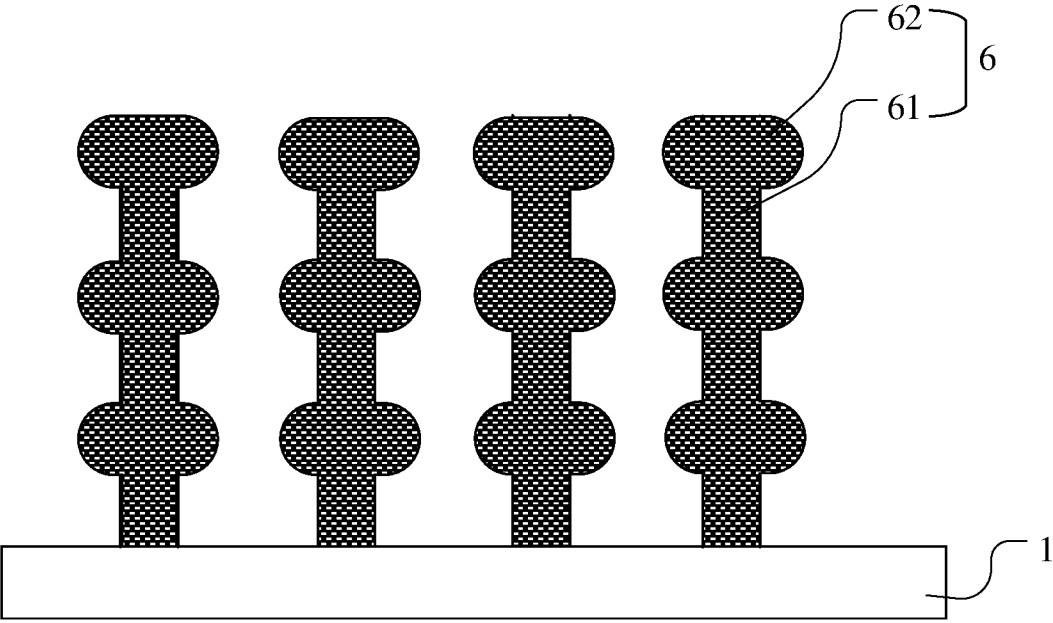


图 4

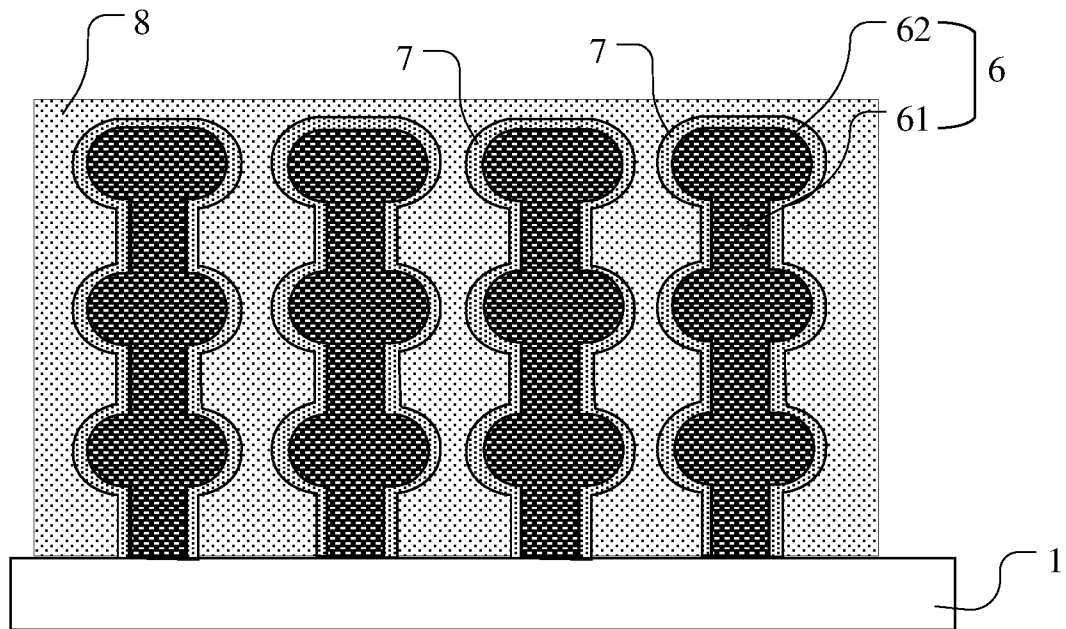


图 5

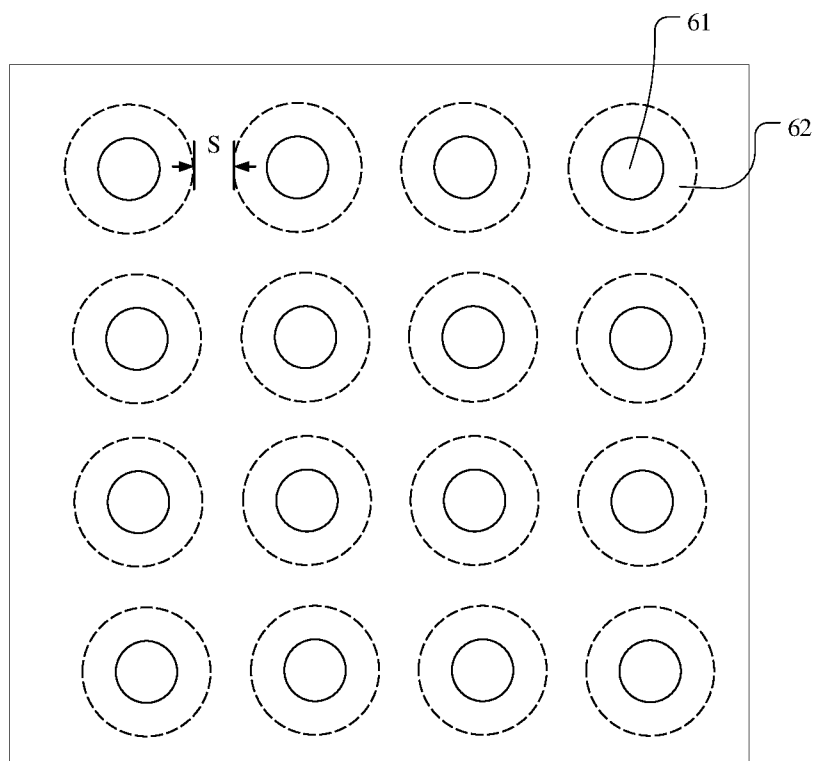


图 6

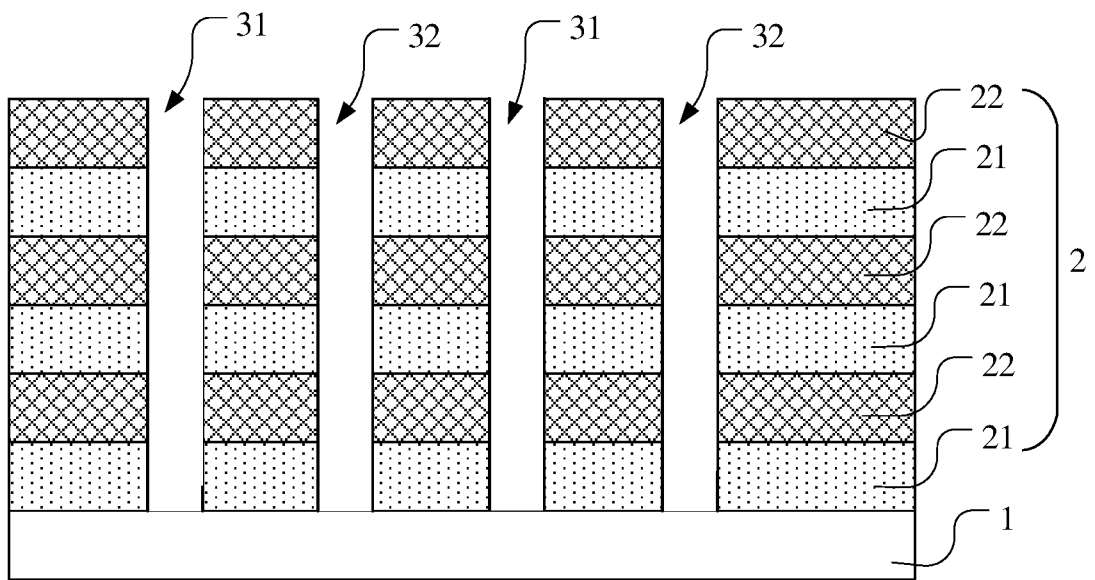


图 7

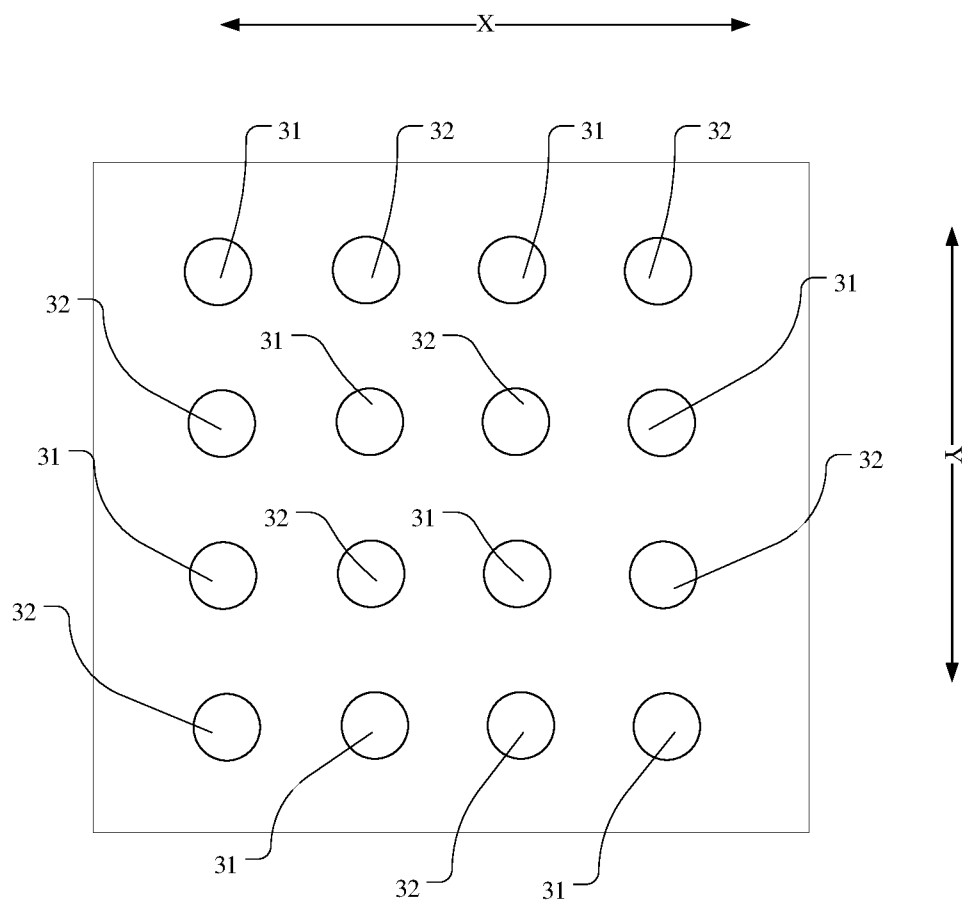


图 8

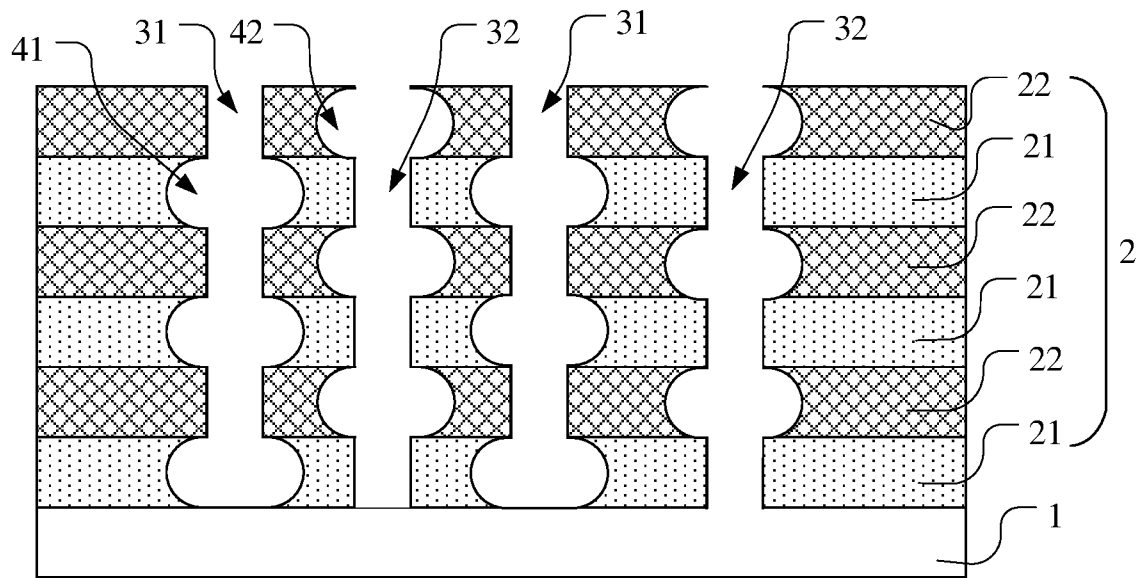


图 9

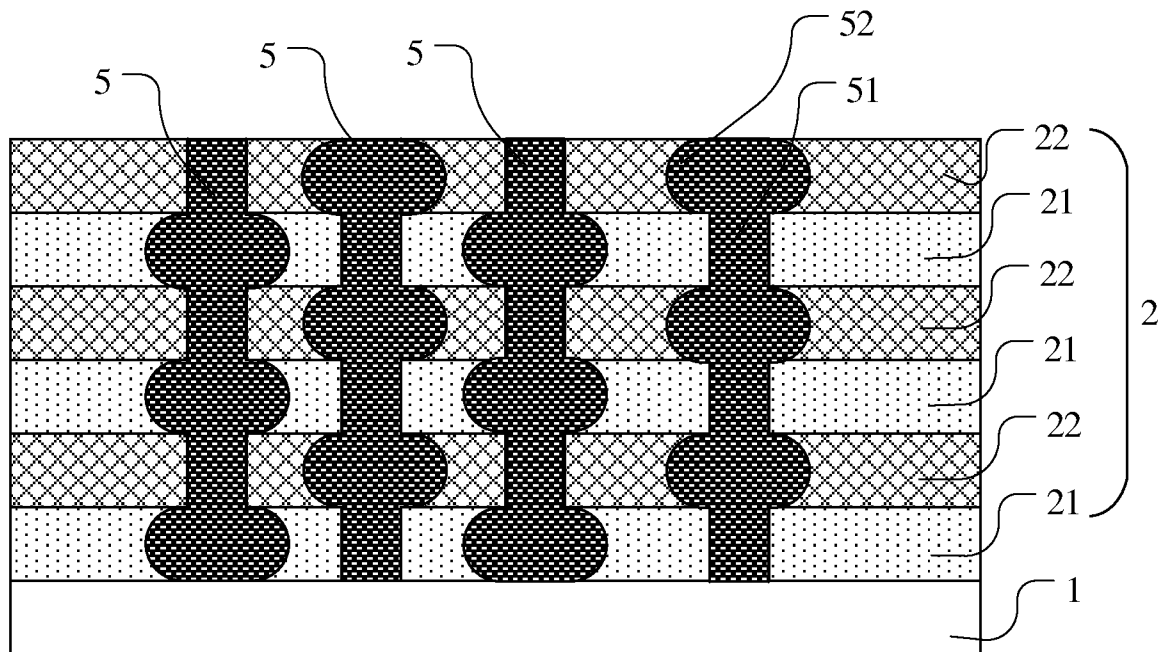


图 10

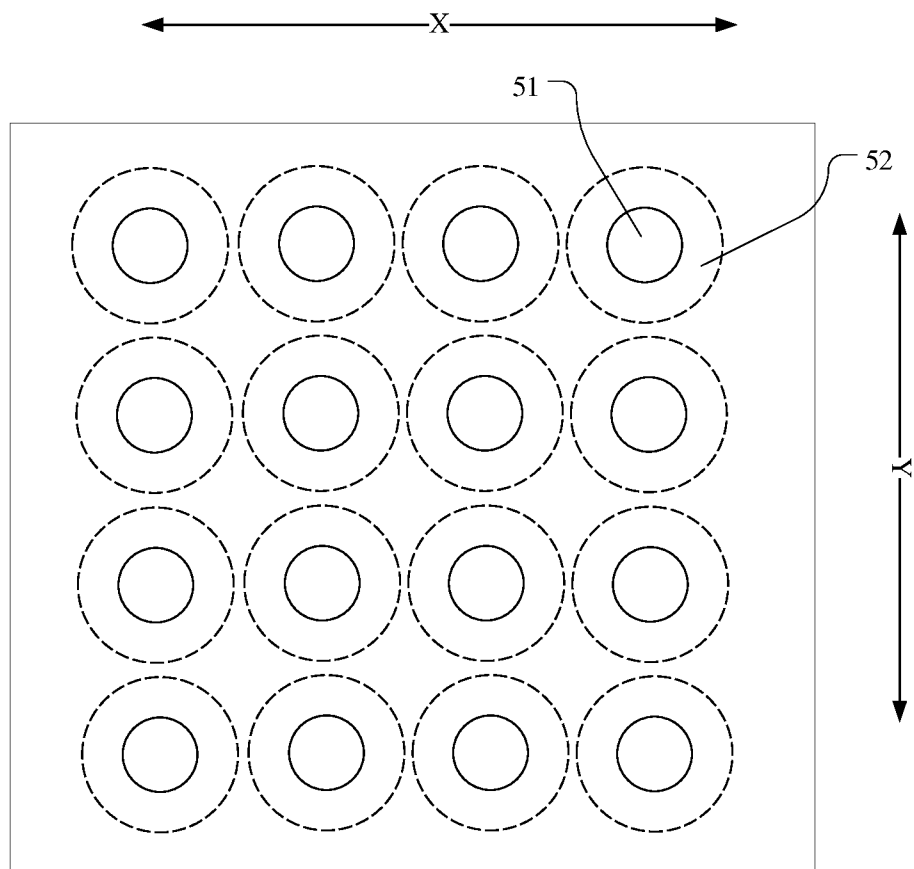


图 11

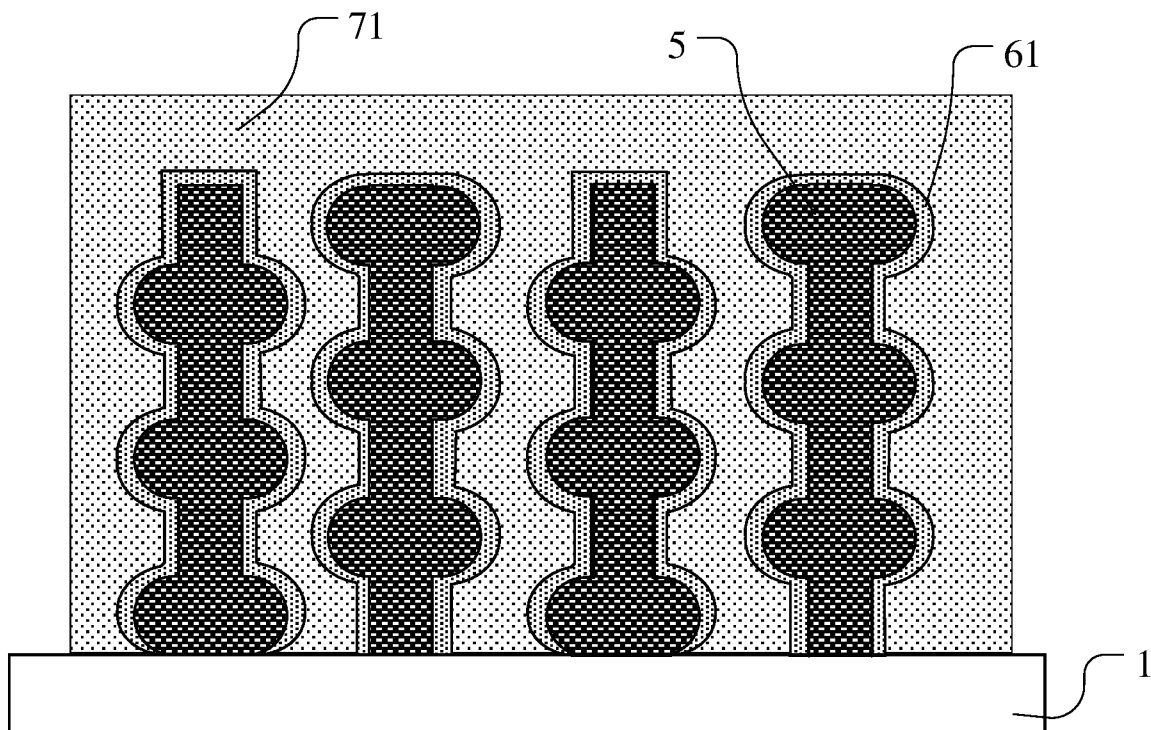


图 12a

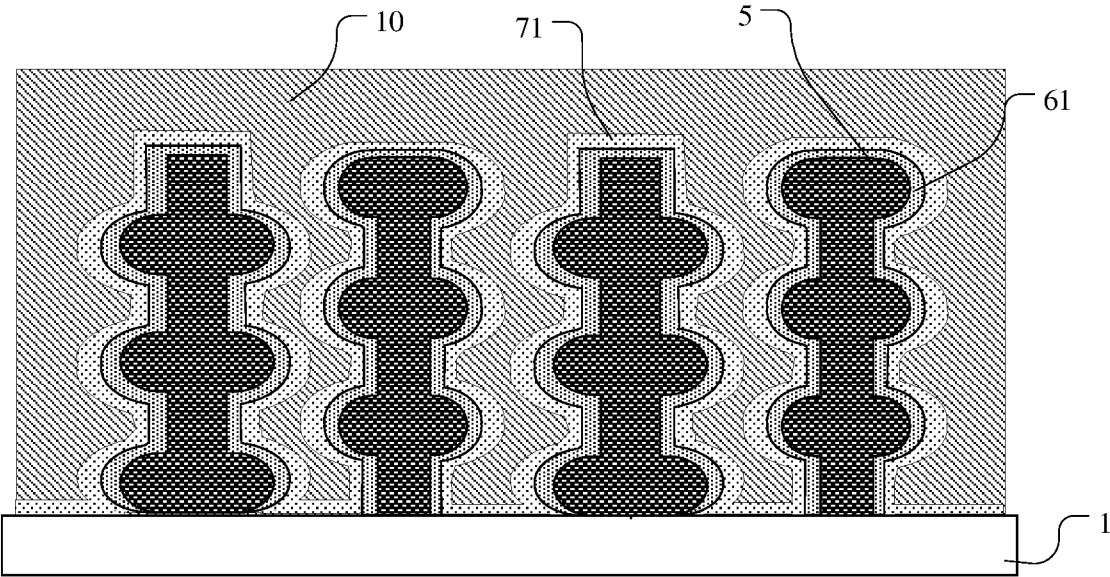


图 12b

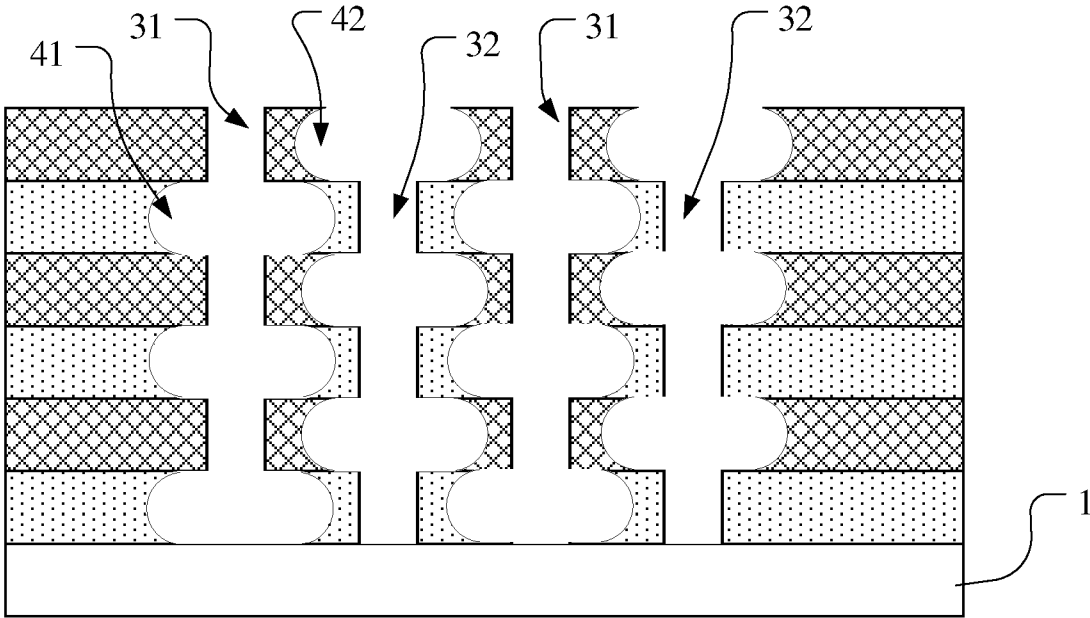


图 13

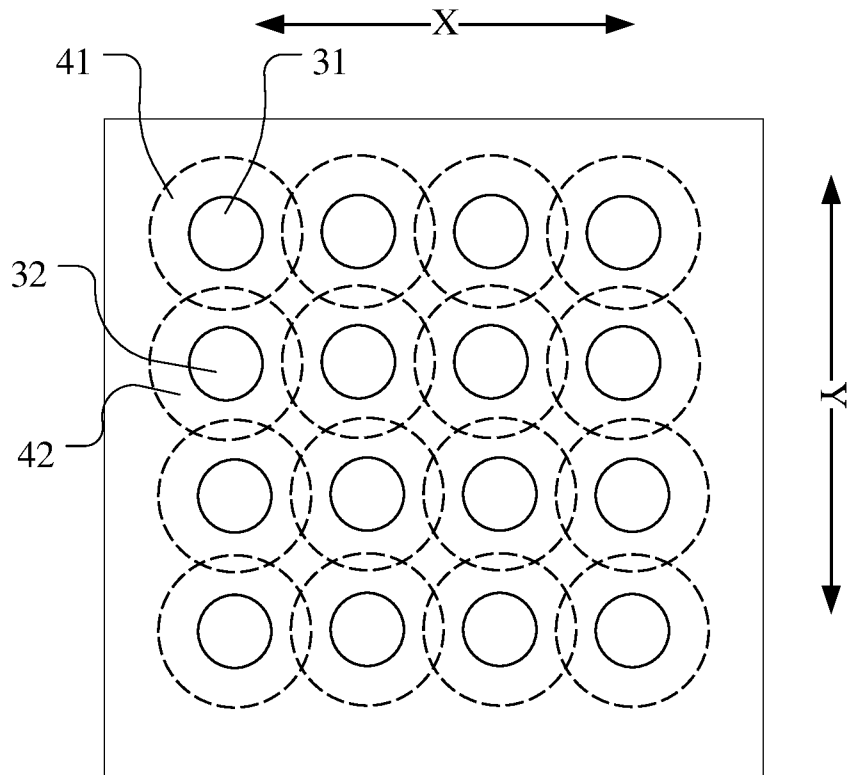


图 14

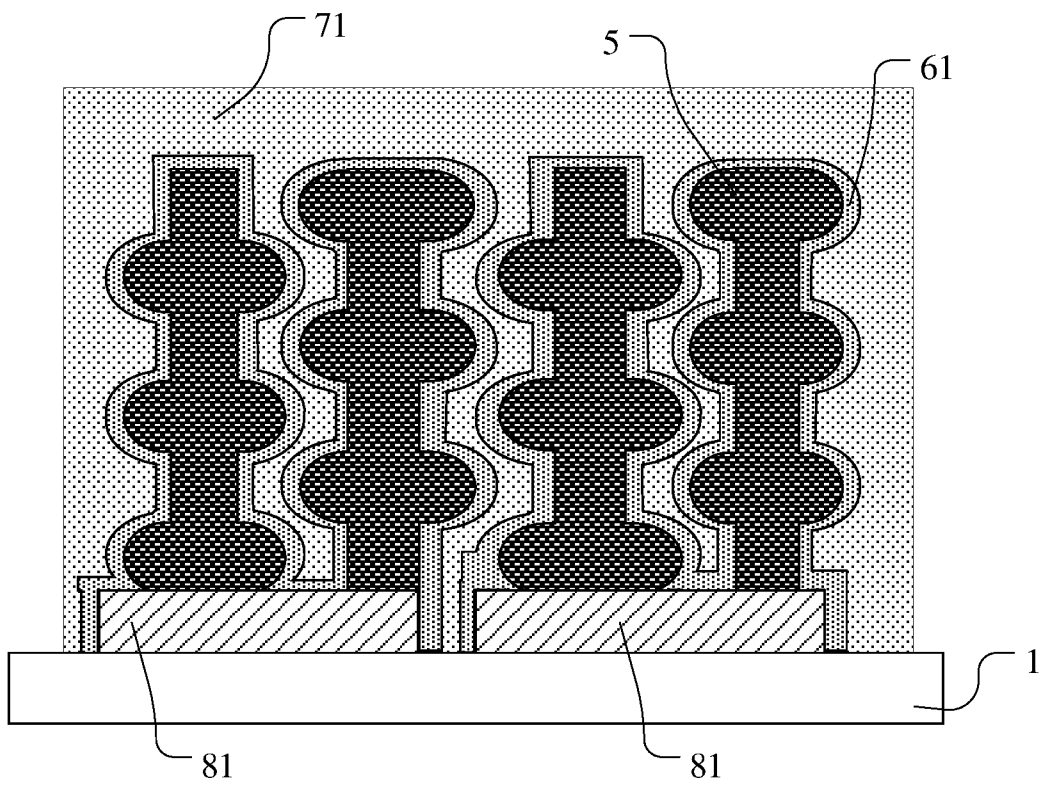


图 15

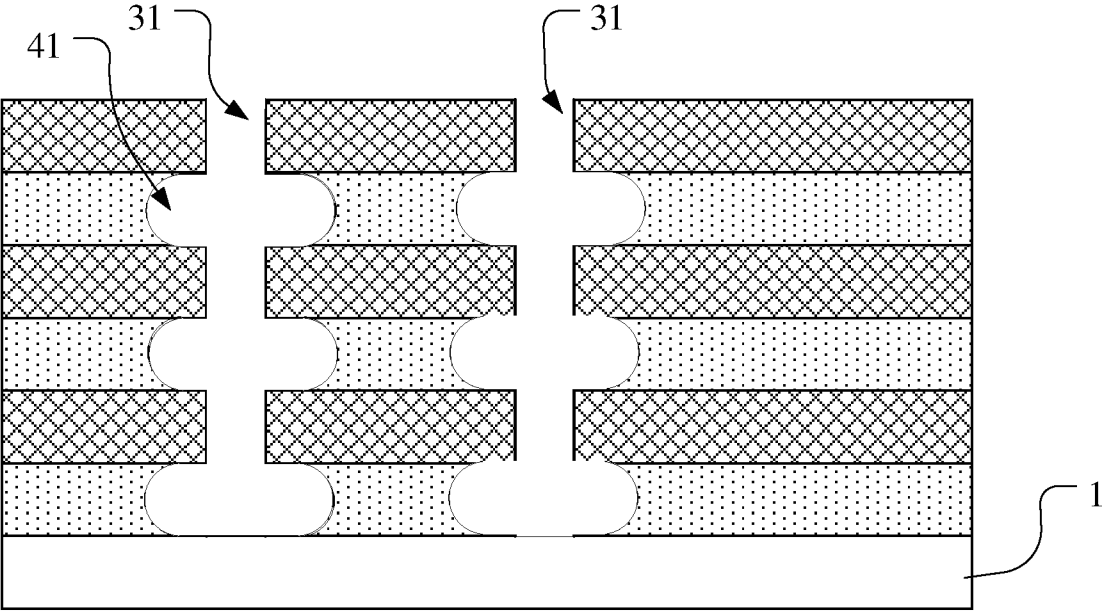


图 16

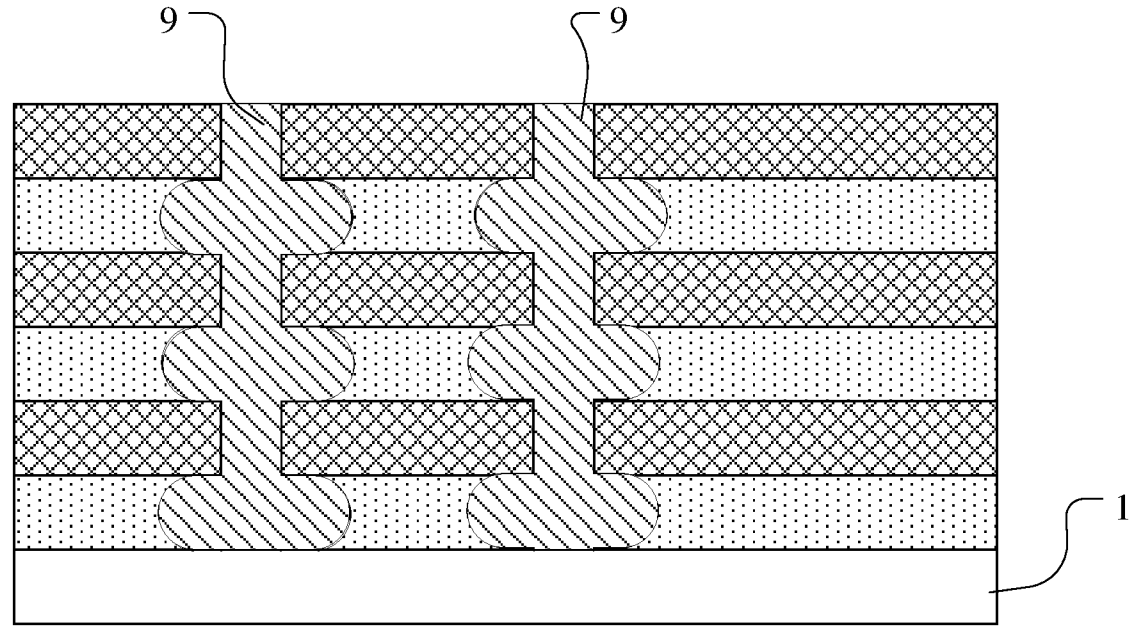


图 17

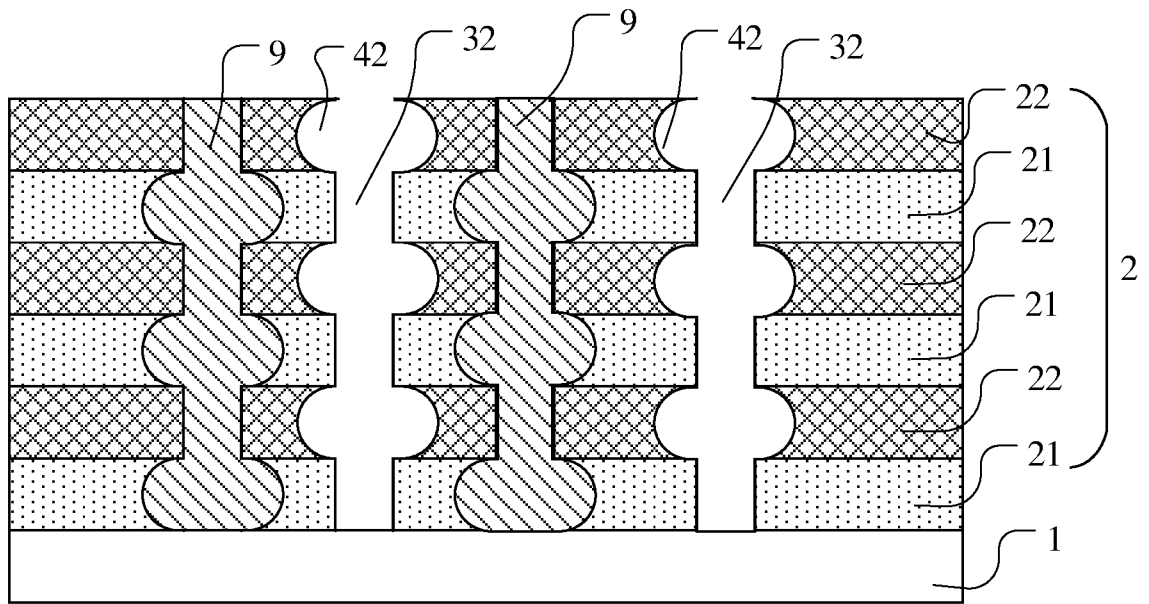


图 18

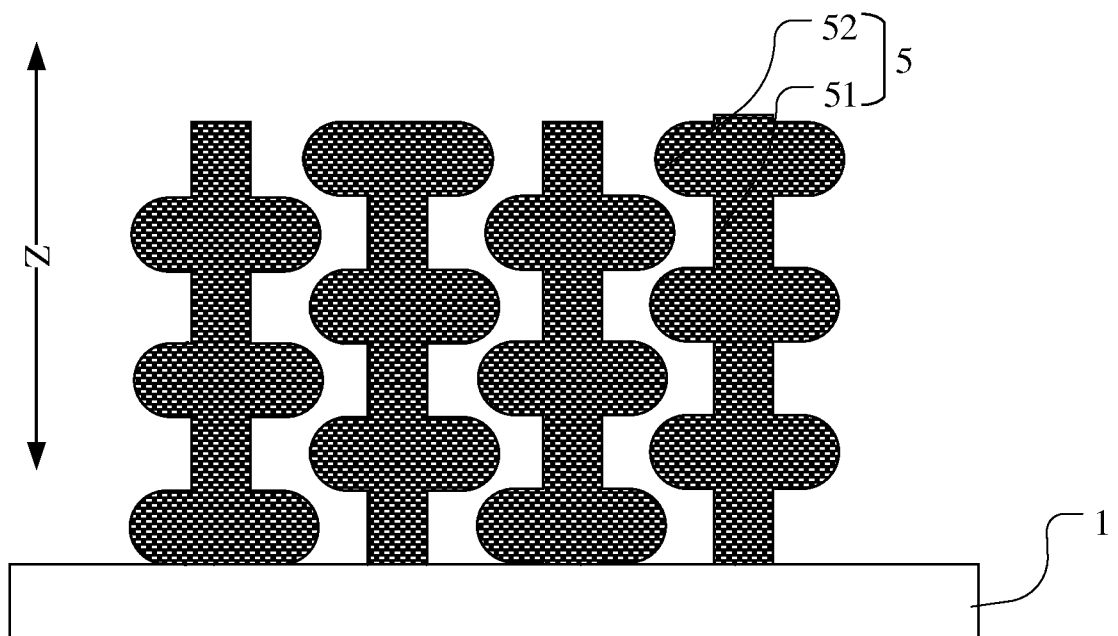


图 19

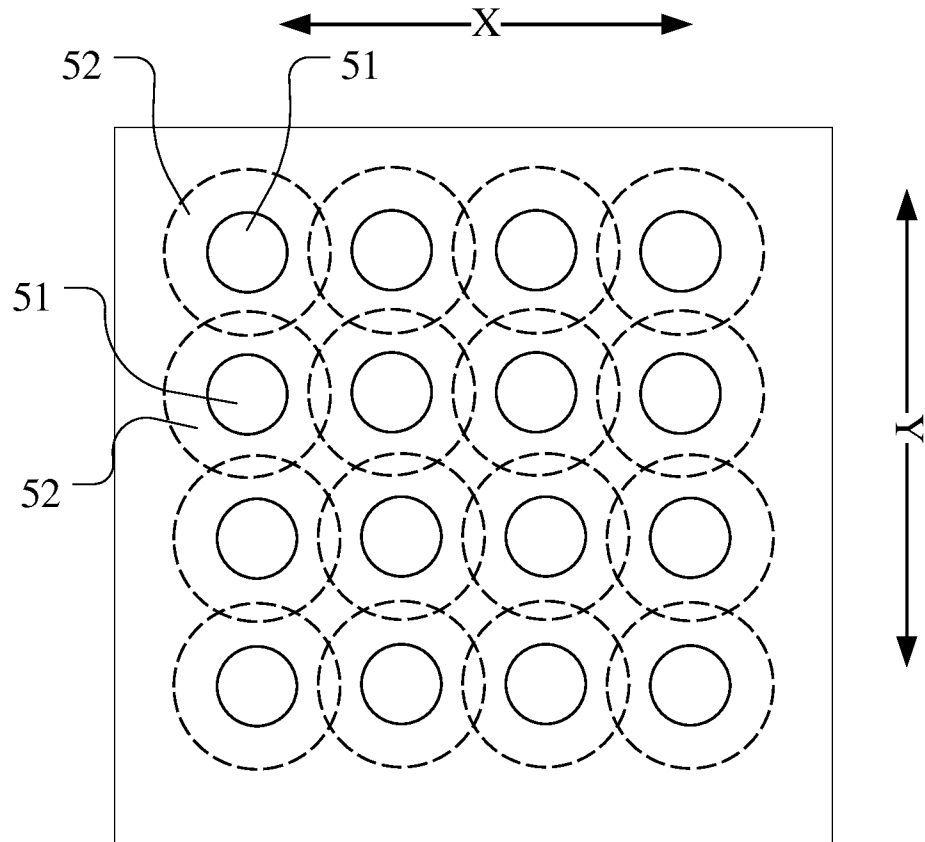


图 20

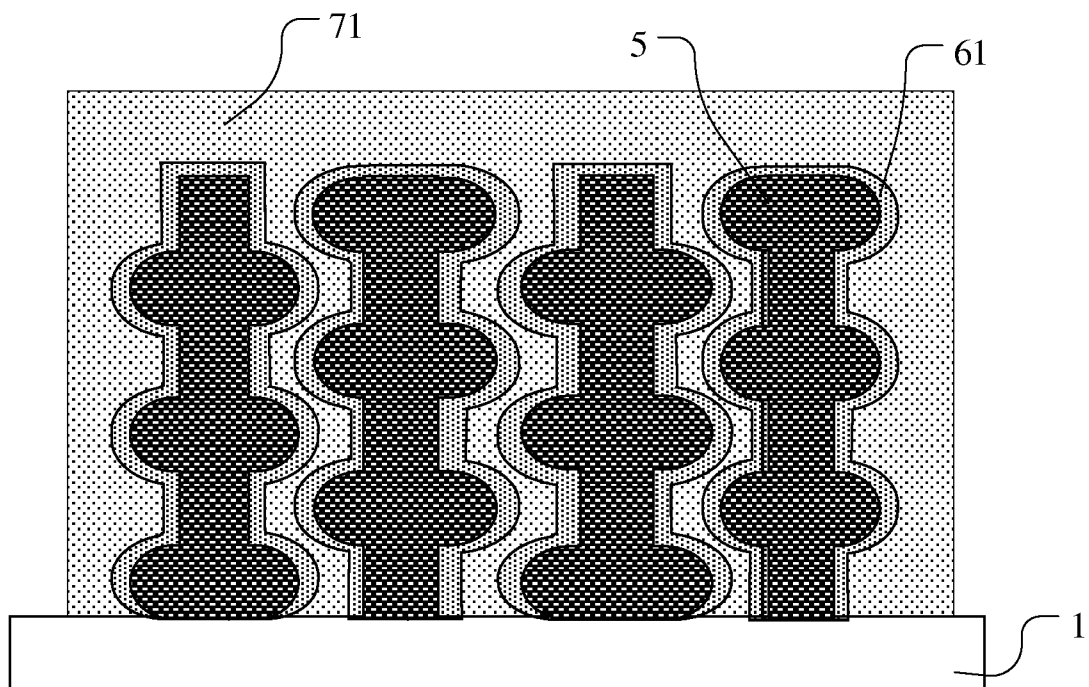


图 21

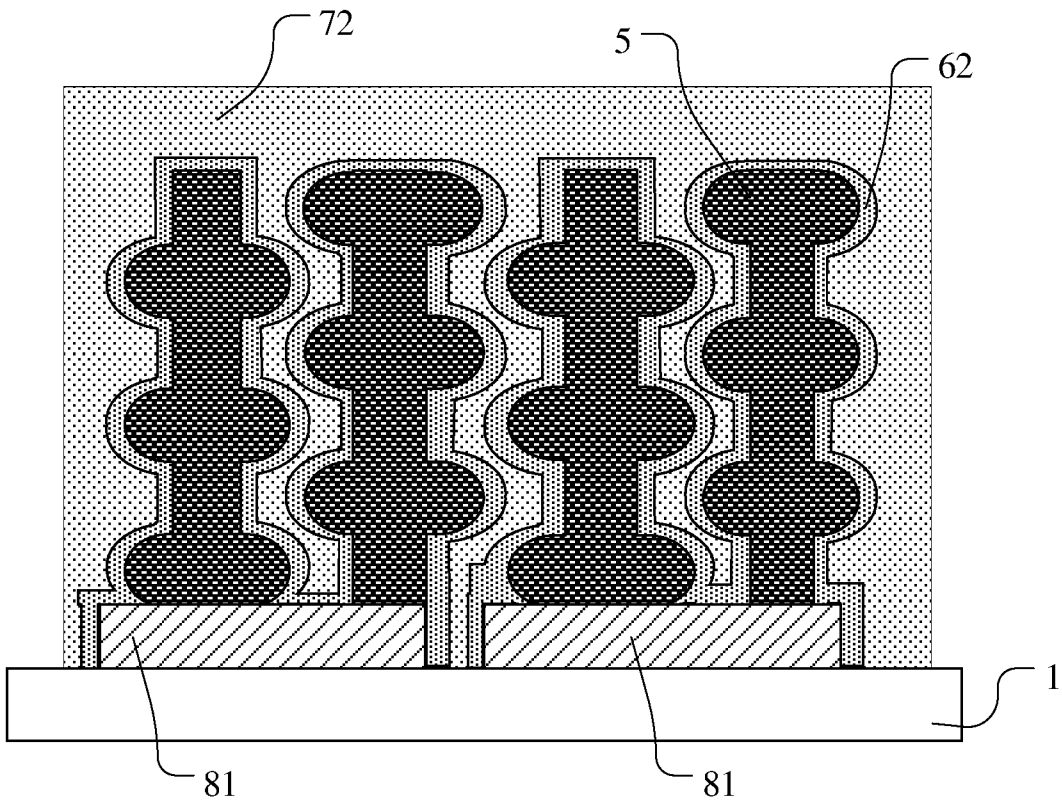


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/095566

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/24(2006.01)i; H01L 21/82(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; CNKI; DWPI: 导体, 导电, 电容, 电极, 柱, 凸起, 突起, 相错, 交错, 相交, 错开, conducting, capacitor, capacitance, electrode, column, pole, bump, bulge, heave, cross, staggered, interlace

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 110504283 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 26 November 2019 (2019-11-26) description, paragraphs 0128 to 0170, figures 2-16	1, 3-5
Y	CN 1612348 A (SAMSUNG ELECTRONICS CO., LTD.) 04 May 2005 (2005-05-04) description, page 22 line 2 to page 23 line 32, figures 29-31	1, 3-5
A	CN 106648212 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 May 2017 (2017-05-10) entire document	1-12
A	US 10622363 B2 (MICRON TECHNOLOGY, INC.) 14 April 2020 (2020-04-14) entire document	1-12
A	US 7999350 B2 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 16 August 2011 (2011-08-16) entire document	1-12
A	CN 1507034 A (SAMSUNG ELECTRONICS CO., LTD.) 23 June 2004 (2004-06-23) entire document	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 August 2021

Date of mailing of the international search report

19 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088

China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/095566

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111403601 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 10 July 2020 (2020-07-10) entire document	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/095566

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110504283	A	26 November 2019	None			
CN	1612348	A	04 May 2005	DE	102004039660	A1	24 March 2005
				JP	4902107	B2	21 March 2012
				KR	100538098	B1	21 December 2005
				DE	102004039660	B4	25 September 2008
				JP	2005064504	A	10 March 2005
				CN	1612348	B	02 June 2010
				US	7126180	B2	24 October 2006
				KR	20050019301	A	03 March 2005
				US	2005040448	A1	24 February 2005
				TW	I324828	B	11 May 2010
				TW	200509403	A	01 March 2005
CN	106648212	A	10 May 2017	US	2018120657	A1	03 May 2018
				CN	106648212	B	03 April 2020
				US	10197876	B2	05 February 2019
US	10622363	B2	14 April 2020	TW	202005056	A	16 January 2020
				US	2018061840	A1	01 March 2018
				US	10355002	B2	16 July 2019
				CN	107799523	A	13 March 2018
				TW	I690054	B	01 April 2020
				KR	102013492	B1	22 August 2019
				US	2019296023	A1	26 September 2019
				US	2020219886	A1	09 July 2020
				TW	201824515	A	01 July 2018
				KR	20180025255	A	08 March 2018
				TW	I702712	B	21 August 2020
US	7999350	B2	16 August 2011	TW	200939315	A	16 September 2009
				US	2009224362	A1	10 September 2009
				TW	I482209	B	21 April 2015
CN	1507034	A	23 June 2004	US	7205241	B2	17 April 2007
				KR	100505656	B1	04 August 2005
				KR	20040050535	A	16 June 2004
				JP	2004193608	A	08 July 2004
				US	2004127050	A1	01 July 2004
				CN	100394584	C	11 June 2008
				JP	4959107	B2	20 June 2012
CN	111403601	A	10 July 2020	None			

国际检索报告

国际申请号

PCT/CN2021/095566

A. 主题的分类

H01L 27/24(2006.01)i; H01L 21/82(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS; SIPOABS; CNKI; DWPI: 导体, 导电, 电容, 电极, 柱, 凸起, 突起, 相错, 交错, 相交, 错开, conducting, capacitor, capacitance, electrode, column, pole, bump, bulge, heave, cross, staggered, interlace

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 110504283 A (长鑫存储技术有限公司) 2019年 11月 26日 (2019 - 11 - 26) 说明书第0128段至0170段, 图2-16	1, 3-5
Y	CN 1612348 A (三星电子株式会社) 2005年 5月 4日 (2005 - 05 - 04) 说明书第22页第2行至第23页第32行, 图29-31	1, 3-5
A	CN 106648212 A (京东方科技集团股份有限公司 等) 2017年 5月 10日 (2017 - 05 - 10) 全文	1-12
A	US 10622363 B2 (MICRON TECHNOLOGY, INC.) 2020年 4月 14日 (2020 - 04 - 14) 全文	1-12
A	US 7999350 B2 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2011年 8月 16日 (2011 - 08 - 16) 全文	1-12
A	CN 1507034 A (三星电子株式会社) 2004年 6月 23日 (2004 - 06 - 23) 全文	1-12
A	CN 111403601 A (长鑫存储技术有限公司) 2020年 7月 10日 (2020 - 07 - 10) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 5日

国际检索报告邮寄日期

2021年 8月 19日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘红

电话号码 86-010-62089538

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/095566

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110504283	A	2019年 11月 26日	无			
CN	1612348	A	2005年 5月 4日	DE	102004039660	A1	2005年 3月 24日
				JP	4902107	B2	2012年 3月 21日
				KR	100538098	B1	2005年 12月 21日
				DE	102004039660	B4	2008年 9月 25日
				JP	2005064504	A	2005年 3月 10日
				CN	1612348	B	2010年 6月 2日
				US	7126180	B2	2006年 10月 24日
				KR	20050019301	A	2005年 3月 3日
				US	2005040448	A1	2005年 2月 24日
				TW	1324828	B	2010年 5月 11日
				TW	200509403	A	2005年 3月 1日
CN	106648212	A	2017年 5月 10日	US	2018120657	A1	2018年 5月 3日
				CN	106648212	B	2020年 4月 3日
				US	10197876	B2	2019年 2月 5日
US	10622363	B2	2020年 4月 14日	TW	202005056	A	2020年 1月 16日
				US	2018061840	A1	2018年 3月 1日
				US	10355002	B2	2019年 7月 16日
				CN	107799523	A	2018年 3月 13日
				TW	1690054	B	2020年 4月 1日
				KR	102013492	B1	2019年 8月 22日
				US	2019296023	A1	2019年 9月 26日
				US	2020219886	A1	2020年 7月 9日
				TW	201824515	A	2018年 7月 1日
				KR	20180025255	A	2018年 3月 8日
				TW	1702712	B	2020年 8月 21日
US	7999350	B2	2011年 8月 16日	TW	200939315	A	2009年 9月 16日
				US	2009224362	A1	2009年 9月 10日
				TW	1482209	B	2015年 4月 21日
CN	1507034	A	2004年 6月 23日	US	7205241	B2	2007年 4月 17日
				KR	100505656	B1	2005年 8月 4日
				KR	20040050535	A	2004年 6月 16日
				JP	2004193608	A	2004年 7月 8日
				US	2004127050	A1	2004年 7月 1日
				CN	100394584	C	2008年 6月 11日
				JP	4959107	B2	2012年 6月 20日
CN	111403601	A	2020年 7月 10日	无			