(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年9 月28 日 (28.09.2006)

PCT

(10) 国際公開番号
WO 2006/100861 A1

(51) 国際特許分類:
G02F 1/1368 (2006.01) *G02F 1/1343* (2006.01)
G02F 1/13 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/JP2006/302990

(22) 国際出願日: 2006 年2 月21 日 (21.02.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-079394 2005 年3 月18 日 (18.03.2005) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 太田 康之 (OHTA, Yasuyuki). 武内 正典 (TAKEUCHI, Masanori). 津幡 俊英 (TSUBATA, Toshihide).

(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館 Osaka (JP).

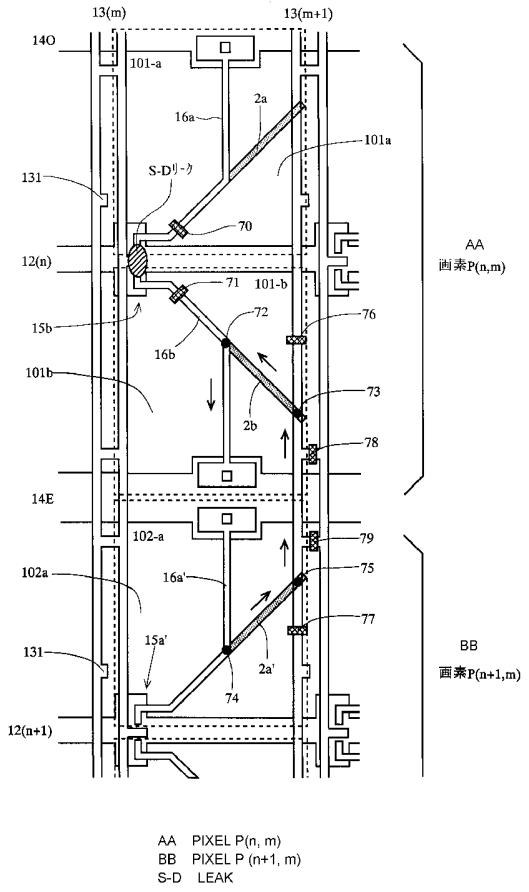
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE AND PIXEL DEFECT REMEDYING METHOD THEREFOR

(54) 発明の名称: アクティブマトリクス基板及びその画素欠陥修正方法



(57) **Abstract:** An active matrix substrate and a pixel remedying method for remedying a pixel defect. A laser beam is applied to a laser beam application portion (71) of a drain electrode extension section (16b), and a TFT (15b) is electrically separated from a sub-pixel electrode (101b). A laser beam is applied to laser application portions (72, 73), and an insulating layer (21a) is melted. Thus, the drain electrode extension section (16b) and a data signal line (13(m+1)) are electrically connected to a remedy connection electrode (2b). A laser beam is applied to laser beam application portions (74, 75), and a drain electrode extension section (16a') of a pixel (P(n+1), m) and the data signal line (13(m+1) are electrically connected to a remedy connection electrode (2a'). A laser beam is applied to laser application portions (76, 77, 78, 79), and part of the data signal line (13(m+1))is separated from the data signal line (13(m+1))to use it as a bypass wiring. A pixel defect attributed to a defect of the TFT part can be easily and infallibly remedied and the quality of the image is not degraded.

[続葉有]

WO 2006/100861 A1

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— **国際調査報告書**

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、画素欠陥を修正可能なアクティブマトリクス基板及び画素欠陥修正方法に関する。

本発明では、ドレイン電極延長部(16b)のレーザ照射部(71)にレーザを照射し、ＴＦＴ(15b)と副画素電極(101b)とを電気的に切り離す。レーザ照射部(72)(73)にレーザを照射し、絶縁層(21a)を溶融させて、ドレイン電極延長部(16b)と修正用接続電極(2b)、データ信号線(13(m+1))と修正用接続電極(2b)を導通させる。レーザ照射部(74)(75)にレーザを照射し、画素 P(n+1,m)のドレイン電極延長部(16a')と修正用接続電極(2a')、データ信号線(13(m+1))と修正用接続電極(2a')を導通させる。レーザ照射部(76)(77)(78)(79)にレーザを照射して、データ信号線(13(m+1))の一部をデータ信号線(13(m+1))から分離して迂回用配線として用いる。

本発明によると、ＴＦＴ部分の欠陥に起因する画素欠陥を容易かつ確実に修正でき、しかも画像品質を低下させることがない。

明 細 書

アクティブマトリクス基板及びその画素欠陥修正方法

技術分野

[0001] 本発明は、画素欠陥を修正可能なアクティブマトリクス基板及び画素欠陥修正方法に関するものである。

背景技術

[0002] アクティブマトリクス基板の製造プロセスにおいては、異物や膜残り等によってTFTのソース電極とドレイン電極との間で短絡(S－Dリーク)が生じたり、ソース電極とゲート電極との間で短絡(S－Gリーク)が生じたりすることがある。このようなリークが生じると画素電極に正常な電圧(ドレイン電圧)が印加されなくなり、液晶表示装置の表示画面上に輝点又は黒点等の点欠陥として現れることとなり、液晶表示装置の製造歩留りを低下させる。

[0003] このような画素欠陥を修正するため、隣接する画素との間に修正用の接続配線を予め配設した液晶表示装置が提案されている(例えば特許文献1～4)。これらの提案によれば、画素欠陥が生じた場合に、修正用接続配線にレーザ照射等を行って、画素欠陥が生じた画素の画素電極と隣接する画素の画素電極とを電気的に導通させ、隣接画素と同電位の電圧を欠陥画素の画素電極に印加することで、欠陥画素を擬似的に駆動させる。

特許文献1:特開昭59－101693号公報(第1頁)

特許文献2:特開平2－135320号公報(第1、4頁、第1図)

特許文献3:特開平8－328035号公報(第1、5頁、第1図)

特許文献4:特開2002－350901号公報(第17、24頁、第20図)

発明の開示

発明が解決しようとする課題

[0004] しかしながら、提案されている修正方法では、修正用接続配線を画素間を跨ぐように設置する必要があったため、修正用接続配線の面積の増加に伴い開口率が低下するという問題があった。

[0005] 加えて、液晶表示装置においてγ特性の視野角依存性を改善するために、1つの画素を2以上の副画素に分割し、これらの副画素に異なる電圧を印加することが近年行われつつあるところ、このような1つの画素に2以上の副画素を設けた液晶表示装置における欠陥画素の修正は、これまでの修正方法では充分な画像品質を得ることはできない。

[0006] 本発明はこのような従来の問題に鑑みてなされたものであり、その目的とするところは、1つの画素に2以上の副画素電極を備えたアクティブマトリクス基板における、異物や膜残り等によるTFT部分でのS－DリークやS－Gリークなどの欠陥に起因する画素欠陥に対して、開口率を減少させることなく、点欠陥となる画素を容易かつ確実に修正することができ、液晶表示装置の歩留りを向上させることができるアクティブマトリクス基板およびその画素欠陥修正方法を提供することにある。

[0007] また本発明の目的は、1つの画素に2以上の副画素電極を備えたアクティブマトリクス基板における、TFT部分の欠陥に起因する画素欠陥を容易かつ確実に修正でき、しかも画像品質を低下させることのない画素欠陥修正方法を提供することにある。

課題を解決するための手段

[0008] 本発明者等は、1つの画素に2以上の副画素電極を有するアクティブマトリックス基板において、主にTFT部分の欠陥に起因する画素欠陥を、表示品質を落とすことなく修正できないか鋭意検討を重ねた結果、画素欠陥の生じた画素の全部の副画素電極を修正するよりも、画素欠陥の生じた画素の一部の副画素について修正を行い、他の副画素については黒点化させる方が表示品質が向上するという知見を得た。これは、画素欠陥の生じた画素の全部の副画素電極に、隣接する副画素のTFTから電圧を印加して欠陥を修正すると、画素の黒点化および輝点化を防止することはできるものの、導通された副画素同士が同じドレイン電圧によって駆動するため、修正された副画素は本来の点灯タイミングと点灯位置が異なり、また印加されるドレイン電圧も、副画素電極の容量バランスが崩れるため本来の設定値とは異なるため、修正後の表示品質が充分には高くならないのであろうと考えている。

[0009] 本発明はこのような知見に基づきなされたものであり、本発明のアクティブマトリクス基板は、基板上に形成された複数本の走査信号線及びデータ信号線と、これらの信

号線の交点に設けられ、ゲート電極が走査信号線に接続され、ソース電極がデータ信号線に接続された薄膜トランジスタと、該薄膜トランジスタのドレイン電極又はドレイン引出配線に接続された画素電極とを備えるアクティブマトリクス基板であって、前記画素電極は異なる電圧を印加できる2以上の副画素電極を有し、前記データ信号線は少なくとも部分的に複線化された構造を有し、前記走査信号線を含む層に修正用接続電極を設け、前記修正用接続電極の一部がデータ信号線と絶縁層を介して重畳し、さらに他の一部がドレイン電極又はドレイン引出配線と絶縁層を介して重畳していることを特徴とする。

[0010] ここで、表示品質を低下させることなく欠陥画素を修正する観点から、前記の2以上の副画素電極の中で最も高い実効電圧が印加される副画素電極を識別するための識別表示を、複線化されたデータ信号線で囲まれた領域内の、前記走査信号線又は前記データ信号線に形成しておくのが好ましい。

[0011] 走査信号線やデータ信号線の抵抗を上げることなく、最も高い実効電圧が印加される副画素電極を識別するためには、識別表示として、走査信号線又はデータ信号線から同一平面上で延出した突起を用いるのが好ましい。

[0012] また本発明の画素欠陥修正方法は、前記いずれかに記載のアクティブマトリクス基板で生じた画素欠陥を修正する画素欠陥修正方法であって、画素欠陥が生じた画素の少なくとも1つの副画素電極と、この画素に隣接する画素の副画素電極とを、前記データ信号線と前記修正用接続電極を介して導通させて略同電位にすると共に、画素欠陥が生じた画素の他の副画素は黒点化することを特徴とする。なお、前記副画素の黒点化は、画素電極に電圧を印加しない時は照射光を遮断するノーマリブラック型液晶表示装置の場合、S－Dリークでは画素電極に電圧が印加されないようにドレイン引出配線を切断することで行われ、TFT部分でのS－GリークではTFTを構成するゲートまたはソースの枝のどちらかと、ドレイン引出配線を切断することで行われる。一方画素電極に電圧を印加しない時は照射光を透過するノーマリホワイト型液晶表示装置の場合、S－Dリークでは欠陥画素の修正を行わず放置すればよく、TFT部分でのS－GリークではTFTを構成するゲートまたはソースの枝のどちらかを切断することで行われる。

[0013] ここで、表示品質を向上させる観点からは、画素欠陥が生じた画素の少なくとも1つの副画素電極と、この画素に隣接する画素の最も高い実効電圧が印加される副画素電極とを導通させて略同電位にするのが望ましい。

[0014] 修正用接続電極を用いて導通するには、修正用接続電極とデータ信号線とが重畳する領域、及び、修正用接続電極とドレイン電極又はドレイン引出配線とが重畳する領域をレーザ照射により溶融させて導通させる。そして修正用接続電極と導通させたデータ信号線の一部を他のデータ信号線から分離するのがよい。

発明の効果

[0015] 本発明のアクティブマトリクス基板では、画素電極は異なる電圧を印加できる2以上の副画素電極を有し、データ信号線は少なくとも部分的に複線化された構造を有し、走査信号線を含む層に修正用接続電極を設け、修正用接続電極の一部をデータ信号線と絶縁層を介して重畳させ、さらに他の一部をドレイン電極又はドレイン引出配線と絶縁層を介して重畳させているので、TFT部分におけるS－Dリークや S－Gリークなどの欠陥に起因する画素欠陥に対して、開口率を減少させることなく、点欠陥となる画素を容易かつ確実に修正することができ、液晶表示装置の歩留りを向上させることができる。

[0016] また本発明のアクティブマトリクス基板の画素欠陥修正方法では、画素欠陥が生じた画素の一部の副画素電極と、この画素に隣接する画素の副画素電極とを、データ信号線と修正用接続電極を介して導通させて略同電位にすると共に、画素欠陥が生じた画素の他の副画素は黒点化させるので、画素欠陥が生じた画素のすべての副画素を修正する場合に比べ表示品質が向上する。

図面の簡単な説明

[0017] [図1]本発明に係るアクティブマトリックス基板の一例を示す平面図である。

[図2]図1のA－A線断面図である。

[図3]図1のB－B線断面図である。

[図4]識別表示の他の例を示す部分拡大平面図である。

[図5]図1の基板を用いた液晶表示装置の等価回路の模式図である。

[図6]液晶表示装置を駆動するための電圧波形図の一例である。

[図7]図1の基板における修正例を示す平面図である。

[図8]修正用接続電極と、ドレイン電極・データ信号線との導通状態を示す概説図である。

[図9]副画素の容量を示す図である。

[図10]図1の基板における修正の他の例を示す平面図である。

[図11]本発明に係るアクティブマトリックス基板の他の例を示す平面図である。

[図12]図11の基板における修正例を示す平面図である。

[図13]図11の基板における修正の他の例を示す平面図である。

符号の説明

[0018] 2a, 2a', 2b, 2b' 修正用接続電極

12 走査信号線

13 データ信号線

15 TFT(薄膜トランジスタ)

21a 絶縁層

121, 131 突起(識別表示)

発明を実施するための最良の形態

[0019] 以下、本発明に係るアクティブマトリクス基板及びそれを用いた画素欠陥修正方法について図に基づいて説明するが、本発明はこれらの実施形態に何ら限定されるものではない。なお、本明細書において特に断りのない限り、液晶表示装置はノーマリブラック型のものとする。

[0020] 図1は、本発明のアクティブマトリクス基板の画素構造を模式的に示した平面図であり、n行m列の画素P(n, m)に着目したものである。図2及び図3は、図1のA－A線断面図およびB－B線断面図である。画素P(n, m)は2つの副画素電極101a, 101bを有し、副画素電極101a, 101bは列方向に連続して配列されている。走査信号線12(n)は画素間を図の横方向に設けられ、データ信号線13(m)は画素間を図の縦方向に設けられている。そして、2つの補助容量配線14O, 14Eは走査信号線12(n)に平行で、且つ副画素電極101a, 101bの上下に設けられている。スイッチング素子としてのTFT15a, 15bは、走査信号線12(n)とデータ信号線13(m)との交

差付近に形成されている。

[0021] TFT15aのドレイン電極延長部16aは補助容量配線140上に延出し、補助容量配線140と一体に形成された補助容量対向電極141と絶縁層21a(図2に図示)を介して対向する部分が補助容量電極17aとして機能する。そしてこの補助容量電極17a上にコンタクトホール18aが形成され、ドレイン電極延長部16aと副画素電極101aとが接続している(図2参照)。同様に、ドレイン電極延長部16bは補助容量配線14E上に延出し、補助容量配線14Eと一体に形成された補助容量対向電極142と絶縁層(不図示)を介して対向する部分が補助容量電極17bとして機能する。そしてこの補助容量電極17b上にコンタクトホール18bが形成され、ドレイン電極延長部16bと副画素電極101bとが接続している。

[0022] ここで、データ信号線13はいわゆる"はしご状"に複線化された構造を有する。そして、後述するように、欠陥画素を修正する場合に、隣接する画素の、高い実効電圧が印加される副画素電極と欠陥画素の副画素電極とを同電位とする方が表示品質が一層向上するので、どの副画素電極に高い実効電圧が印加されるのか実際に電圧を印加しなくても識別できるように識別表示を設けるのが望ましい。この実施形態では副画素電極101aの方に高い実効電圧が印加されるので、データ信号線13(m)の、副画素電極101aの側方に位置する部分に突起(識別表示)131が形成されている。

[0023] もちろん、どの副画素電極に最も高い実効電圧が印加されるかが識別できればよいから、低い実効電圧が印加される副画素電極101bの側に突起を設けても構わない。また、図4に示すように走査信号線12に突起121を設けても構わない。さらには、識別表示として、切り欠きや窪み、印字など従来公知の識別表示を信号線に形成してもよい。ただし、識別表示として信号線に切り欠きや窪みを用いると、信号線の抵抗が上がり表示特性に影響を与えるおそれがある。また印字方法によれば消滅するおそれがある。このため識別表示としては、データ信号線をはしご状としたこととの組み合わせにおいて突起を用いるのが好ましい。

[0024] また、図1及び図3に示すように、走査信号線12(n)を含む層に修正用接続電極2が形成され、この修正用接続電極2の一方端はドレイン電極延長部16aと絶縁層21

aを介して重畳し、もう一方端はデータ信号線13(m+1)と絶縁層21aを介して重畳している。なお、この修正用接続電極2およびドレイン電極延長部16aの一部が斜め方向に形成されているのは、副画素電極101a, 101b又は対向電極(不図示)に形成された、液晶層を配向させるためのスリット(不図示)と重なるようにして、液晶表示装置の開口率を落とさないようにするためである。

[0025] また、図2に示すように、コンタクトホール18aの下方には、絶縁層21aを介して補助容量配線14Oが形成されている。これにより、液晶層の配向の乱れが遮光され画像品位の向上が図られている。なお、補助容量を構成する絶縁層21aは例えばTFTのゲート絶縁層である。

[0026] 図5に、図1の液晶表示装置の等価回路の模式図を示す。この図では、副画素101－aに対応する液晶容量をClcOと表記し、副画素101－bに対応する液晶容量をClcEと表記している。副画素101－a, 101－bのそれぞれの液晶容量ClcO、ClcEは、副画素電極101a, 101bと対向電極21とこれらの間の液晶層とによって構成されている。副画素電極101a, 101bはTFT15a、15bを介してデータ信号線13(m)に接続されており、TFTのゲート電極Gは共通の走査信号線12(n)に接続されている。

[0027] 副画素101－aおよび副画素101－bに対応して設けられている第1補助容量および第2補助容量は、図5では、それぞれCcsOおよびCcsEと表記している。第1補助容量CcsOの補助容量電極17aは、ドレイン電極の延長部16aを介してTFT15aのドレインに接続されており、第2補助容量CcsEの補助容量電極17bは、ドレイン電極の延長部16bを介してTFT15bのドレインに接続されている。なお、補助容量電極17a, 17bの接続形態は図示した例に限られず、それぞれ対応する副画素電極101a及び副画素電極101bと同じ電圧が印加されるように電気的に接続されていればよい。即ち、副画素電極101a及び副画素電極101bと、これらに対応する補助容量電極17a, 17bとが直接または間接に電気的に接続されていればよい。

[0028] 第1補助容量CcsOの補助容量対向電極141は、補助容量配線14Oに接続されており、第2補助容量CcsEの補助容量対向電極142は、補助容量配線14Eに接続されている。この構成によって、第1補助容量CcsOおよび第2補助容量CcsEのそれ

ぞれの補助容量対向電極141，142に異なる補助容量対向電圧を供給することが可能となっている。補助容量対向電極141，142と補助容量配線14O，14Eの接続関係は、後に説明するように、駆動方法（ドット反転駆動など）に応じて、適宜選択される。

[0029] このような構成において、2つの補助容量配線14O，14Eに異なる補助容量対向電圧を供給することにより、副画素電極101aの実効電圧を副画素電極101bの実効電圧よりも高くすることができ、これにより、副画素101－aの輝度を副画素101－bの輝度よりも高くすることができる。副画素電極101aおよび副画素電極101bに異なる電圧を印加できる原理は次のとおりである。

[0030] 図6は、図5の画素P（n、m）に入力される各種信号の電圧波形とタイミングを示している。（a）はデータ信号線13に供給される表示信号電圧（階調信号電圧）Vsの波形を示している。（b）は走査信号線12に供給される走査信号電圧Vgの波形を示しており、（c）および（d）はそれぞれ補助容量配線14O及び14Eに供給される補助容量対向電圧（VcsO、VcsE）の波形を示している。（e）および（f）は、それぞれ副画素101－aの液晶容量ClcOおよび副画素101－bの液晶容量ClcEに印加される電圧（VlcO、VlcE）の波形を示している。

[0031] 図6に示す駆動方式は、1Hドット反転＋フレーム反転方式の液晶表示装置に本発明を適用した実施形態を示したものである。

[0032] データ信号線13に印加される表示信号電圧Vsは、1本の走査信号線が選択されるたび（1Hごと）に極性が反転し、且つ、隣接する信号線に印加される表示信号電圧の極性は逆になっている（1Hドット反転）。また、全てのデータ信号線13に表示信号電圧Vsはフレーム毎に極性が反転する（フレーム反転）。

[0033] ここでの例は、補助容量対向電圧VcsO及びVcsEの極性が反転する周期は2Hである。また補助容量対向電圧VcsO及びVcsEは振幅が同じで、位相が180° 異なる波形を有している。

[0034] 図6を参照しながら、液晶容量ClcO及び液晶容量ClcEに印加される電圧（VlcO、VlcE）が図6のようになる理由を説明する。

[0035] 時刻T_1のとき、走査信号電圧Vgがローレベル（VgL）からハイレベル（VgH）に変

化して、TFT15a，15bが導通状態となり、データ信号線13の表示信号電圧Vsが副画素電極101a，101bに印加される。液晶容量ClcOおよびClcEのそれぞれの両端に印加される電圧は、それぞれ、副画素電極101a、101bの電圧と、対向電極21の電圧（Vcom）との差である。すなわち、VlcO＝VlcE＝Vs－Vcomである。

[0036] 時刻T_2のときに、走査信号線信号電圧Vgが高電圧VgHから低電圧VgL（＜Vs）に変化すると、TFT15a，15bが同時に非導通状態（OFF状態）となり、副画素および補助容量はすべてデータ信号線13と電気的に絶縁される。なお、TFT15a，15bの有する寄生容量などの影響によって、いわゆる引込み現象が生じ、副画素電極101a，101bの電圧がΔVdだけ下がる。

[0037] 時刻T_3のときに、液晶容量ClcOの電圧VlcOは、液晶容量ClcOを構成する副画素電極101aと電気的に接続された、補助容量CcsOの補助容量対向電極141の電圧VcsOの影響を受けて変化する。また、液晶容量ClcEの電圧VlcEは、液晶容量ClcEを構成する副画素電極101bと電気的に接続された、補助容量CcsEの補助容量対向電極142の電圧VcsEの影響を受けて変化する。

[0038] ここで、時刻T_3において、補助容量対向電圧VcsOがVcsOp＞0だけ増加し、補助容量対向電圧VcsEがVcsEp＞0だけ低下したとする。すなわち、補助容量対向電圧VcsOの全振幅（Vp－p）をVcsOpとし、補助容量対向電圧VcsEの全振幅をVcsEpとする。

[0039] 液晶容量ClcOと補助容量CcsOとの合計の容量を$C_{pix}O$とし、液晶容量ClcEと補助容量CcsEとの合計の容量を$C_{pix}E$とすると、

$VlcO = Vs - \Delta Vd + VcsOp(CcsO / C_{pix}O) - Vcom$、

$VlcE = Vs - \Delta Vd - VcsEp(CcsE / C_{pix}E) - Vcom$

となる。

[0040] 次に、時刻T_4において、同様に補助容量対向電極の電圧VcsO及びVcsEの影響を受けて、VlcOおよびVlcEはそれぞれ時刻T_2時の電圧値に戻る。

[0041] $VlcO = Vs - \Delta Vd - Vcom$

$VlcE = Vs - \Delta Vd - Vcom$

この電圧の変化は、次のフレームにおいてVg（n）がVgHとなるまで繰り返される。

その結果、VlcOおよびVlcEのそれぞれの実効値が異なる値となる。すなわち、VlcOの実効値を$VlcO_{rms}$とし、VlcEの実効値$VlcE_{rms}$とすると、

$$VlcO_{rms}=Vs-\Delta Vd+(1/2)VcsOp(CcsO/C_{pix}O)-Vcom$$

$$VlcE_{rms}=Vs-\Delta Vd-(1/2)VcsEp(CcsE/C_{pix}E)-Vcom$$

（ただし、$(Vs-\Delta Vd-Vcom)>>VcsOp(CcsO/C_{pix}O)$、

$(Vs-\Delta Vd-Vcom)>>VcsEp(CcsE/C_{pix}E)$時。）

となる。したがって、これら実効値の差を$\Delta Vlc=VlcO_{rms}-VlcE_{rms}$とすると、

$\Delta Vlc=\{VcsOp(CcsO/C_{pix}O)+VcsEp(CcsE/C_{pix}E)\}/2$となる。このように副画素電極101a，101bに接続されている補助容量CcsO，CcsEの補助容量対向電極141，142に印加する電圧を制御することによって、副画素電極101a及び副画素電極101bに互いに異なる電圧を印加することができるようになる。

[0042] なお、VcsOとVcsEの電圧を入れ替えれば、逆にVlcOの実効値を小さく、VlcEの実効値を大きくなるように設定できる。あるいは、補助容量CcsOおよびCcsEの補助容量対向電極141，142に接続する補助容量配線14Oおよび14Eの組合せを逆にしても、VlcOの実効値を小さく、VlcEの実効値を大きくなるように設定できる。

[0043] なお、ここでは、フレーム反転駆動を行っているので、次フレームでは、Vsの極性を反転し、Vlc＜0となるが、これに同期してVcsOおよびVcsEの極性も反転させれば、同様の結果が得られる。

[0044] このような構造のアクティブマトリックス基板において、画素PのTFT部分において異物や膜残り等によるS－DリークやS－Gリークなどが生じ画素欠陥が発生した場合、そのまま放置すると画素Pが輝点化し基板が不良品となってしまう。そこで、隣接する画素から画素Pの副画素の一部にドレイン電圧を印加して修正を行う。

[0045] 図7に修正方法の一例を示す。図7に示す修正方法例は、画素P(n，m)のTFT部分においてS－Dリークが生じ画素欠陥が生じた場合の修正方法であって、下接する画素P(n＋1，m)の副画素電極(”明”電極)102aと欠陥画素P(n，m)の副画素101bとを修正用接続電極2a’，2bを介して略同電位とし、欠陥画素P(n，m)のもう一つの副画素101－aは黒点化させるものである。具体的には以下のようにして修正を行う。

[0046] ドレイン電極延長部16bのレーザ照射部71に基板の表面又は裏面からレーザを照射し、欠陥が生じたTFT15bと副画素電極101bとを電気的に切り離す。次に、レーザ照射部72、73にレーザを照射し、図8に示すように、絶縁層21aを溶融させて、ドレイン電極延長部16bと修正用接続電極2bおよびデータ信号線13(m+1)と修正用接続電極2bとを導通させる。同様にして、レーザ照射部74、75にレーザを照射し、画素P(n+1, m)のドレイン電極延長部16a'と修正用接続電極2a'およびデータ信号線13(m+1)と修正用接続電極2a'とを導通させる。そして、レーザ照射部76～79にレーザを照射して、データ信号線13(m+1)の一部をデータ信号線13(m+1)から分離して迂回用配線として用いる。

[0047] 一方副画素101－aは、ドレイン電極延長部16aのレーザ照射部70にレーザを照射し、TFT15bと副画素電極101－aとを電気的に切り離して黒点化する。

[0048] ここで使用するレーザとしては従来公知のものを使用することができ、例えばYAGレーザ(波長266nm、532nm)などが例示でき、電極の切断あるいは絶縁層の溶融などその用途によって適宜使い分ければよい。

[0049] 以上のようにして図7に示すような迂回路(図中の矢印)を形成することによって、画素P(n+1, m)の副画素電極102aに印加されるドレイン電圧が、欠陥画素P(n, m)の副画素電極101bにも印加されることになり、副画素101－bは副画素102－aと同じ表示動作を行い、且つその輝度もほぼ同じとなる。これにより表示品質が改善される。なお、副画素101－bと副画素102－aの輝度がほぼ同じとなることは、下記説明するように理論的にも裏付けられている。

[0050] 図9を参照して、修正前の副画素の全容量C_{pix}は、

$$C_{pix}=C_{LC}+C_{Cs}+C_{sd}+C_{gd}$$

(式中、$C_{sd}=C_{sd1}+C_{sd2}$

C_{sd1}:副画素電極領域内の自画素のデータ信号線の容量

C_{sd2}:副画素電極領域内の他画素のデータ信号線の容量)

一方修正後、副画素の面積は2倍になり1つのTFTで駆動するため、全容量C'_{pix}は、

$$C'_{pix}=2C_{LC}+2C_{Cs}+2C_{sd}+C_{gd}$$

となり、通常、C_{gd}はC_{pix}の数％であるため、C'_{pix}はC_{pix}の2倍と考えることができる。

[0051] ここで、修正前のドレインの引き込み電圧ΔV_dは、

$$\Delta V_d = (C_{gd} / C_{pix}) \times V_{gpp}$$

（式中、V_{gpp}はゲート電圧の振幅）

と表せる。一方、修正後の引き込み電圧$\Delta V_d'$は

$$\Delta V_d' = (C_{gd} / C'_{pix}) \times V_{gpp}$$

と表せる。したがって、修正後の引き込み電圧$\Delta V_d'$は修正前の電圧ΔV_dの1／2になる。

[0052] また、修正前の補助容量電圧V_{cs}によるドレイン電圧の変化量ΔV_{cs}は、

$$\Delta V_{cs} = (C_{cs} / C_{pix}) \times V_{cspp}$$

（式中、V_{cspp}は補助容量電圧の振幅）

と表せる。一方、修正後の電圧変化量$\Delta V'_{cs}$は、修正後のC_{cs}が修正前の2倍になるため、

$$\Delta V'_{cs} = (2C_{cs} / C'_{pix}) \times V_{cspp}$$

と表せる。したがって、修正後の電圧変化量$\Delta V'_{cs}$は修正前とほとんど変わらない。

[0053] 以上から、画素修正によるドレイン電圧の変化は、引き込み電圧ΔV_dが半分になるだけであり、修正後の画素の輝度はほぼ同じになる。

[0054] 図10に画素修正方法の他の例を示す。図10に示す修正方法は、前記の修正方法と同様に、画素P(n, m)のTFT部分においてS－Dリークが生じ画素欠陥が生じた場合の修正方法であって、前記修正方法と異なる点は、上接する画素P(n－1, m)の副画素電極("暗"電極)100bと欠陥画素P(n, m)の副画素101aとを修正用接続電極2b', 2aを介して略同電位とする点である。

[0055] 具体的な修正手順は前記と同様であるので略説すると、ドレイン電極延長部16aのレーザ照射部81にレーザを照射し、欠陥が生じたTFT15aと副画素電極101aとを電気的に切り離す。そして、レーザ照射部82、83にレーザを照射し、ドレイン電極延長部16aと修正用接続電極2aおよびデータ信号線13(m＋1)と修正用接続電極2aとを導通させる。同様にして、レーザ照射部84、85にレーザを照射し、画素P(n－1, m)のドレイン電極延長部16b'と修正用接続電極2b'およびデータ信号線13(m

＋1）と修正用接続電極2b’とを導通させる。さらに、レーザ照射部86～89にレーザを照射して、データ信号線13（m＋1）の一部をデータ信号線13（m＋1）から分離して迂回用配線として用いる。

[0056] このようにして図10に示す迂回路（図中の矢印）を形成することによって、画素P（n－1，m）の副画素電極100bに印加されるドレイン電圧が、欠陥画素P（n，m）の副画素電極101aにも印加されることになり、副画素101－aは副画素100－bと同じ表示動作を行い、且つその輝度もほぼ同じとなる。これにより表示品質が改善される。

[0057] なお、欠陥画素の副画素電極に、隣接する画素の高実効電圧側のドレイン電圧を印加する方が（図7に示した修正方法）、低実効電圧側のドレイン電圧を印加する（図10に示した修正方法）よりも表示品質は高くなる。すなわち、修正後の欠陥画素が（”明”副画素＋黒点）となる方が、（”暗”副画素＋黒点）となるよりも表示品質がよくなる。どの副画素電極に最も高い実効電圧が印加されているかは、液晶パネル組立後であれば点灯させることにより識別できる。一方、基板作成工程では点灯させることができないので、前述のように、基板に突起（識別表示）131を設け、どの副画素電極に最も高い実効電圧が印加されているか基板からわかるようにしておく必要がある。

[0058] 次に、副画素が3つの場合の欠陥修正方法について説明する。図11はアクディブマトリックス基板の画素構造を模式的に示した平面図である。画素P（n－1，m）と画素P（n，m）とが列方向に隣接し、それぞれの画素は、列方向に連続して配列された副画素電極100a～100c、副画素電極101a～101cを備えている。そして、走査信号線12（n－1），12（n）が画素間を図の横方向に設けられ、データ信号線13（m），13（m＋1）が画素間を図の縦方向に設けられている。そして、補助容量配線14O，14Eは、走査信号線12に平行で且つ副画素電極間に設けられている。スイッチング素子としてのTFT15は、走査信号線12とデータ信号線13との交差付近に形成されており、1つの画素に3つ形成されている。

[0059] 画素P（n，m）では、TFT15から延出したドレイン電極延長部16aは、補助容量配線14E上に至り、補助容量配線14Eと一体に形成された補助容量対向電極142と絶縁層（不図示）を介して対向する部分が補助容量電極17aとして機能している。そしてこの補助容量電極17a上にコンタクトホール18aが形成され、ドレイン電極延長

部16aと副画素電極101aとが接続している。同様に、ドレイン電極延長部16cは補助容量配線14Eを超えて補助容量配線14Oに至り、補助容量配線14Oと一体に形成された補助容量対向電極141と絶縁層（不図示）を介して対向する部分が補助容量電極17cとして機能している。そしてこの補助容量電極17c上にコンタクトホール18cが形成され、ドレイン電極延長部16cと副画素電極101cとが接続している。一方、ドレイン電極延長部16bはTFT15から延出し、ドレイン電極延長部16cと途中接触して、コンタクトホール18bによって副画素電極101bと接続している。

[0060] そして、走査信号線12(n)を含む層に修正用接続電極2cが形成され、この修正用接続電極2cはドレイン電極延長部16a～16cと絶縁層を介して重畳するとともに、データ信号線13(m+1)とも絶縁層を介して重畳している。

[0061] 他方、画素P(n－1, m)では、TFT15'から延出したドレイン電極延長部16a'は、補助容量配線14E'を越えて補助容量配線14O'上に至り、補助容量配線14O'と一体に形成された補助容量対向電極141'と絶縁層（不図示）を介して対向する部分が補助容量電極17a'として機能している。そしてこの補助容量電極17a'上にコンタクトホール18a'が形成され、ドレイン電極延長部16a'と副画素電極100aとが接続している。ドレイン電極延長部16b', 16c'は途中で接続して、補助容量配線14E'に至り、補助容量配線14E'と一体に形成された補助容量対向電極142'と絶縁層（不図示）を介して対向する部分が補助容量電極17b'として機能している。そしてこの補助容量電極17b'上にコンタクトホール18b'が形成され、ドレイン電極延長部16b', 16c'と副画素電極100bとが接続している。さらに、補助容量電極17b'からドレイン電極延長部16dが、補助容量配線14O'を越えて副画素電極100cに延出し、ここでコンタクトホール18c'によって副画素電極100cと接続している。

[0062] 各副画素電極の電圧制御を画素P(n, m)を例に説明すると、副画素電極101b, 101cには同じ実効電圧が印加される。加えて、前述するように、2つの補助容量配線14O, 14Eには、異なる補助容量対向電圧が供給されるので、副画素電極101aの実効電圧は副画素電極101b、101cの実効電圧よりも高くなり、副画素101－aの輝度は副画素101－b、101－cの輝度よりも高くなる。これにより、直線パターン画像を表示したときの不自然さをなくすことができるようになると共に、γ特性の視覚依

存性が改善される。

[0063] このような構造のアクティブマトリックス基板において、画素P(n, m)のTFT15において異物や膜残り等によるS－Dリークが生じ画素欠陥が発生した場合、隣接する画素P(n－1, m)から画素P(n, m)の副画素の一部にドレイン電圧を印加して修正を行う。

[0064] 図12に修正方法の一例を示す。図12に示す修正方法例は、上接する画素P(n－1, m)の副画素電極("明"電極)100aから欠陥画素P(n, m)の副画素電極101a、101cへドレイン電圧を印加して副画素を駆動させ、欠陥画素P(n, m)のもう一つの副画素101－bは放置し黒点化させるものである。具体的には以下のようにして修正を行う。

[0065] ドレイン電極延長部16a～16cのレーザ照射部5a～5cにレーザを照射して電極を切断し、欠陥が生じたTFT15と副画素電極101a～101cとを電気的に切り離す。同様に、ドレイン電極延長部16bとドレイン電極延長部16cとが接触している部分とコンタクトホール18bとの間のレーザ照射部5dに、レーザを照射して電極を切断し、ドレイン電極延長部16bとドレイン電極延長部16cとの通電を遮断する。次に、レーザ照射部5e～5gにレーザを照射し、絶縁層(不図示)を溶融させてドレイン電極延長部16a, 16cと修正用接続電極2c、およびデータ信号線13(m＋1)と修正用接続電極2cとを導通させる(図8を参照)。

[0066] そして、レーザ照射部5h, 5iにレーザを照射し、画素P(n－1, m)のドレイン電極延長部16a'と修正用接続電極2d、およびデータ信号線13(m＋1)と修正用接続電極2dとを導通させる。そして、レーザ照射部5j～5lにレーザを照射して、データ信号線13(m＋1)の一部をデータ信号線13(m＋1)から分離して迂回用配線として用いる。使用するレーザとしては前記例示したものがここでも使用できる。

[0067] 以上のようにして図12に示すような迂回路(図中の矢印)を形成することによって、画素P(n－1, m)の副画素電極101aに印加されるドレイン電圧が、欠陥画素P(n, m)の副画素電極101a, 101cにも印加される。これにより、副画素101－a, 101－cが副画素100－aと同じ表示動作を行い、且つその輝度もほぼ同じとなり表示品質が格段に改善される。

[0068] 図13に他の画素修正方法を示す。図13に示す修正方法は、図12の修正方法と同様に、画素P(n, m)のTFT部分においてS－Dリークが生じ画素欠陥が生じた場合の修正方法である。図12の修正方法と異なる点は、画素P(n－1, m)の副画素電極("暗"電極)100b, 100cから欠陥画素P(n, m)の副画素101a, 101cへドレイン電圧を印加する点である。

[0069] 具体的な修正手順は前記と同様であるので略説すると、画素P(n, m)のドレイン電極延長部16a～16cのレーザ照射部6a～6cにレーザを照射して電極を切断し、欠陥が生じたTFT15と副画素電極101a～101cとを電気的に切り離す。同様に、ドレイン電極延長部16bとドレイン電極延長部16cとが接触している部分とコンタクトホール18bとの間のレーザ照射部6dに、レーザを照射して電極を切断し、ドレイン電極延長部16bとドレイン電極延長部16cとの通電を遮断する。次に、レーザ照射部6e～6gにレーザを照射し、絶縁層(不図示)を溶融させてドレイン電極延長部16a, 16cと修正用接続電極2c、およびデータ信号線13(m＋1)と修正用接続電極2cとを導通させる(図8を参照)。

[0070] そして、レーザ照射部6h, 6iにレーザを照射し、画素P(n－1, m)のドレイン電極延長部16dと修正用接続電極2d、およびデータ信号線13(m＋1)と修正用接続電極2dとを導通させる。そして、レーザ照射部6j～6lにレーザを照射して、データ信号線13(m＋1)の一部をデータ信号線13(m＋1)から分離して迂回用配線として用いる。

[0071] このようにして図13に示す迂回路(図中の矢印)を形成することによって、画素P(n－1, m)の副画素電極100b, 100cに印加されるドレイン電圧が、欠陥画素P(n, m)の副画素電極101a, 101cにも印加され、副画素101－a, 101－cは副画素100－b, 100－cと同じ表示動作を行い、且つその輝度もほぼ同じとなる。これにより表示品質が改善される。なお、副画素が2つの場合と同様に副画素が3つの場合においても、欠陥画素の副画素電極に、隣接する画素の高実効電圧側のドレイン電圧を印加する方が、低実効電圧側のドレイン電圧を印加するよりも表示品質が高くなる。前述のように、基板に突起(識別表示)131を設け、どの副画素電極に最も高い実効電圧が印加されているか基板を見ることによってわかるようにしておくことが推奨され

る。

産業上の利用性

[0072] 本発明のアクティブマトリクス基板では、TFT部分におけるS－DリークやS－Gリークなどの欠陥に起因する画素欠陥に対して、開口率を減少させることなく、点欠陥となる画素を容易かつ確実に修正することができ、液晶表示装置の歩留りを向上させることができる。また本発明のアクティブマトリクス基板の画素欠陥修正方法では、画素欠陥が生じた画素のすべての副画素を修正する場合に比べ表示品質が向上させることができる。

請求の範囲

[1] 基板上に形成された複数本の走査信号線及びデータ信号線と、

これらの信号線の交点に設けられ、ゲート電極が走査信号線に接続され、ソース電極がデータ信号線に接続された薄膜トランジスタと、

該薄膜トランジスタのドレイン電極又はドレイン引出配線に接続された画素電極とを備えるアクティブマトリクス基板であって、

前記画素電極は異なる電圧を印加できる2以上の副画素電極を有し、

前記データ信号線は少なくとも部分的に複線化された構造を有し、

前記走査信号線を含む層に修正用接続電極を設け、

前記修正用接続電極の一部がデータ信号線と絶縁層を介して重畳し、さらに他の一部がドレイン電極又はドレイン引出配線と絶縁層を介して重畳していることを特徴とするアクティブマトリクス基板。

[2] 前記の2以上の副画素電極の中で最も高い実効電圧が印加される副画素電極を識別するための識別表示を、複線化されたデータ信号線で囲まれた領域内の、前記走査信号線又は前記データ信号線に形成した請求項1記載のアクティブマトリックス基板。

[3] 前記識別表示が、走査信号線又はデータ信号線から同一平面上で延出した突起である請求項2記載のアクティブマトリックス基板。

[4] 請求項1～3のいずれかに記載のアクティブマトリクス基板で生じた画素欠陥を修正する画素欠陥修正方法であって、

画素欠陥が生じた画素の少なくとも1つの副画素電極と、この画素に隣接する画素の副画素電極とを、前記データ信号線と前記修正用接続電極を介して導通させて略同電位にすると共に、画素欠陥が生じた画素の他の副画素は黒点化することを特徴とするアクティブマトリクス基板の画素欠陥修正方法。

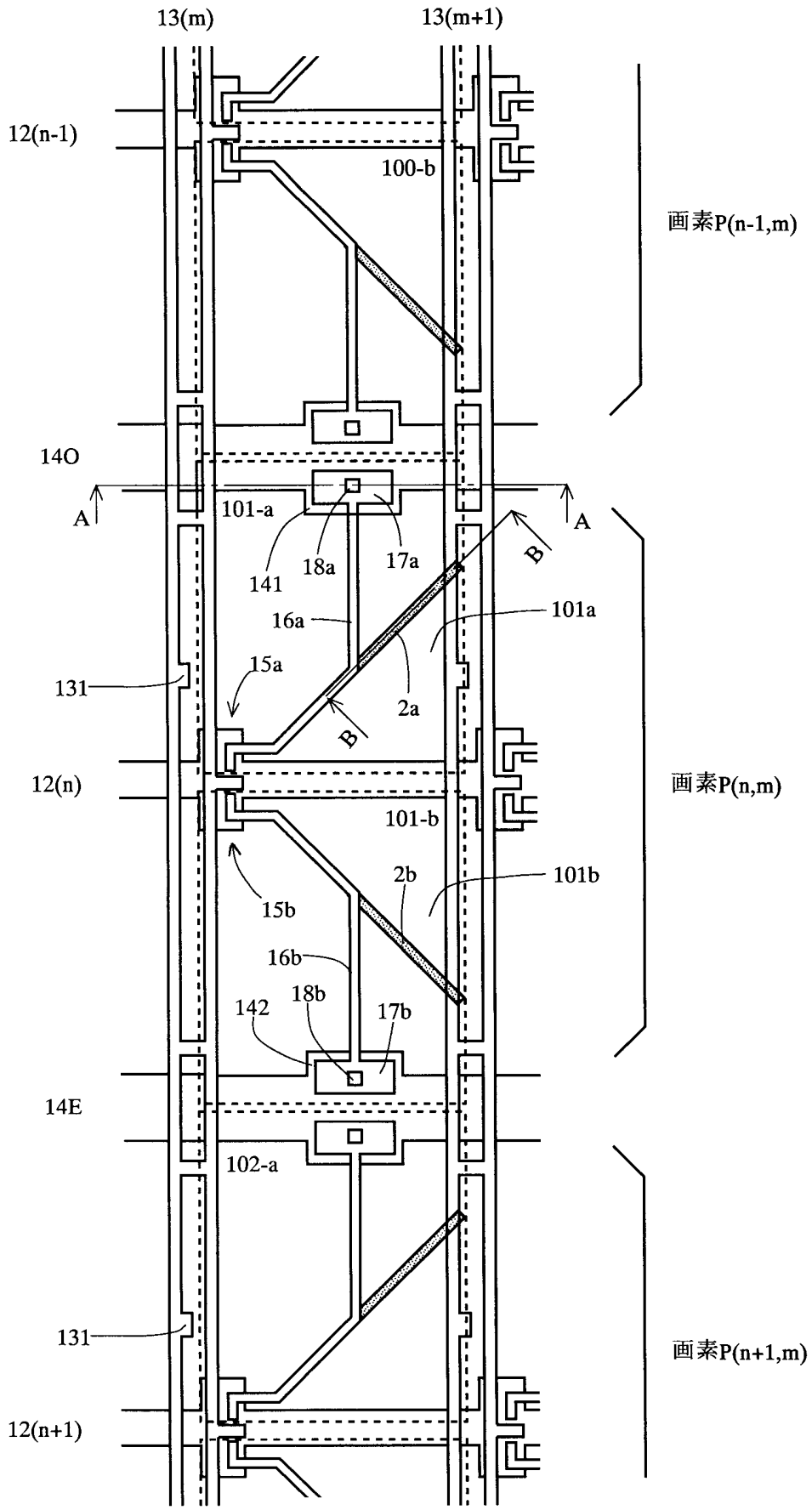
[5] 画素欠陥が生じた画素の少なくとも1つの副画素電極と、この画素に隣接する画素の最も高い実効電圧が印加される副画素電極とを導通させて略同電位にする請求項4記載のアクティブマトリクス基板の画素欠陥修正方法。

[6] 修正用接続電極とデータ信号線とが重畳する領域、及び、修正用接続電極とドレイ

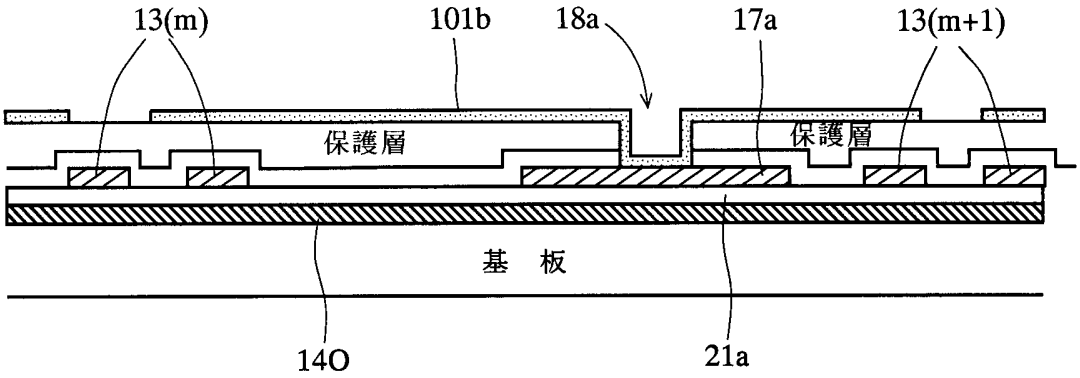
ン電極又はドレイン引出配線とが重畳する領域をレーザ照射により溶融させて導通させる請求項4又は5記載のアクティブマトリクス基板の画素欠陥修正方法。

[7] 修正用接続電極と導通させたデータ信号線の一部を他のデータ信号線から分離する工程を含む請求項4～6のいずれかに記載のアクティブマトリクス基板の画素欠陥修正方法。

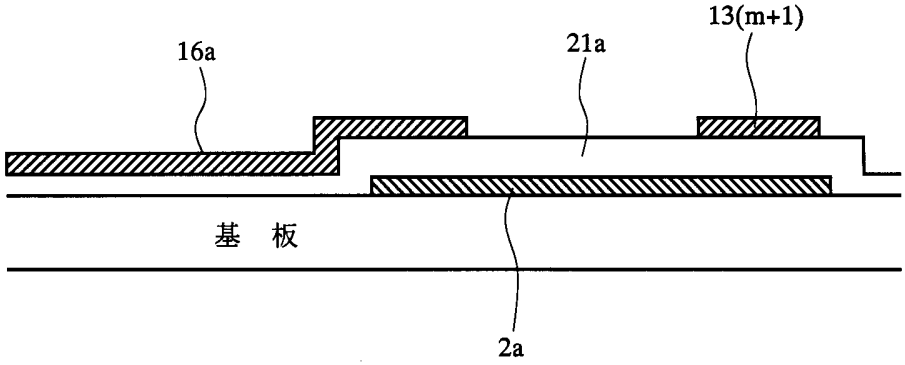
[図1]


13(m)
13(m+1)
12(n-1)
100-b
画素P(n-1,m)
14O
A
A
101-a
141
18a
17a
B
B
16a
101a
15a
131
2a
12(n)
画素P(n,m)
101-b
2b
101b
15b
16b
18b
142
17b
14E
102-a
131
画素P(n+1,m)
12(n+1)

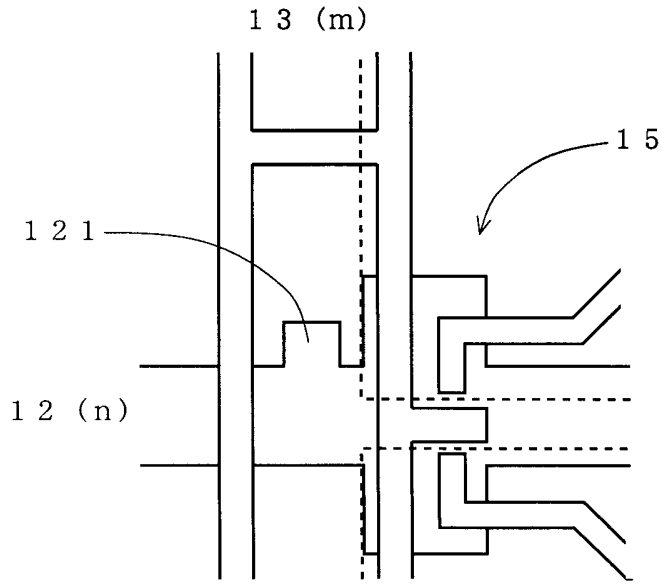
[図2]


13(m)
101b
18a
17a
13(m+1)
保護層
保護層
基　板
140
21a

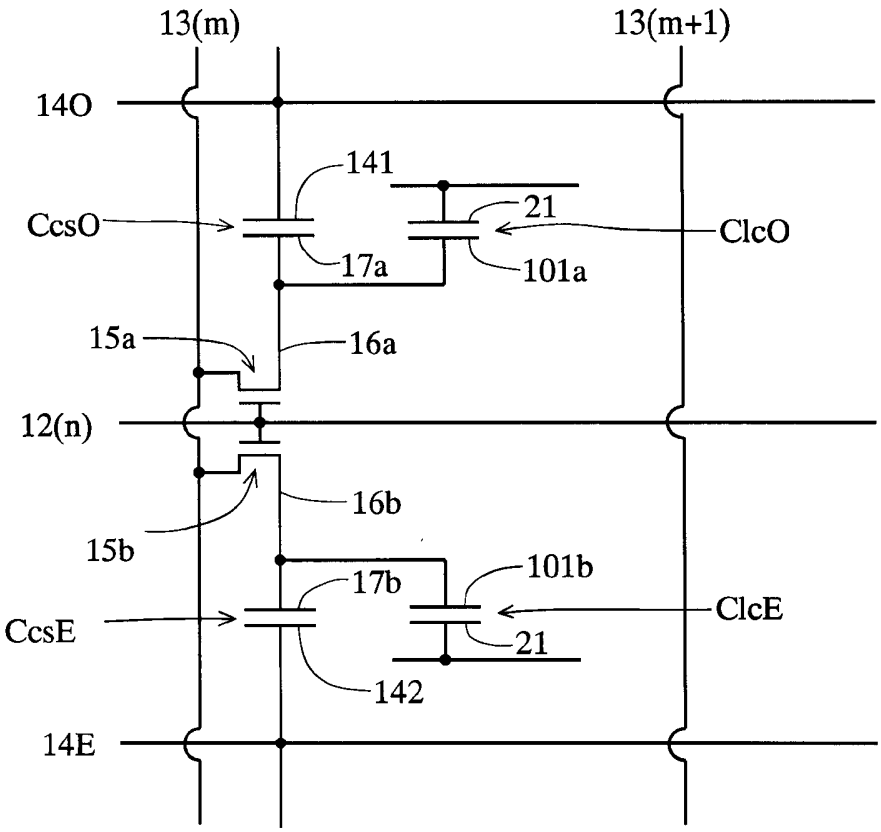
[図3]


16a
21a
13(m+1)
基　板
2a

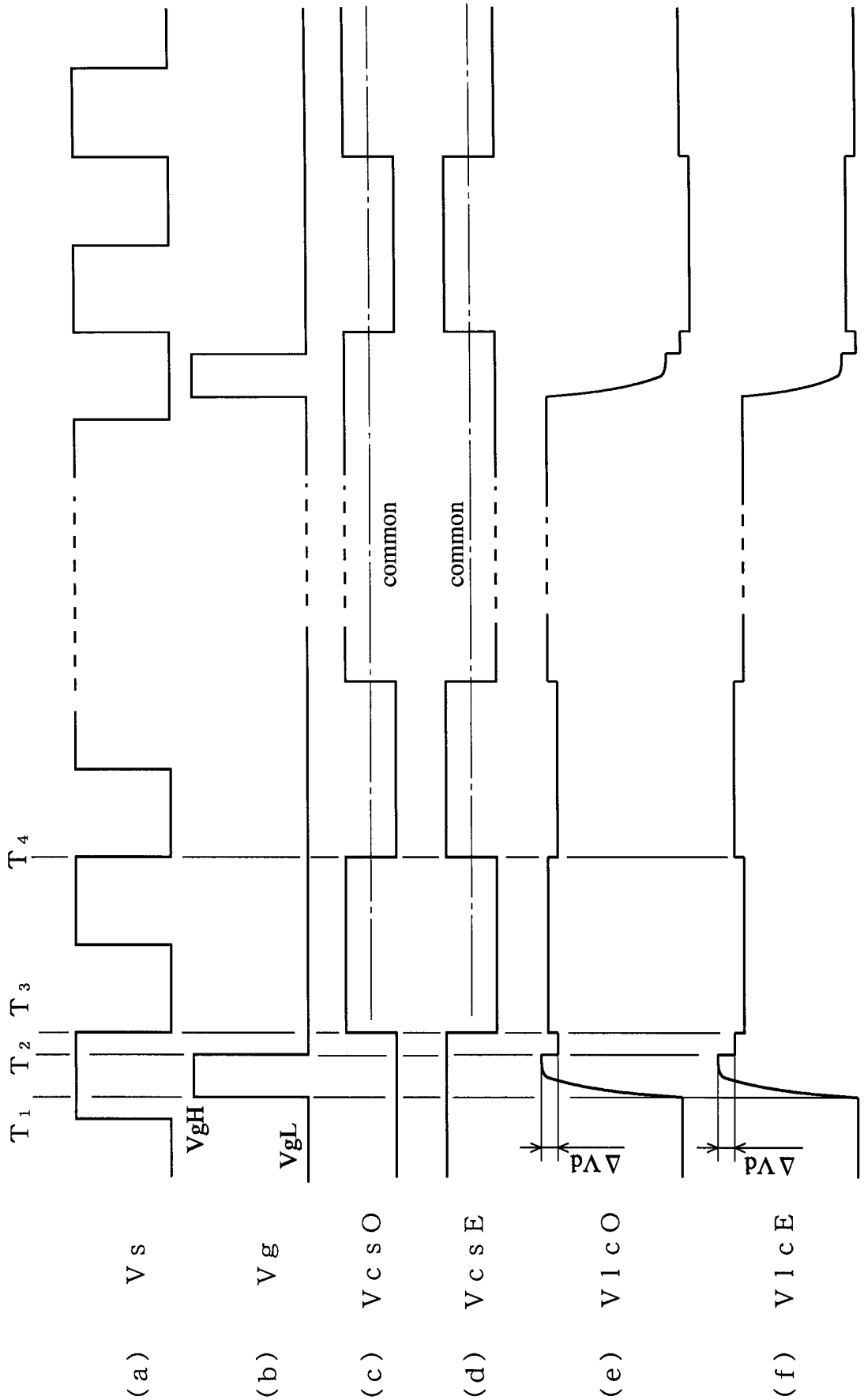
[図4]


１３（m）
１５
１２１
１２（n）

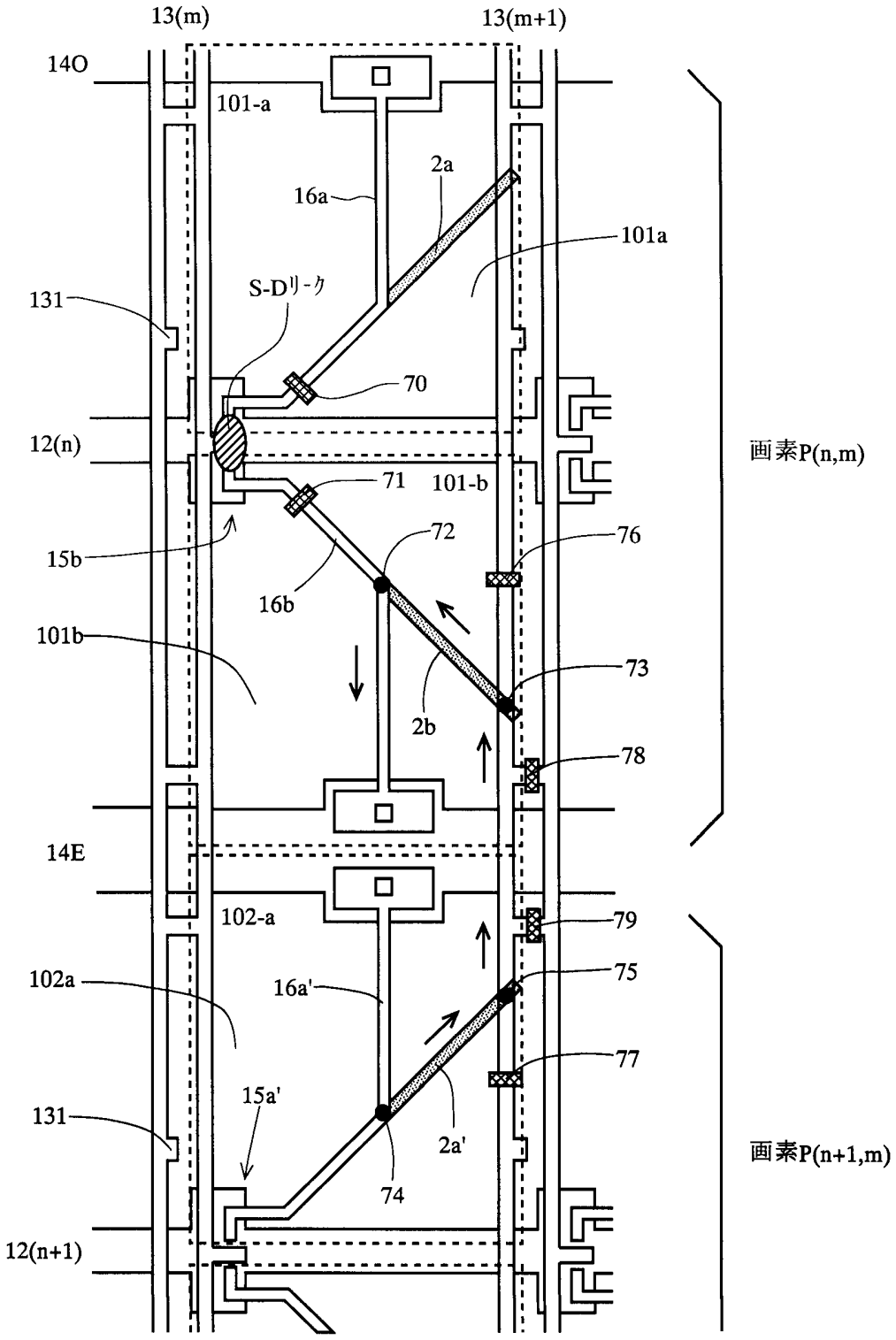
[図5]


13(m)
13(m+1)
14O
141
CcsO
21
ClcO
17a
101a
15a
16a
12(n)
16b
15b
101b
17b
CcsE
ClcE
21
142
14E

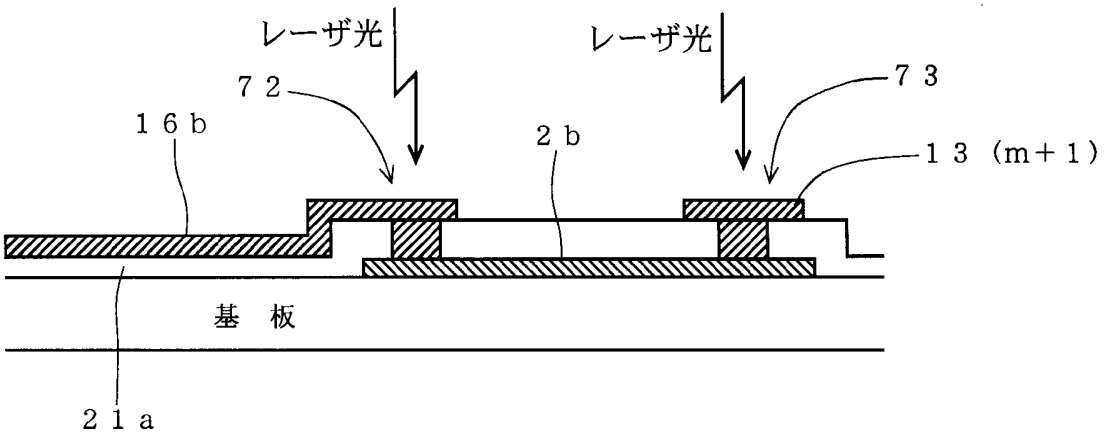
[図6]


T1
T2
T3
T4
VgH
VgL
common
common
ΔVd
ΔVd
(a) Vs
(b) Vg
(c) VcsO
(d) VcsE
(e) VlcO
(f) VlcE

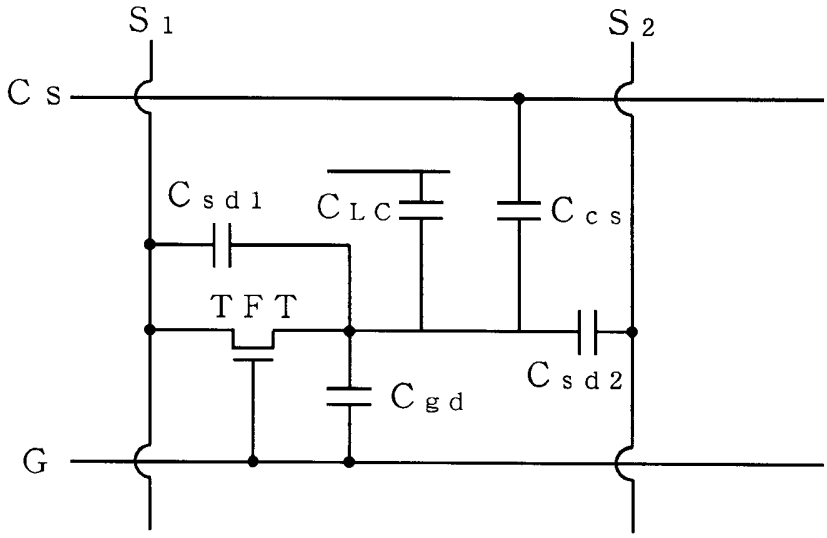
[図7]


13(m)
13(m+1)
14O
101-a
2a
16a
101a
S-Dリーク
131
70
12(n)
71
101-b
画素P(n,m)
15b
72
76
16b
101b
73
2b
78
14E
102-a
79
102a
16a'
75
77
15a'
131
2a'
画素P(n+1,m)
74
12(n+1)

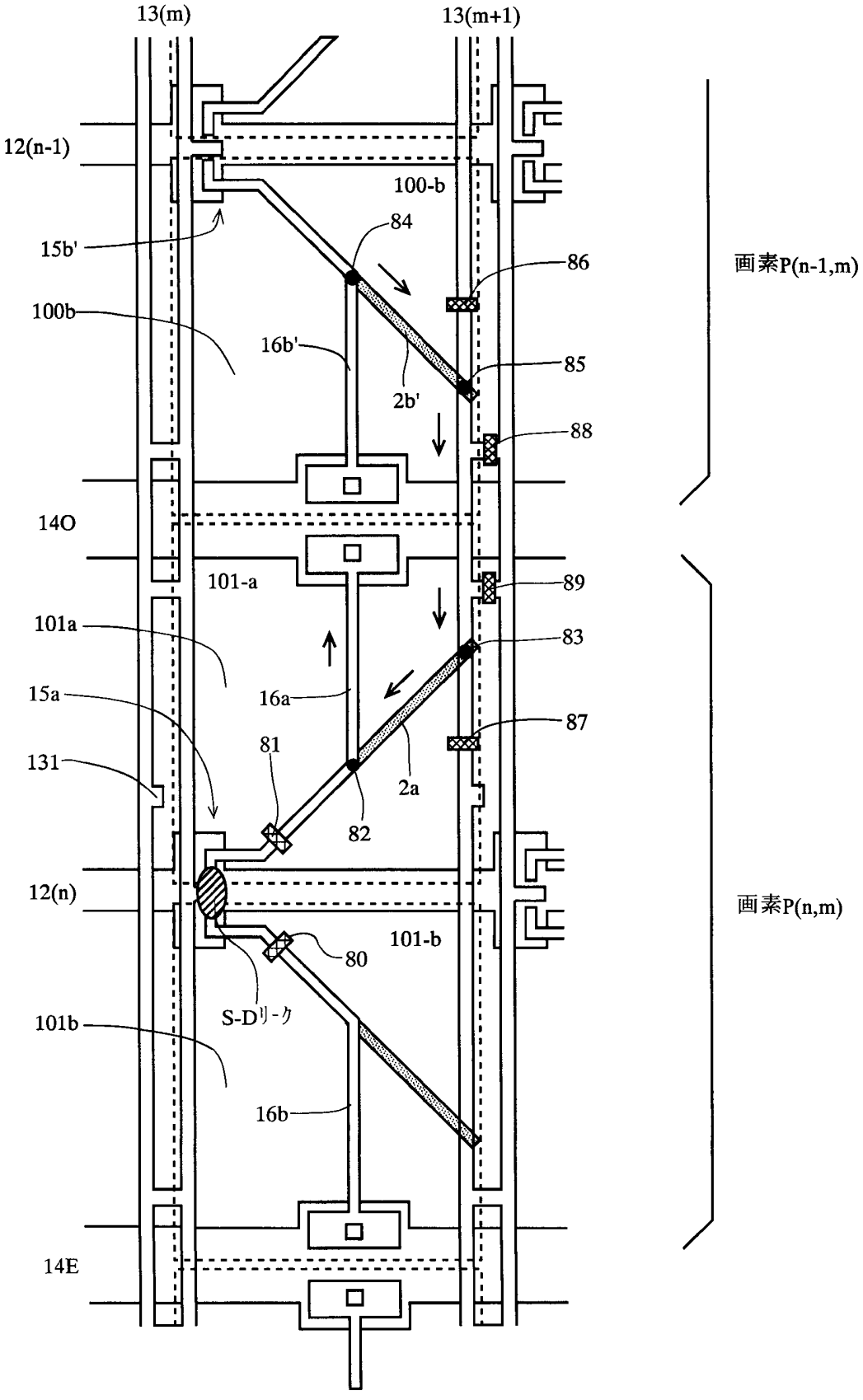
[図8]


レーザ光
レーザ光
７２
７３
１６ｂ
２ｂ
１３（ｍ＋１）
基　板
２１ａ

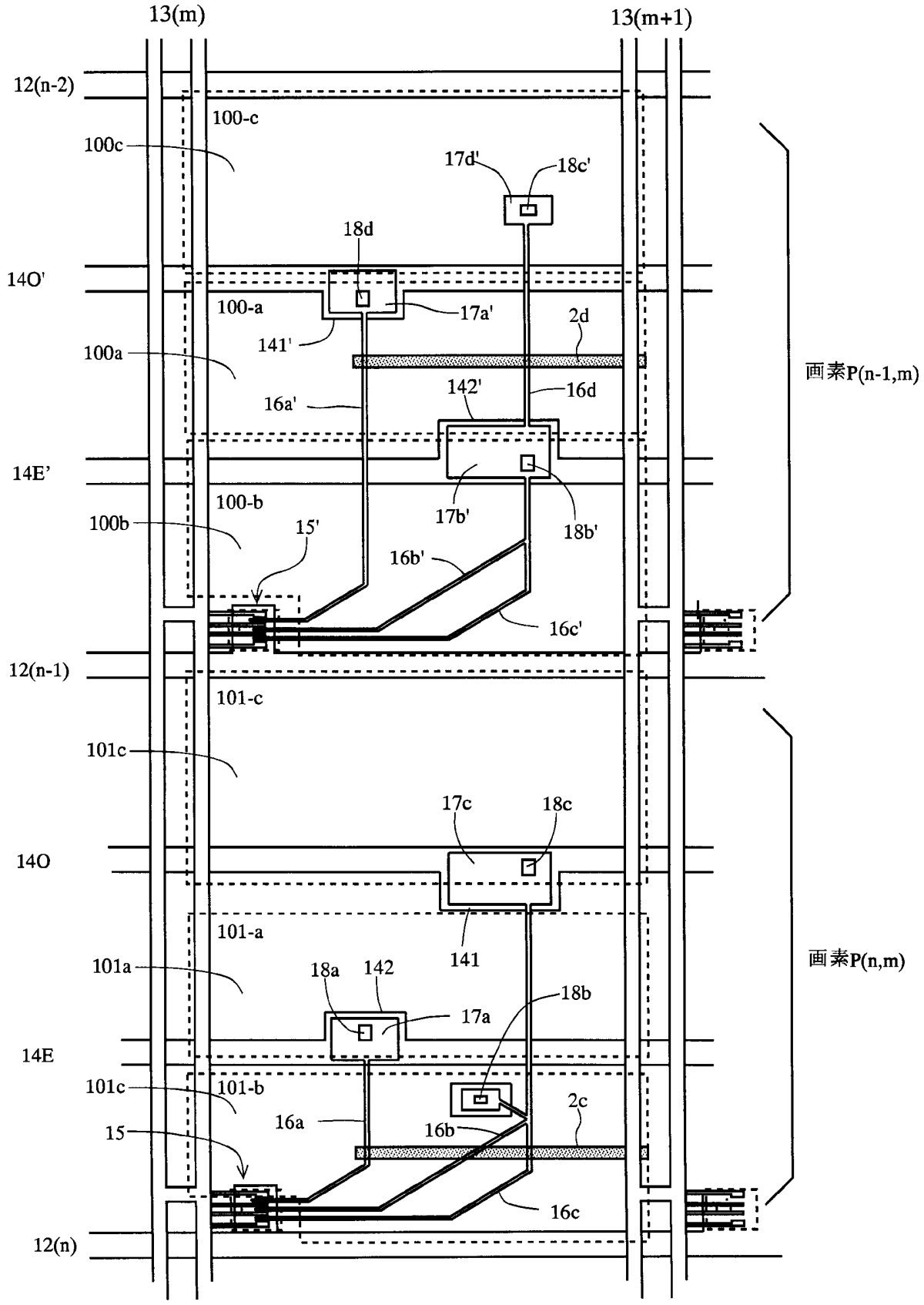
[図9]


Ｓ１
Ｓ２
Ｃｓ
Ｃｓｄ１
ＣＬＣ
Ｃｃｓ
ＴＦＴ
Ｃｇｄ
Ｃｓｄ２
Ｇ

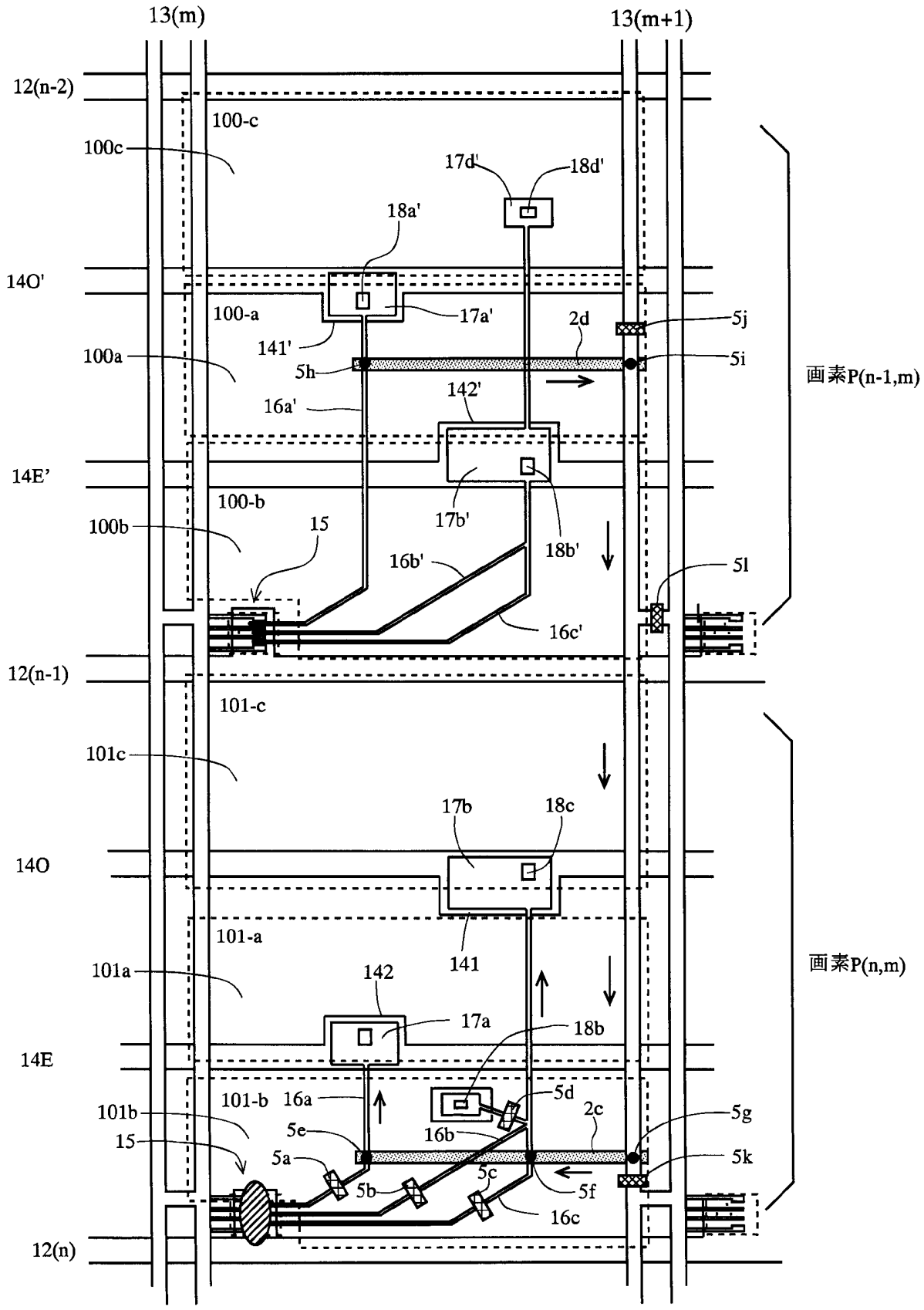
[図10]


13(m)
13(m+1)
12(n-1)
100-b
84
15b'
86
画素P(n-1,m)
100b
16b'
85
2b'
88
14O
101-a
89
101a
83
16a
15a
87
81
131
2a
82
12(n)
画素P(n,m)
101-b
80
S-Dリーク
101b
16b
14E

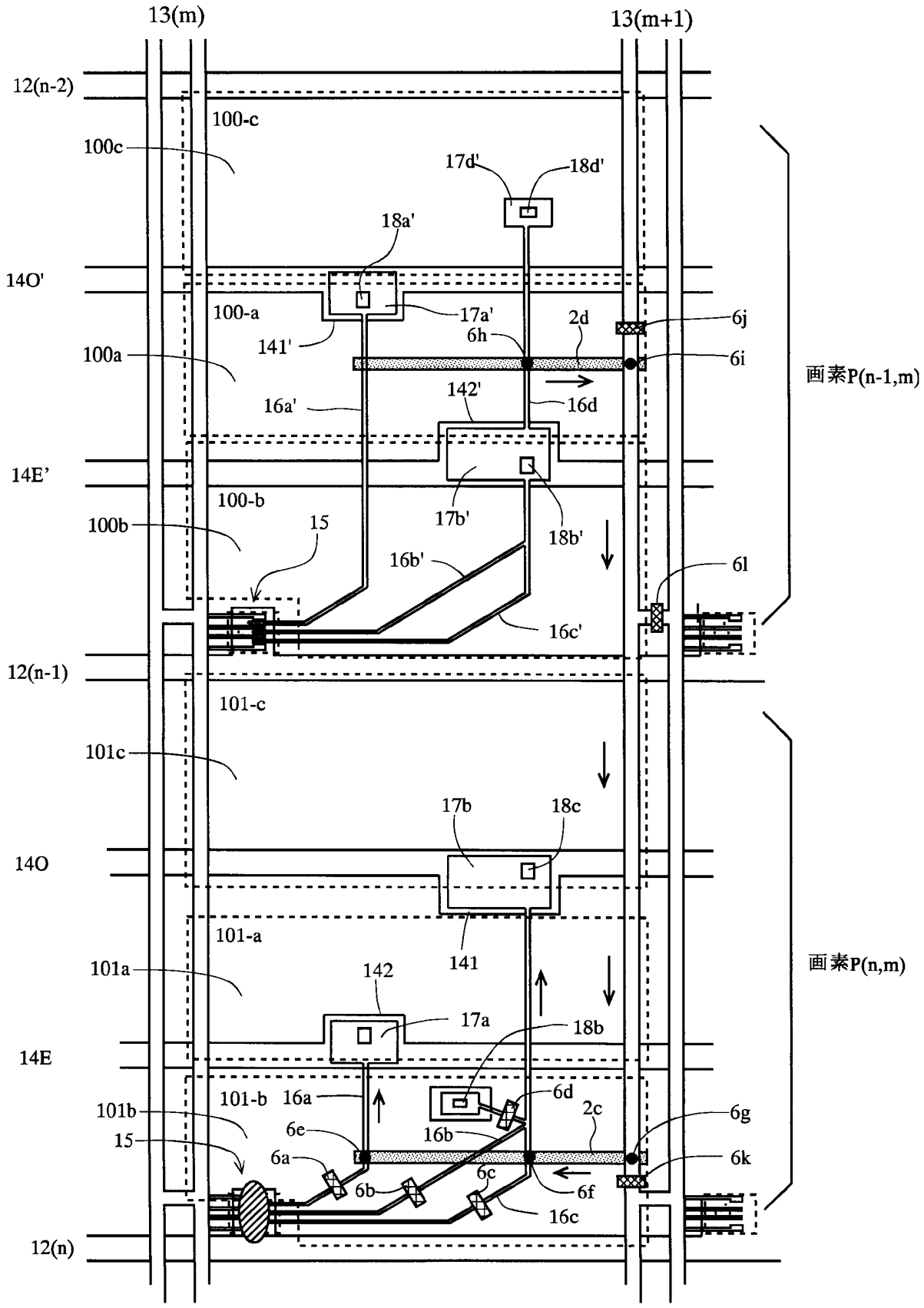
[図11]


13(m)
13(m+1)
12(n-2)
100-c
100c
17d'
18c'
18d
14O'
100-a
17a'
2d
141'
100a
画素P(n-1,m)
142'
16d
16a'
14E'
100-b
17b'
18b'
100b
15'
16b'
16c'
12(n-1)
101-c
101c
17c
18c
14O
101-a
141
画素P(n,m)
101a
18a
142
18b
17a
14E
101c
101-b
2c
16a
16b
15
16c
12(n)

[図12]


13(m)
13(m+1)
12(n-2)
100-c
100c
17d'
18d'
18a'
14O'
100-a
17a'
2d
5j
141'
100a
5h
5i
画素P(n-1,m)
142'
16a'
14E'
100-b
17b'
18b'
100b
15
16b'
5l
16c'
12(n-1)
101-c
101c
17b
18c
14O
101-a
141
画素P(n,m)
101a
142
17a
18b
14E
101-b
16a
5d
101b
2c
5g
5e
16b
15
5a
5c
5k
5b
5f
16c
12(n)

[図13]


13(m)
13(m+1)
12(n-2)
100-c
100c
17d'
18d'
18a'
14O'
100-a
17a'
2d
6j
141'
6h
100a
6i
画素P(n-1,m)
142'
16a'
16d
14E'
100-b
17b'
18b'
100b
15
16b'
6l
16c'
12(n-1)
101-c
101c
17b
18c
14O
101-a
141
101a
142
17a
18b
画素P(n,m)
14E
101-b
16a
6d
2c
6g
101b
6e
16b
15
6a
6k
6c
6b
6f
16c
12(n)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/302990

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1368(2006.01), ***G02F1/13***(2006.01), ***G02F1/1343***(2006.01), ***H01L29/786***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1368(2006.01), ***G02F1/13***(2006.01), ***G02F1/1343***(2006.01), ***H01L29/786***(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-242306 A (Sharp Corp.), 08 September, 2005 (08.09.05), Examples 13, 14; Figs. 11-1, 12-1 & US 2005/162599 A1 & CN 1648757 A	1-7
A	JP 2002-55361 A (Sharp Corp.), 20 February, 2002 (20.02.02), Full text; all drawings & US 2001/052889 A1 & KR 2002/014988 A & CN 1327167 A	1-7
A	JP 10-133228 A (Sharp Corp.), 22 May, 1998 (22.05.98), Full text; all drawings & US 5946063 A & KR 98/032795 A	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 March, 2006 (20.03.06)	04 April, 2006 (04.04.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/302990

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-90318 A (Sharp Corp.), 04 April, 1997 (04.04.97), Full text; all drawings & US 6175393 B1 & EP 766118 A2 & EP 766118 A3 & KR 97/017100 A & TW 489233 A	1-7
A	JP 4-347821 A (International Business Machines Corp.), 03 December, 1992 (03.12.92), Example 3; Fig. 2 & US 5337173 A & EP 514029 A2 & BR 92/01561 A	1-7
A	JP 5-27262 A (Toshiba Corp.), 05 February, 1993 (05.02.93), Full text; all drawings & US 5289174 A & EP 524766 A2 & DE 69214372 C & KR 128366 B	1-7
A	JP 11-84421 A (Sharp Corp.), 26 March, 1999 (26.03.99), Example 2; Figs. 9 to 10 (Family: none)	1-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３０２９９０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G02F1/1368(2006.01)，G02F1/13(2006.01)，G02F1/1343(2006.01)，H01L29/786(2006.01)*

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　*G02F1/1368(2006.01)，G02F1/13(2006.01)，G02F1/1343(2006.01)，H01L29/786(2006.01)*

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２００５－２４２３０６　Ａ（シャープ株式会社）２００５．０９．０８，実施例１３，実施例１４，図１１－１，図１２－１　＆　ＵＳ　２００５／１６２５９９　Ａ１　＆　ＣＮ　１６４８７５７　Ａ	１－７
Ａ	ＪＰ　２００２－５５３６１　Ａ（シャープ株式会社）２００２．０２．２０，全文，全図　＆　ＵＳ　２００１／０５２８８９　Ａ１　＆　ＫＲ　２００２／０１４９８８　Ａ　＆　ＣＮ　１３２７１６７　Ａ	１－７

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２０．０３．２００６	国際調査報告の発送日 ０４．０４．２００６
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｌ　３０１４ 藤田　都志行 電話番号　０３－３５８１－１１０１　内線　３２９５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　１０－１３３２２８　Ａ（シャープ株式会社）１９９８．０５．２２，全文，全図　＆　ＵＳ　５９４６０６３　Ａ　＆　ＫＲ　９８／０３２７９５　Ａ	１－７
Ａ	ＪＰ　９－９０３１８　Ａ（シャープ株式会社）１９９７．０４．０４，全文，全図　＆　ＵＳ　６１７５３９３　Ｂ１　＆　ＥＰ　７６６１１８　Ａ２　＆　ＥＰ　７６６１１８　Ａ３　＆　ＫＲ　９７／０１７１００　Ａ　＆　ＴＷ　４８９２３３　Ａ	１－７
Ａ	ＪＰ　４－３４７８２１　Ａ（インターナショナル・ビジネス・マシーンズ・コーポレイション）１９９２．１２．０３，実施例３，図２　＆　ＵＳ　５３３７１７３　Ａ　＆　ＥＰ　５１４０２９　Ａ２　＆　ＢＲ　９２／０１５６１　Ａ	１－７
Ａ	ＪＰ　５－２７２６２　Ａ（株式会社東芝）１９９３．０２．０５，全文，全図　＆　ＵＳ　５２８９１７４　Ａ　＆　ＥＰ　５２４７６６　Ａ２　＆　ＤＥ　６９２１４３７２　Ｃ　＆　ＫＲ　１２８３６６　Ｂ	１－７
Ａ	ＪＰ　１１－８４４２１　Ａ（シャープ株式会社）１９９９．０３．２６，実施例２，図９－１０（ファミリーなし）	１－７