



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0070742
(43) 공개일자 2015년06월25일

(51) 국제특허분류(Int. Cl.)

H03M 13/09 (2015.01)

(21) 출원번호 10-2013-0157309

(22) 출원일자 2013년12월17일

심사청구일자 2013년12월17일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

김지훈

경기 성남시 분당구 정자로 2, 1차 2204호 (정자동, 푸르지오시티)

김혜지

대전 대덕구 대전로1397번안길 13-7, (읍내동)

(74) 대리인

권혁수, 송윤호

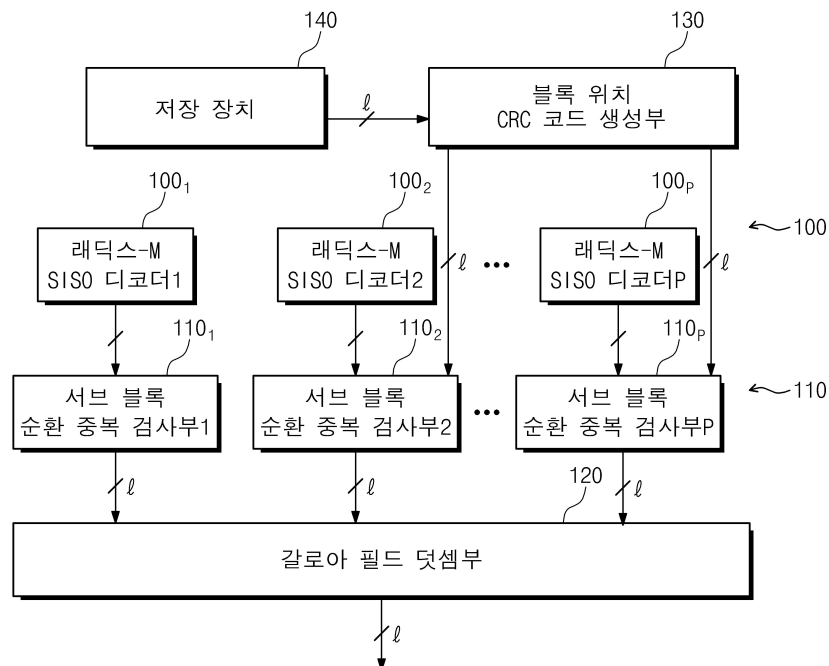
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 순환 중복 검사 장치 및 방법

(57) 요약

본 발명은 순환 중복 검사 장치 및 방법에 관한 것이다. 본 발명의 일 실시예에 따른 순환 중복 검사 장치는, 트랜스포트 블록을 분할한 서브 블록을 디코딩하는 하이-래디스(high-radix) 병렬 디코더로부터 복수의 비트 시퀀스를 입력받아 순환 중복 검사하는 다수의 서브 블록 순환 중복 검사부; 및 상기 다수의 서브 블록 순환 중복 (뒷면에 계속)

대표도 - 도1



검사부로부터 출력된 코드들을 갈로아 필드(Galois Field) 덧셈하는 갈로아 필드 덧셈부를 포함하며, 각각의 서브 블록 순환 중복 검사부는: 상기 복수의 비트 시퀀스를 각각 CRC(Cyclic Redundancy Check) 연산하고, 상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력하는 제 1 CRC 연산부; 상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력하는 제 2 CRC 연산부; 및 상기 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 블록 위치 CRC 코드를 상기 제 2 코드와 갈로아 필드 곱셈하여 제 3 코드를 출력하는 갈로아 필드 곱셈부;를 포함할 수 있다.

명세서

청구범위

청구항 1

트랜스포트 블록을 분할한 서브 블록을 디코딩하는 하이-래디스(high-radix) 병렬 디코더로부터 복수의 비트 시퀀스를 입력받아 순환 중복 검사하는 다수의 서브 블록 순환 중복 검사부; 및

상기 다수의 서브 블록 순환 중복 검사부로부터 출력된 코드들을 갈로아 필드(Galois Field) 덧셈하는 갈로아 필드 덧셈부를 포함하며,

각각의 서브 블록 순환 중복 검사부는:

상기 복수의 비트 시퀀스를 각각 CRC(Cyclic Redundancy Check) 연산하고, 상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력하는 제 1 CRC 연산부;

상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력하는 제 2 CRC 연산부; 및

상기 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 블록 위치 CRC 코드를 상기 제 2 코드와 갈로아 필드 곱셈하여 제 3 코드를 출력하는 갈로아 필드 곱셈부;

를 포함하는 순환 중복 검사 장치.

청구항 2

제 1 항에 있어서,

상기 서브 블록 순환 중복 검사부는, 래디스-4 병렬 디코더로부터 두 개의 비트 시퀀스를 입력받는 순환 중복 검사 장치.

청구항 3

제 1 항에 있어서,

상기 순환 중복 검사 장치는, 상기 트랜스포트 블록의 크기에 따라 상이한 CRC 발생 코드를 적용하는 순환 중복 검사 장치.

청구항 4

제 1 항에 있어서,

비트 수가 상기 서브 블록의 크기에 1을 합한 값과 같으며, 최상위 비트가 1이고, 나머지 비트들이 0인 기준 블록 위치 코드를 CRC 연산하여 얻은 기준 블록 위치 CRC 코드를 저장 장치로부터 불러오고, 상기 트랜스포트 블록 내 해당 서브 블록의 순번에서 1을 뺀 개수의 상기 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈하여 해당 서브 블록의 블록 위치 CRC 코드를 생성하는 블록 위치 CRC 코드 생성부;

를 더 포함하는 순환 중복 검사 장치.

청구항 5

트랜스포트 블록을 분할한 서브 블록을 디코딩하는 하이-래디스 병렬 디코더로부터 복수의 비트 시퀀스를 입력받는 단계;

상기 복수의 비트 시퀀스를 각각 CRC 연산하는 단계;

상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력하는 단계;

상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력하는 단계;

상기 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 블록 위치

CRC 코드를 상기 제 2 코드와 갈로아 필드 곱셈하여 제 3 코드를 출력하는 단계; 및
다수의 서브 블록에 대한 제 3 코드들을 갈로아 필드 덧셈하는 단계;
를 포함하는 순환 중복 검사 방법.

청구항 6

제 5 항에 있어서,
비트 수가 상기 서브 블록의 크기에 1을 합한 값과 같으며, 최상위 비트가 1이고, 나머지 비트들이 0인 기준 블록 위치 코드를 CRC 연산하여 얻은 기준 블록 위치 CRC 코드를 저장 장치로부터 불러오는 단계; 및
상기 트랜스포트 블록 내 해당 서브 블록의 순번에서 1을 뺀 개수의 상기 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈하여 해당 서브 블록의 상기 블록 위치 CRC 코드를 생성하는 단계;
를 더 포함하는 순환 중복 검사 방법.

발명의 설명

기술 분야

[0001] 본 발명은 순환 중복 검사 장치 및 방법에 관한 것이다.

배경 기술

[0002] 순환 중복 검사(cyclic redundancy check, CRC) 방식은 데이터 전송 과정에서 발생하는 에러를 검출하기 위해 순환 2진 코드를 사용하는 방식이다. CRC 방식은 송신 측에서 데이터를 블록 단위로 나누고, 각 블록 뒤에 소정의 다항식에 의한 연산으로 얻어진 순환 부호를 여분으로 부가하여 전송한다. 이에 대해, 수신 측은 수신된 데이터를 송신 측과 동일한 다항식으로 연산하여 송신 측과 동일한 순환 부호가 얻어지는지 여부로 전송 에러의 유무를 검사한다.

[0003] 종래의 순환 중복 검사 장치는 CRC 방식의 직렬 특성으로 인해 검사에 걸리는 시간이 매우 길어져 데이터 처리량을 저하시키는 문제가 있었다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 검사에 걸리는 시간을 단축시켜 데이터 처리량과 에너지 효율을 늘릴 수 있는 순환 중복 검사 장치 및 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 순환 중복 검사 장치는, 트랜스포트 블록을 분할한 서브 블록을 디코딩하는 하이-래디스(high-radix) 병렬 디코더로부터 복수의 비트 시퀀스를 입력받아 순환 중복 검사하는 다수의 서브 블록 순환 중복 검사부; 및 상기 다수의 서브 블록 순환 중복 검사부로부터 출력된 코드들을 갈로아 필드(Galois Field) 덧셈하는 갈로아 필드 덧셈부를 포함하며, 각각의 서브 블록 순환 중복 검사부는: 상기 복수의 비트 시퀀스를 각각 CRC(Cyclic Redundancy Check) 연산하고, 상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력하는 제 1 CRC 연산부; 상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력하는 제 2 CRC 연산부; 및 상기 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 블록 위치 CRC 코드를 상기 제 2 코드와 갈로아 필드 곱셈하여 제 3 코드를 출력하는 갈로아 필드 곱셈부;를 포함할 수 있다.

[0006] 상기 서브 블록 순환 중복 검사부는, 래디스-4 병렬 디코더로부터 두 개의 비트 시퀀스를 입력받을 수 있다.

[0007] 상기 순환 중복 검사 장치는, 상기 트랜스포트 블록의 크기에 따라 상이한 CRC 발생 코드를 적용할 수 있다.

[0008] 상기 순환 중복 검사 장치는, 비트 수가 상기 서브 블록의 크기에 1을 합한 값과 같으며, 최상위 비트가 1이고, 나머지 비트들이 0인 기준 블록 위치 코드를 CRC 연산하여 얻은 기준 블록 위치 CRC 코드를 저장 장치로부터 불러

러오고, 상기 트랜스포트 블록 내 해당 서브 블록의 순번에서 1을 뺀 개수의 상기 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈하여 해당 서브 블록의 블록 위치 CRC 코드를 생성하는 블록 위치 CRC 코드 생성부;를 더 포함할 수 있다.

[0009] 본 발명의 일 실시예에 따른 순환 중복 검사 방법은, 트랜스포트 블록을 분할한 서브 블록을 디코딩하는 하이-래딕스 병렬 디코더로부터 복수의 비트 시퀀스를 입력받는 단계; 상기 복수의 비트 시퀀스를 각각 CRC 연산하는 단계; 상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력하는 단계; 상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력하는 단계; 상기 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 블록 위치 CRC 코드를 상기 제 2 코드와 갈로아 필드 곱셈하여 제 3 코드를 출력하는 단계; 및 다수의 서브 블록에 대한 제 3 코드들을 갈로아 필드 덧셈하는 단계;를 포함할 수 있다.

[0010] 상기 순환 중복 검사 방법은, 비트 수가 상기 서브 블록의 크기에 1을 합한 값과 같으며, 최상위 비트가 1이고, 나머지 비트들이 0인 기준 블록 위치 코드를 CRC 연산하여 얻은 기준 블록 위치 CRC 코드를 저장 장치로부터 불러오는 단계; 및 상기 트랜스포트 블록 내 해당 서브 블록의 순번에서 1을 뺀 개수의 상기 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈하여 해당 서브 블록의 상기 블록 위치 CRC 코드를 생성하는 단계;를 더 포함할 수 있다.

발명의 효과

[0011] 본 발명의 실시예에 따르면, 순환 중복 검사에 걸리는 시간이 단축되어 데이터 처리량과 에너지 효율을 증가시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 순환 중복 검사 장치를 예시적으로 나타내는 블록도다.

도 2는 본 발명의 일 실시예에 따른 단일 서브 블록 순환 중복 검사부를 예시적으로 나타내는 블록도다.

도 3은 본 발명의 일 실시예에 따라 검사되는 데이터의 일 예를 나타낸다.

도 4는 본 발명의 일 실시예에 따라 제 1 및 제 2 CRC 연산부가 서브 블록 2를 처리하는 과정을 설명하기 위한 예시적인 도면이다.

도 5는 본 발명의 일 실시예에 따라 블록 위치 CRC 코드 생성부가 서브 블록의 블록 위치 CRC 코드를 생성하는 과정을 설명하기 위한 예시적인 도면이다.

도 6은 본 발명의 일 실시예에 따라 갈로아 필드 곱셈부가 서브 블록 2를 처리하는 과정을 설명하기 위한 예시적인 도면이다.

도 7은 본 발명의 일 실시예에 따른 순환 중복 검사 방법을 설명하기 위한 예시적인 흐름도다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 명세서에 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

[0014] 도 1은 본 발명의 일 실시예에 따른 순환 중복 검사 장치(10)를 예시적으로 나타내는 블록도다.

[0015] 도 1에 도시된 바와 같이, 상기 순환 중복 검사 장치(10)는 다수의 서브 블록 순환 중복 검사부(110) 및 갈로아 필드 덧셈부(120)를 포함할 수 있다.

[0016] 상기 서브 블록 순환 중복 검사부(110)는 트랜스포트 블록을 분할한 서브 블록들을 순환 중복 검사한다. 상기 트랜스포트 블록은 다수의 서브 블록으로 분할되어 병렬 디코더(100), 예컨대 터보 디코더(turbo decoder)에서 병렬적으로 디코딩된다. 즉, 상기 병렬 디코더(100)는 상기 다수의 서브 블록을 동시에 디코딩할 수 있다.

[0017] 일 실시예에 따르면, 상기 서브 블록 순환 중복 검사부(110)는 하이-래딕스(high-radix) 병렬 디코더(100)로부터 복수의 비트 시퀀스를 입력받아 순환 중복 검사할 수 있다.

[0018] 상기 하이-래딕스 병렬 디코더(100)는 수신된 데이터를 디코딩하여 다수의 비트 시퀀스를 동시에 출력한다. 래딕스-M 병렬 디코더는 $\log_2 M$ 개의 비트 시퀀스를 동시에 출력한다. 예를 들어, 래딕스-4 병렬 디코더는 2 개의

비트 시퀀스를 동시에 출력하고, 래딕스-16 병렬 디코더는 4 개의 비트 시퀀스를 동시에 출력한다. 그 결과, 상기 서브 블록 순환 중복 검사부(110)는 상기 래딕스-M 병렬 디코더(100)로부터 $\log_2 M$ 개의 비트 시퀀스를 입력받아 순환 중복 검사를 할 수 있다.

- [0019] 상기 갈로아 필드 덧셈부(120)는 다수의 서브 블록 순환 중복 검사부(110)로부터 출력된 코드들을 갈로아 필드(Galois Field) 덧셈한다. 일 실시예에 따르면, 상기 갈로아 필드 덧셈부(120)는 XOR 게이트를 이용하여 구현될 수 있다.
- [0020] 도 2는 본 발명의 일 실시예에 따른 단일 서브 블록 순환 중복 검사부를 예시적으로 나타내는 블록도다.
- [0021] 도 2에 도시된 바와 같이, 각각의 서브 블록 순환 중복 검사부는 제 1 CRC 연산부(1101), 제 2 CRC 연산부(1102) 및 갈로아 필드 곱셈부(1103)를 포함할 수 있다.
- [0022] 상기 제 1 CRC 연산부(1101)는 입력받은 복수의 비트 시퀀스를 각각 CRC 연산하고, 상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력할 수 있다.
- [0023] 상기 제 2 CRC 연산부(1102)는 상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력할 수 있다.
- [0024] 상기 갈로아 필드 곱셈부(1103)는 상기 제 2 코드와 블록 위치 CRC 코드를 갈로아 필드 곱셈하여 제 3 코드를 출력할 수 있다. 상기 블록 위치 CRC 코드는 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 코드다.
- [0025] 도 1 및 도 2에 도시된 실시예에서, 상기 서브 블록 순환 중복 검사부(110)가 CRC 연산에 사용하는 CRC 발생 코드는 1 bit의 길이를 갖는다.
- [0026] 도 3은 본 발명의 일 실시예에 따라 검사되는 데이터의 일 예를 나타낸다.
- [0027] 도 3에 도시된 트랜스포트 블록은 두 개의 서브 블록들, 즉 서브 블록 1 및 2로 분할된다. 상기 트랜스포트 블록 내 서브 블록들의 순번은 최하위 비트에서 최상위 비트로 갈수록 증가한다.
- [0028] 상기 서브 블록 1은 도 1에 도시된 래딕스-M SISO(Soft In Soft Out) 디코더 1(100₁)에서 디코딩되어 $\log_2 M$ 개의 비트 시퀀스로 서브 블록 순환 중복 검사부 1(110₁)에 입력된다.
- [0029] 상기 서브 블록 2는 도 1에 도시된 래딕스-M SISO(Soft In Soft Out) 디코더 2(100₂)에서 디코딩되어 $\log_2 M$ 개의 비트 시퀀스로 서브 블록 순환 중복 검사부 2(110₂)에 입력된다.
- [0030] 이하에서는 SISO 디코더(100₁ 내지 100_p)가 래딕스-4로 구현되어 두 개의 비트 시퀀스를 출력하는 실시예를 예시적으로 설명하나, SISO 디코더(100₁ 내지 100_p)의 래딕스 차수는 이에 제한되지 않는다.
- [0031] 도 4는 본 발명의 일 실시예에 따라 제 1 및 제 2 CRC 연산부(1101, 1102)가 서브 블록 2를 처리하는 과정을 설명하기 위한 예시적인 도면이다.
- [0032] 도 4에 도시된 바와 같이, 도 3의 서브 블록 2 [110010110110]를 디코딩하여 출력되는 두 개의 비트 시퀀스 SISO_{out1} 및 SISO_{out0}는 각각 [101101]과 [100110]이다. SISO_{out1}은 서브 블록 2의 홀수 위치 비트에 해당하며, SISO_{out0}은 서브 블록 2의 짝수 위치 비트에 해당한다.
- [0033] 본 발명의 일 실시예에 따르면, 상기 제 1 CRC 연산부(1101)는 먼저 상기 두 개의 비트 시퀀스 SISO_{out1} 및 SISO_{out0}를 각각 소정의 CRC 발생 코드로 CRC 연산할 수 있다. 도 4에 도시된 실시예에서 사용된 CRC 발생 코드는 [11001]로 가정하나, 상기 CRC 발생 코드는 실시예에 따라 다양하게 설정될 수 있다.
- [0034] 상기 비트 시퀀스 SISO_{out1} 및 SISO_{out0}를 CRC 연산하여 얻은 CRC 코드 CRC[SISO_{out1}] 및 CRC[SISO_{out0}]는 도 4에 도시된 바와 같이 각각 [0110] 및 [1101]이다.
- [0035] 본 발명의 일 실시예에 따르면, 상기 제 1 CRC 연산부(1101)는 상기 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력할 수 있다.
- [0036] 예를 들어, 도 4에 도시된 바와 같이, 상기 CRC 코드 CRC[SISO_{out1}] 및 CRC[SISO_{out0}]는 교차 배치되어 제 1 코드

[01111001]가 된다.

- [0037] 상기 제 2 CRC 연산부(1102)는 상기 제 1 코드를 또 다시 CRC 연산하여 제 2 코드를 출력한다. 상기 제 1 코드 [01111001]를 CRC 연산하여 얻은 제 2 코드는 도 4에 도시된 바와 같이 [0100]이다.
- [0038] 그리고 나서, 상기 갈로아 필드 곱셈부(1103)는 상기 제 2 코드와 블록 위치 CRC 코드를 갈로아 필드 곱셈한다. 전술한 바와 같이, 상기 블록 위치 CRC 코드는 트랜스포트 블록 내 해당 서브 블록의 위치를 나타내는 블록 위치 코드를 CRC 연산하여 얻은 코드다.
- [0039] 다시 도 1을 참조하면, 상기 순환 중복 검사 장치(10)는 블록 위치 CRC 코드를 생성하는 블록 위치 CRC 코드 생성부(130)를 더 포함할 수 있다.
- [0040] 상기 블록 위치 CRC 코드 생성부(130)는 저장 장치(140)로부터 기준 블록 위치 CRC 코드를 불러와 상기 기준 블록 위치 CRC 코드를 반복적으로 갈로아 필드 곱셈하여 서브 블록의 블록 위치 CRC 코드를 생성할 수 있다. 상기 기준 블록 위치 CRC 코드는 기준 블록 위치 코드를 CRC 연산하여 얻은 코드다.
- [0041] 일 실시예에 따르면, 상기 저장 장치(140)는 레지스터를 포함할 수 있으며, 상기 기준 블록 위치 CRC 코드는 록업 테이블로 구성될 수 있다. 그러나, 상기 저장 장치의 종류는 이에 제한되지 않고 메모리 등 임의의 스토리지를 포함할 수도 있다.
- [0042] 도 5는 본 발명의 일 실시예에 따라 블록 위치 CRC 코드 생성부(130)가 서브 블록의 블록 위치 CRC 코드를 생성하는 과정을 설명하기 위한 예시적인 도면이다.
- [0043] 일 실시예에 따르면, 상기 기준 블록 위치 코드는 그 비트 수가 서브 블록의 크기(즉, 서브 블록의 비트 수)에 1을 합한 값과 같으며, 최상위 비트가 1이고, 나머지 비트들이 0으로 구성된다.
- [0044] 예를 들어, 도 3에 도시된 서브 블록은 그 크기가 12 bit이므로, 상기 서브 블록에 대한 기준 블록 위치 코드의 비트 수는 $12 + 1 = 13$ bit이다. 그리고, 상기 기준 블록 위치 코드의 최상위 비트는 1이고, 나머지 비트들은 0이므로, 도 5에 도시된 바와 같이 상기 기준 블록 위치 코드는 [1000000000000]이다.
- [0045] 일 실시예에 따르면, 상기 기준 블록 위치 코드를 CRC 연산하여 얻은 기준 블록 위치 CRC 코드는 저장 장치(140)에 저장될 수 있다. 상기 블록 위치 CRC 코드 생성부(130)는 상기 저장 장치(140)로부터 기준 블록 위치 CRC 코드를 불러와, 이를 기반으로 서브 블록의 블록 위치 CRC 코드를 생성할 수 있다.
- [0046] 본 발명의 일 실시예에 따르면, 상기 블록 위치 CRC 코드 생성부(130)는 트랜스포트 블록 내 해당 서브 블록의 순번에서 1을 뺀 개수의 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈하여 해당 서브 블록의 블록 위치 CRC 코드를 생성할 수 있다.
- [0047] 예를 들어, 도 5에 도시된 바와 같이, 상기 블록 위치 CRC 코드 생성부(130)는 상기 저장 장치(140)로부터 기준 블록 위치 CRC 코드 [0011]를 불러와, 트랜스포트 블록 내 서브 블록 2의 순번인 2에서 1을 뺀 수인 1 개의 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈할 수 있다. 그 결과, 상기 서브 블록 2에 대한 블록 위치 CRC 코드는 기준 블록 위치 CRC 코드인 [0011]과 동일하다.
- [0048] 만약, 서브 블록의 순번이 3 이상인 경우, 상기 블록 위치 CRC 코드 생성부(130)는 해당 서브 블록에 대한 블록 위치 CRC 코드를 생성하기 위해 기준 블록 위치 CRC 코드를 두 개 이상 반복적으로 갈로아 필드 곱셈한다.
- [0049] 일 예로, 도 5에 도시된 바와 같이, 서브 블록 3에 대한 블록 위치 CRC 코드를 생성하기 위해, 상기 블록 위치 CRC 코드 생성부(130)는 서브 블록 3의 순번인 3에서 1을 뺀 수인 2 개의 기준 블록 위치 CRC 코드 [0011]을 갈로아 필드 곱셈한다(즉, 서브 블록 3의 블록 위치 CRC 코드 = [0011] ⊗ [0011], 여기서 ⊗는 갈로아 필드 곱셈 연산자임).
- [0050] 다른 예로, 도 5에 도시된 바와 같이, 서브 블록 4에 대한 블록 위치 CRC 코드를 생성하기 위해, 상기 블록 위치 CRC 코드 생성부(130)는 서브 블록 4의 순번인 4에서 1을 뺀 수인 3 개의 기준 블록 위치 CRC 코드 [0011]을 반복적으로 갈로아 필드 곱셈한다(즉, 서브 블록 4의 블록 위치 CRC 코드 = ([0011] ⊗ [0011]) ⊗ [0011]).
- [0051] 이와 같이, 상기 블록 위치 CRC 코드 생성부(130)는 저장 장치(140)로부터 불러온 기준 블록 위치 CRC 코드를 반복적으로 갈로아 필드 곱셈함으로써 트랜스포트 블록을 구성하는 모든 서브 블록들에 대한 블록 위치 CRC 코드를 생성할 수 있다.
- [0052] 그리고 나서, 상기 갈로아 필드 곱셈부(1103)는 서브 블록의 제 2 코드와 블록 위치 CRC 코드를 갈로아 필드 곱

샘하여 제 3 코드를 출력한다.

- [0053] 도 6은 본 발명의 일 실시예에 따라 갈로아 필드 곱셈부(1103)가 서브 블록 2를 처리하는 과정을 설명하기 위한 예시적인 도면이다.
- [0054] 도 6에 도시된 바와 같이, 상기 갈로아 필드 곱셈부(1103)는 서브 블록 2의 제 2 코드인 [0100]과 블록 위치 CRC 코드인 [0011]을 갈로아 필드 곱셈하여 제 3 코드인 [0000]을 출력할 수 있다.
- [0055] 그리고 나서, 상기 갈로아 필드 덧셈부(120)는 다수의 서브 블록 순환 중복 검사부(110₁ 내지 110_p)로부터 출력된 제 3 코드들을 갈로아 필드 덧셈한다.
- [0056] 본 발명의 일 실시예에 따르면, 상기 순환 중복 검사 장치(10)는 트랜스포트 블록의 크기에 따라 상이한 CRC 발생 코드를 적용할 수 있다.
- [0057] 예를 들어, 상기 트랜스포트 블록의 크기가 기 결정된 값보다 작거나 같으면, 상기 순환 중복 검사 장치(10)는 제 1 CRC 발생 코드를 이용하여 순환 중복 검사를 수행할 수 있다. 반면, 상기 트랜스포트 블록의 크기가 기 결정된 값보다 크면, 상기 순환 중복 검사 장치(10)는 제 2 CRC 발생 코드를 이용하여 순환 중복 검사를 수행할 수 있다.
- [0058] 도 7은 본 발명의 일 실시예에 따른 순환 중복 검사 방법(20)을 설명하기 위한 예시적인 흐름도다.
- [0059] 상기 순환 중복 검사 방법(20)은 전술한 본 발명의 일 실시예에 따른 순환 중복 검사 장치(10)에 의해 수행될 수 있다.
- [0060] 도 7에 도시된 바와 같이, 상기 순환 중복 검사 방법(20)은, 제 1 CRC 연산부(1101)가 복수의 비트 시퀀스를 입력받는 단계(S230), 상기 제 1 CRC 연산부(1101)가 상기 복수의 비트 시퀀스를 각각 CRC 연산하는 단계(S240), 상기 제 1 CRC 연산부(1101)가 상기 CRC 연산으로 얻은 복수의 CRC 코드를 각 비트마다 교차 배치하여 제 1 코드를 출력하는 단계(S250), 제 2 CRC 연산부(1102)가 상기 제 1 코드를 CRC 연산하여 제 2 코드를 출력하는 단계(S260), 갈로아 필드 곱셈부(1103)가 블록 위치 코드를 CRC 연산하여 얻은 블록 위치 CRC 코드를 상기 제 2 코드와 갈로아 필드 곱셈하여 제 3 코드를 출력하는 단계(S270), 및 갈로아 필드 덧셈부(120)가 다수의 서브 블록에 대한 제 3 코드들을 갈로아 필드 덧셈하는 단계(S280)를 포함할 수 있다.
- [0061] 일 실시예에 따르면, 상기 복수의 비트 시퀀스를 입력받는 단계(S230)는 트랜스포트 블록을 분할한 서브 블록을 디코딩하는 하이-래딕스 병렬 디코더로부터 상기 복수의 비트 시퀀스를 입력받는 단계를 포함할 수 있다.
- [0062] 상기 하이-래딕스 병렬 디코더는 래딕스-4 병렬 디코더일 수 있으나, 상기 병렬 디코더의 래딕스 차수는 이에 제한되지 않는다.
- [0063] 일 실시예에 따르면, 상기 순환 중복 검사 방법(20)은 CRC 연산 시 상기 트랜스포트 블록의 크기에 따라 상이한 CRC 발생 코드를 적용할 수 있다.
- [0064] 본 발명의 일 실시예에 따르면, 상기 순환 중복 검사 방법(20)은, 블록 위치 CRC 코드 생성부(130)가 기준 블록 위치 코드를 CRC 연산하여 얻은 기준 블록 위치 CRC 코드를 저장 장치(140)로부터 불러오는 단계(S210), 및 상기 블록 위치 CRC 코드 생성부(130)가 상기 기준 블록 위치 CRC 코드를 반복적으로 갈로아 필드 곱셈하여 서브 블록의 블록 위치 CRC 코드를 생성하는 단계(S220)를 포함할 수 있다.
- [0065] 일 실시예에 따르면, 상기 기준 블록 위치 코드는 비트 수가 서브 블록의 크기에 1을 합한 값과 같으며, 최상위 비트가 1이고, 나머지 비트들이 0으로 구성될 수 있다.
- [0066] 일 실시예에 따르면, 상기 서브 블록의 블록 위치 CRC 코드를 생성하는 단계(S220)는, 트랜스포트 블록 내 해당 서브 블록의 순번에서 1을 뺀 개수의 기준 블록 위치 CRC 코드를 갈로아 필드 곱셈하는 단계를 포함할 수 있다.
- [0067] 본 발명의 일 실시예에 따르면, 상기 단계(S210) 및 상기 단계(S220)은 단계(S230) 전에 수행될 수 있다. 예를 들어, 상기 단계(S210) 및 상기 단계(S220)은 상기 병렬 디코더가 서브 블록을 디코딩하는 중에 수행될 수 있다.
- [0068] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

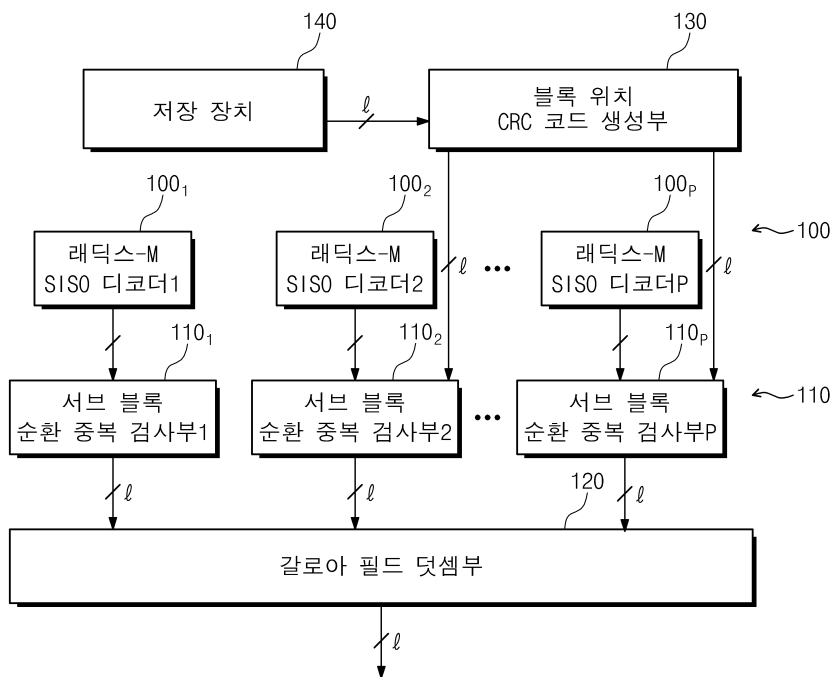
부호의 설명

[0069]

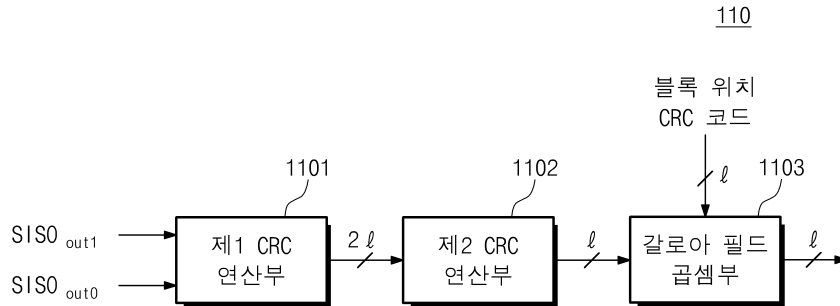
- 10: 순환 중복 검사 장치
- 100: 병렬 디코더
- 110: 서브 블록 순환 중복 검사부
- 120: 갈로아 필드 덧셈부
- 130: 블록 위치 CRC 코드 생성부
- 140: 저장 장치
- 1101: 제 1 CRC 연산부
- 1102: 제 2 CRC 연산부
- 1103: 갈로아 필드 곱셈부

도면

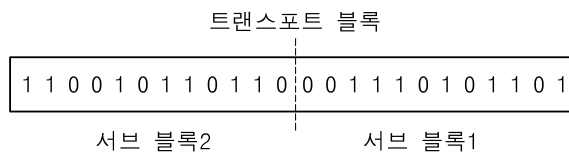
도면1



도면2



도면3



도면4

서브 블록 2의 SISO_{out1} : [1 0 1 1 0 1] (홀수 위치 비트)
 SISO_{out0} : [1 0 0 1 1 0] (짝수 위치 비트)

CRC [SISO_{out1}] : 0 1 1 0
 CRC [SISO_{out0}] : 1 1 0 1
 제1 코드 : [0 1 1 1 1 0 0 1]
 제2 코드 : [0 1 0 0]

도면5

[기준 블록 위치 코드] : [1 0 0 0 0 0 0 0 0 0 0 0]
 CRC [기준 블록 위치 코드] : [0 0 1 1]

CRC [서브 블록 2의 블록 위치 코드] : [0 0 1 1]
 CRC [서브 블록 3의 블록 위치 코드] : [0 0 1 1] ⊗ [0 0 1 1]
 CRC [서브 블록 4의 블록 위치 코드] : ([0 0 1 1] ⊗ [0 0 1 1]) ⊗ [0 0 1 1]
 ⋮

CRC [서브 블록 P의 블록 위치 코드] : ([0 0 1 1] ⊗ [0 0 1 1]) ⊗ ... ⊗ [0 0 1 1]
 P-1개의 CRC [기준 블록 위치 코드]를
 갈로아 필드 곱셈

도면6

서브 블록 2의 제2 코드 [0 1 0 0]
 $\otimes$
 CRC [서브 블록 2의 블록 위치 코드] [0 0 1 1]
 $\Downarrow$
 서브 블록 2의 제3 코드 [0 0 0 0]

도면7

