

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-151702

(P2012-151702A)

(43) 公開日 平成24年8月9日(2012.8.9)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/52 (2006.01)	H03F 1/52	5J500
H03F 3/217 (2006.01)	H03F 3/217	
H03F 3/68 (2006.01)	H03F 3/68 A	

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2011-9395 (P2011-9395)
 (22) 出願日 平成23年1月20日 (2011.1.20)

(71) 出願人 506227884
 三洋半導体株式会社
 群馬県邑楽郡大泉町坂田一丁目1番1号
 (74) 代理人 110001210
 特許業務法人 Y K I 国際特許事務所
 (72) 発明者 松本 喜孝
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内
 Fターム(参考) 5J500 AA02 AA23 AA27 AA41 AA66
 AC56 AF18 AH10 AH39 AK33
 AK35 AK36 AK62 AM20 AS05
 AT01 PF01 PG02 WU01 WU02

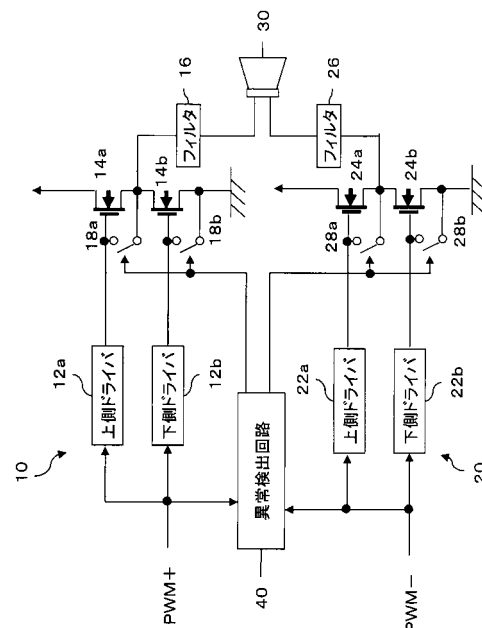
(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 負荷に流れる電流の異常を検出する。

【解決手段】 負荷 30 の両端に互いに逆相または同相である一対の PWM 信号を印加して負荷を駆動する。異常検出回路 40 は、一対の PWM 信号 (PWM+, PWM-) の変化状態を検出し、少なくとも一方の PWM 信号の変化がなくなった場合にカウントを行い、カウント値が所定値となった場合に、異常検出信号を出力する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

負荷の両端に互いに逆相または同相である一対の P W M 信号を印加して負荷を駆動する駆動回路において、

前記一対の P W M 信号の変化状態を検出する検出回路と、

この検出回路において、少なくとも一方の P W M 信号の変化がなくなった場合に、カウントを行うカウンタと、

カウンタのカウント値が所定値となった場合に、異常検出信号を出力する異常検出回路と、

を含む駆動回路。

10

【請求項 2】

請求項 1 に記載の駆動回路において、

前記負荷は、スピーカである駆動回路。

【請求項 3】

請求項 1 または 2 に記載の駆動回路において、

前記検出回路は、P W M 信号のエッジを検出する駆動回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、負荷の両端に互いに逆相または同相である一対の P W M 信号を印加して負荷を駆動する駆動回路に関する。

20

【背景技術】**【0002】**

スピーカなどの負荷の両端に逆相または同相の駆動信号を印加して、負荷を B T L (Bridged Transformer Less) 駆動する駆動回路が周知である。また、駆動回路の駆動信号として、P W M 信号などを利用し、出力段のトランジスタをオンオフの簡単なスイッチング動作する D クラスアンプも知られている。

【先行技術文献】**【特許文献】****【0003】**

30

【特許文献 1】特開平 2 0 0 9 - 4 4 2 8 0 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

このような駆動回路において、P W M 信号が固定され、出力段のトランジスタがオン状態に固定されると、スピーカに直流電流が流れ、スピーカが破損する場合がある。駆動回路には、過電流防止回路が設けられており、短絡などによる大電流を防止しているが、電流値が比較的少なくても、直流電流を流し続けるとスピーカが破損する。

【課題を解決するための手段】**【0005】**

40

本発明は、負荷の両端に互いに逆相または同相である一対の P W M 信号を印加して負荷を駆動する駆動回路において、前記一対の P W M 信号の変化状態を検出する検出回路と、この検出回路において、少なくとも一方の P W M 信号の変化がなくなった場合に、カウントを行うカウンタと、カウンタのカウント値が所定値となった場合に、異常検出信号を出力する異常検出回路と、を含むことを特徴とする。

【0006】

また、前記負荷は、スピーカであることが好適である。

【0007】

また、前記検出回路は、P W M 信号のエッジを検出することが好適である。

【発明の効果】

50

【 0 0 0 8 】

本発明によれば、P W M 信号の異常を検出するので、確実な異常検出が行い、検出信号に基づいて、駆動電流を呈することが可能となる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 駆動回路を含む音声信号出力のための構成を示す図である。

【 図 2 】 リセット信号発生のための回路を示す図である。

【 図 3 】 異常検出信号発生のための回路を示す図である。

【 図 4 】 異常の例を示す図である。

【 発明を実施するための形態 】

10

【 0 0 1 0 】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 1 1 】

図 1 は、実施形態に係る駆動回路の構成を示す図である。音声信号を P W M 変換して、互いに逆相または同相の P W M 信号である、P W M +、P W M - が得られる。P W M + は、一方の駆動部 1 0 の上側ドライバ 1 2 a と下側ドライバ 1 2 b を介し、出力トランジスタ 1 4 a、1 4 b のゲートに供給される。また、P W M - は、他方の駆動部 2 0 の上側ドライバ 2 2 a と下側ドライバ 2 2 b を介し、出力トランジスタ 2 4 a、2 4 b のゲートに供給される。なお、出力トランジスタ 1 4 a、1 4 b は、N チャンネルトランジスタとしたが、他の形式でもかまわない。

20

【 0 0 1 2 】

出力トランジスタ 1 4 a、1 4 b の中間点には、スピーカ 3 0 の一端が供給され、出力トランジスタ 2 4 a、2 4 b の中間点には、スピーカ 3 0 の一端が供給されており、出力トランジスタ 1 4 a、2 4 b がオンの場合に、スピーカ 3 0 に図における上から下に向けた電流が流れ、出力トランジスタ 1 4 b、2 4 a がオンの場合に、スピーカ 3 0 に図における下から上に向けた電流が流れる。すなわち、音声信号が正の場合にスピーカ 3 0 に一方方向の電流が流れ、音声信号が負の場合にスピーカ 3 0 に反対方向の電流が流れる。

【 0 0 1 3 】

音声信号から作成された P W M +、P W M - は、1 つの音声信号から作成された逆位相または同相の信号であり、上記構成によってスピーカ 3 0 が B T L 駆動される。なお、P W M +、P W M - は、P W M キャリア周波数で H レベル、L レベルを繰り返す信号であり、音声信号の振幅に応じてデューティ比が制御される。また、スピーカ 3 0 に至る経路には、例えばコイルとコンデンサからなるローパスフィルタであるフィルタ 1 6、2 6 が配置されており、P W M 制御による出力を平滑化している。

30

【 0 0 1 4 】

ここで、本実施形態においては、P W M +、P W M - が異常検出回路 4 0 に入力される。この異常検出回路 4 0 は、2 つの P W M 信号である、P W M +、P W M - の状態から、これら信号の異常を検出する。そして、異常検出回路 4 0 は、異常を検出した際に、スイッチ 1 8 a、1 8 b、2 8 a、2 8 b を制御して、4 つの出力トランジスタ 1 4 a、1 4 b、2 4 a、2 4 b のゲートソース間の電圧をゼロにして、これらを全てオフにする。これによって、スピーカ 3 0 に流れる駆動電流がオフされる。

40

【 0 0 1 5 】

異常検出回路 4 0 の構成例を図 2 に示す。P W M + と、P W M - のいずれについても、エッジ検出ができないことで異常を検出する構成は同じであるため、図 2 においては、P W M + についての構成のみを示す。

【 0 0 1 6 】

P W M 信号 (P W M +) は、E X O R ゲート 5 0 の一端に入力されるとともに、アンプ 5 2 を介し所定時間遅延されて、E X O R ゲート 5 0 の他端にも入力される。これによって、P W M + について、所定時間遅延された信号との比較がなされ、立ち上がりエッジおよび立ち下がりエッジにおいて、遅延時間だけ H レベルが E X O R 5 0 から出力される。

50

【 0 0 1 7 】

一方、P W M 信号のキャリア周波数と同等の周波数の信号 O S C は、フリップフロップ 5 4 のクロック入力端に入力されている。このフリップフロップ 5 4 の反転出力 $\times Q$ (Q アップバー) は、データ入力端 D に入力されているとともに、フリップフロップ 5 6 のクロック入力端に入力されている。フリップフロップ 5 6 の反転出力 $\times Q$ も自己のデータ入力端 D に入力されている。このため、フリップフロップ 5 4 , 5 6 は、2 ビットのカウンタとして動作する。また、これらフリップフロップ 5 4 , 5 6 のリセット端には、E X O R ゲート 5 0 の出力が供給されている。従って、エッジが検出されたときにフリップフロップ 5 4 , 5 6 の値が 0 , 0 にリセットされ、エッジが検出されない期間に、O S C の立ち上がり毎にフリップフロップ 5 4 , 5 6 の値が、0 , 0 $\rightarrow$ 1 , 0 $\rightarrow$ 0 , 1 $\rightarrow$ 1 , 0 $\rightarrow$ 1 , 1 の順に変化する。 10

【 0 0 1 8 】

フリップフロップ 5 4 , 5 6 の反転出力は、ノアゲート 5 8 に入力されており、フリップフロップ 5 4 , 5 6 の値が 1 , 1 になると、ノアゲート 5 8 への入力が 0 , 0 となり、ノアゲート 5 8 の出力が 1 (H レベル) になる。すなわち、P W M + のエッジが検出されない間に信号 O S C が 4 回立ち上がることで、ノアゲート 5 8 から H レベルが出力される。

【 0 0 1 9 】

ノアゲート 5 8 の出力は、フリップフロップ 6 0 の D 入力端に入力される。フリップフロップ 6 0 のクロック入力端には、信号 O S C がインバータ 6 2 により反転されて入力されている。従って、ノアゲート 5 8 の H レベルは、フリップフロップ 6 0 に半クロック遅れて (信号 O S C の立ち下がり) で) 取り込まれる。 20

【 0 0 2 0 】

フリップフロップ 6 0 の Q 出力はラッチ 6 4 のセット端子に入力される。このため、信号 O S C の立ち上がりによって、フリップフロップ 5 4 , 5 6 の値が 1 , 1 から 0 , 0 に変化し、ノアゲート 5 8 の出力が L レベルとなり、これがフリップフロップ 6 0 に取り込まれても、ラッチ 6 4 の出力は H レベルに維持される。

【 0 0 2 1 】

フリップフロップ 6 0 、ラッチ 6 4 のリセット端子には、E X O R 5 0 の出力が入力されており、P W M + のエッジが検出された場合に、フリップフロップ 6 0 、ラッチ 6 4 が L レベルにリセットされる。 30

【 0 0 2 2 】

ラッチ 6 4 の出力は、ノアゲート 6 6 に供給される。ここで、本実施形態においては、P W M - についても同様の回路を有しており、その回路 (エッジなし検出回路) の出力がノアゲート 6 6 の他の入力端に入力される。従って、ノアゲート 6 6 は、P W M + または P W M - のいずれか一方または両方において、エッジが所定期間以上検出されない際に L レベルを出力し、エッジが定期的に検出される通常の場合には、H レベルを出力する。

【 0 0 2 3 】

ノアゲート 6 6 の出力は、オアゲート 6 8 に供給される。このオアゲート 6 8 には、P W M + と P W M - の両方がエッジを検出できない状態であって、P W M + 、P W M - が一致しているときに H レベルとなる一致信号が供給されている。従って、P W M + 、P W M - が同一レベルで固定されて異常時においては、リセット信号が出力されない。なお、一致信号は、2 つのエッジなし検出回路の出力のアンドと、P W M + と P W M - の E X N O R のアンドを採ることなどで容易に生成できる。 40

【 0 0 2 4 】

オアゲート 6 8 の出力であるリセット信号は、カウンタ 7 0 のリセット入力端に入力される。このカウンタ 7 0 には、所定のクロック C L K がインバータ 7 2 で反転して供給されている。従って、P W M + または P W M - のいずれかにおいてエッジが検出されない場合に、カウンタ 7 0 がカウントアップされる。カウンタ 7 0 の所定ビット (この例では高位の 3 ビット) がアンドゲート 7 4 の D 入力端に入力されている。従って、このアンドゲ 50

ート74は、カウンタ70のカウント値が所定値以上になった場合にHレベルを出力する。例えば、スピーカの直流電流により破損が発生する期間が300 msec程度であれば、カウンタ70の所定値は、その時間またはそれより若干少ない時間に設定される。

【0025】

アンドゲート74の出力は、フリップフロップ76のD入力端に入力される。このフリップフロップ76のクロック入力端にはCLKが入力されており、アンドゲート74のHレベルを半クロック遅れて取り込む。フリップフロップ76のQ出力は、ラッチ78のセット端に入力され、ラッチ78の出力が、異常検出回路40の出力となり、ラッチ78の出力がHレベルになることで、図1における、4つの出力トランジスタ14a, 14b, 24a, 24bが全てオフにされ、スピーカ30に流れる駆動電流がオフされる。

10

【0026】

図4には、PWM+, PWM-における、エッジが生じない例が示してある。図4(A)(A')では、PWM+がHレベル、PWM-がLレベルに固定されている。このような事態が生じると、図1における出力トランジスタ14a, 24b(または14b, 24a)がオンという状態が継続され、スピーカ30に大きな直流電流が流れる。図4(B)(B')では、PWM+は、Hレベル、Lレベルを繰り返しており正常に動作している。しかし、PWM-がLレベルに固定されている。このような場合、図1における出力トランジスタ14a, 24bがオンという状態が継続され、スピーカ30に直流電流が流れる。また、PWM信号が固定される極性が反対であれば、反対方向の直流電流がスピーカ30に流れる。

20

【0027】

本実施形態によれば、このような異常をPWM信号のエッジ検出なし状態を監視することで検出する。従って、確実に異常を検出して、スピーカ30の破損などを防止することが可能となる。

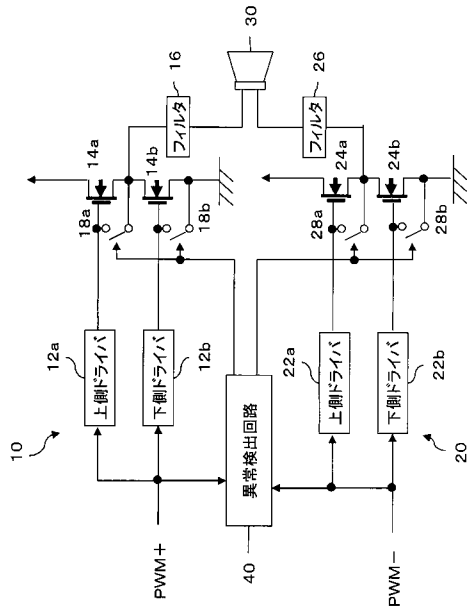
【符号の説明】

【0028】

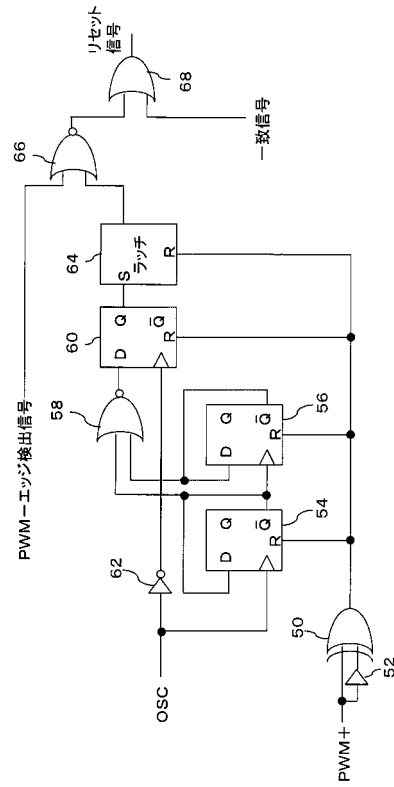
10 駆動部、12a, 22a 上側ドライバ、12b, 22b 下側ドライバ、14a, 14b, 24a, 24b 出力トランジスタ、16, 26 フィルタ、18a, 18b, 28a, 28b スイッチ、20 駆動部、30 スピーカ、40 異常検出回路、50 EXORゲート、52 アンプ、54, 56, 60, 76 フリップフロップ、58, 66 ノアゲート、62, 72 インバータ、64, 78 ラッチ、70 カウンタ、74 アンドゲート。

30

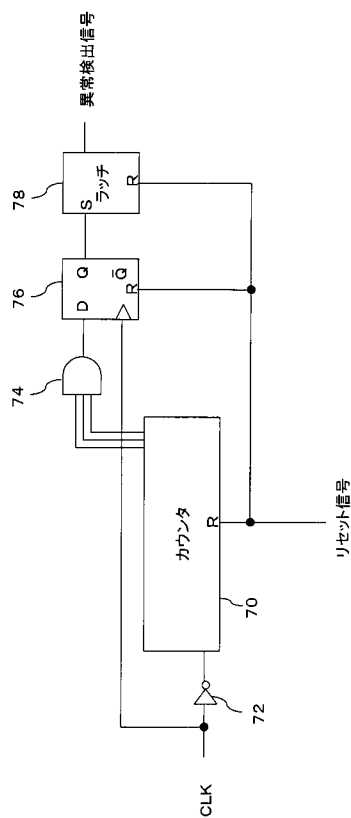
【図 1】



【図 2】



【図 3】



【図 4】

