



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년07월08일

(11) 등록번호 10-1416876

(24) 등록일자 2014년07월02일

(51) 국제특허분류(Int. Cl.)

H01L 21/8246 (2006.01) H01L 27/112 (2006.01)

(21) 출원번호 10-2007-0109342

(22) 출원일자 2007년10월30일

심사청구일자 2012년10월19일

(65) 공개번호 10-2008-0044763

(43) 공개일자 2008년05월21일

(30) 우선권주장

JP-P-2006-00310883 2006년11월17일 일본(JP)

(56) 선행기술조사문헌

JP06216254 A

JP2006310799 A

US05576576 A

US20030146452 A1

전체 청구항 수 : 총 22 항

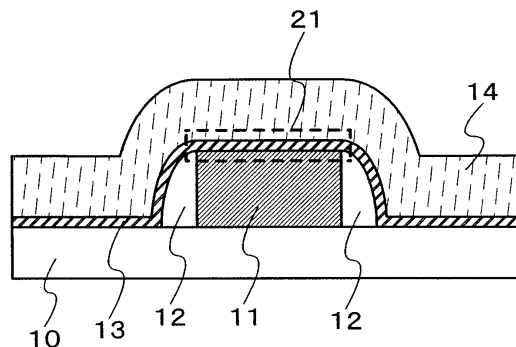
심사관 : 구본재

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제조방법

(57) 요약

기관 표면과 기관상에 형성된 배선으로 형성되는 단차 부분에 실리콘막을 형성했을 경우에 있어서도, 메모리 소자의 기록 특성을 저하시키지 않는 반도체 장치 및 해당 반도체 장치의 제조 방법을 제공한다. 절연 표면을 갖는 기관(10)상에 형성된 제 1의 전극(11)과, 제 1의 전극(11)의 측벽에 형성된 사이드월 절연층(12)과, 제 1의 전극(11)상 및 사이드월 절연층(12)을 덮도록 형성된 실리콘막(13)과, 실리콘막(13)상에 형성된 제 2의 전극(14)을 갖고, 제 1의 전극(11) 또는 제 2의 전극(14)은, 실리콘막(12)과 합금화하는 재료로 형성되어 있는 메모리 소자를 복수 가지고 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

절연 표면을 갖는 기판 위에 형성된 복수의 박막 트랜지스터와 복수의 메모리 소자를 포함하는 반도체 장치로서, 상기 복수의 메모리 소자 각각이,

상기 절연 표면을 갖는 상기 기판 위의 제 1의 전극과,

상기 제 1의 전극의 측면에 있는 사이드월 절연층과,

상기 제 1의 전극 및 상기 사이드월 절연층 위의 반도체층과,

상기 제 1의 전극 위에, 상기 반도체층과 상기 사이드월 절연층을 개재한 제 2의 전극을 구비하고,

상기 복수의 박막 트랜지스터의 게이트 전극은 상기 복수의 메모리 소자의 상기 제 1의 전극과 같은 재료를 포함하고,

상기 복수의 박막 트랜지스터의 소스 및 드레인 전극 중 적어도 하나는 상기 복수의 메모리 소자의 상기 제 2의 전극과 같은 재료를 포함하고,

상기 복수의 메모리 소자의 상기 제 1의 전극 및 상기 제 2의 전극 중 적어도 하나는 상기 반도체층과 합금화가 가능한 재료를 포함하는 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 사이드월 절연층은 만족하고 있는 면을 가지며,

상기 사이드월 절연층은 상기 만족하고 있는 면에서 상기 반도체층과 접하여 있는 반도체 장치.

청구항 8

제 6 항에 있어서,

상기 제 1의 전극 및 상기 제 2의 전극 중 적어도 하나는 Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, 및 Fe로부터 선택된 적어도 한 개의 원소를 포함한 재료를 포함하는 반도체 장치.

청구항 9

제 6 항에 있어서,

상기 절연 표면을 갖는 상기 기판은, 유리기판, 플라스틱 기판, 반도체 기판, 또는 종이인 반도체 장치.

청구항 10

제 6 항에 있어서,
상기 게이트 전극의 측면에 제 2의 사이드월 절연층을 더 포함한 반도체 장치.

청구항 11

제 6 항에 있어서,
상기 복수의 박막 트랜지스터에 전기적으로 접속된 접속 전극과,
상기 접속 전극에 전기적으로 접속된 안테나를 더 구비하고,
상기 접속 전극은, 상기 복수의 메모리 소자의 상기 제 2의 전극과 상기 복수의 박막 트랜지스터의 상기 소스 및 드레인 전극 중 적어도 한 개와 같은 재료를 포함하는 반도체 장치.

청구항 12

메모리 소자를 포함하는 반도체 장치의 제조방법으로서,
절연 표면을 갖는 기판 위에 제 1의 전극을 형성하는 공정과,
상기 제 1의 전극의 측면에 사이드월 절연층을 형성하는 공정과,
상기 제 1의 전극 및 상기 사이드월 절연층 위에 반도체층을 형성하는 공정과,
상기 반도체층 위에 제 2의 전극을 형성하는 공정을 포함하고,
상기 메모리 소자는 그 상태가 전압의 인가에 의해 제 1의 상태에서 제 2의 상태로 변경 가능하며, 상기 제 1의 전극 및 상기 제 2의 전극간의 저항은 상기 제 2의 상태에서보다 제 1의 상태에서 더 높은 반도체 장치의 제조 방법.

청구항 13

제 12 항에 있어서,
상기 제 1의 전극 및 상기 제 2의 전극 중 적어도 하나는 상기 반도체층과 합금화가 가능한 재료를 포함하는 반도체 장치의 제조방법.

청구항 14

제 12 항에 있어서,
상기 사이드월 절연층은 만족하고 있는 면을 가지며,
상기 사이드월 절연층은 상기 만족하고 있는 면에서 상기 반도체층과 접하여 있는 반도체 장치의 제조방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

절연표면을 갖는 기판 위에 복수의 박막 트랜지스터와 복수의 메모리 소자를 포함하는 반도체 장치의 제조방법으로서,
상기 기판 위에 제 1의 반도체 섬(island) 및 제 2의 반도체 섬을 형성하는 공정과,
상기 제 1의 반도체 섬 및 상기 제 2의 반도체 섬 위에 제 1의 절연막을 형성하는 공정과,

상기 제 1의 반도체 섬 위에 상기 제 1의 절연막을 개재하여 제 1의 전극을 형성하는 공정과,
 상기 제 2의 반도체 섬 위에 상기 제 1의 절연막을 개재하여 제 2의 전극을 형성하는 공정과,
 상기 제 2의 전극의 측면에 사이드월 절연층을 형성하는 공정과,
 상기 제 1의 전극, 상기 제 2의 전극, 및 상기 사이드월 절연층을 덮는 제 2의 절연막을 형성하는 공정과,
 상기 제 2의 절연막을 에칭해 상기 제 2의 전극, 상기 사이드월 절연층, 및 상기 제 2의 반도체 섬을 노출하는 제 1의 개구부를 형성하는 공정과,
 상기 제 2의 전극, 상기 사이드월 절연층 및 상기 제 2의 반도체 섬 위에 제 3의 반도체층을 형성하는 공정과,
 상기 제 2의 절연막을 에칭해 상기 제 1의 반도체 섬의 일부를 노출하는 제 2의 개구부를 형성하는 공정과,
 상기 제 2의 반도체 섬 위에 제 3의 전극을 형성하는 공정과,
 상기 제 1의 반도체 섬 위에 제 4의 전극을 형성하는 공정을 포함하고,
 상기 제 2의 전극과 상기 제 3의 전극 중 적어도 하나는 상기 제 3의 반도체층과 합금화가 가능한 재료를 포함하는 반도체 장치의 제조방법.

청구항 18

제 17 항에 있어서,
 상기 사이드월 절연층은 만곡하고 있는 면을 가지며,
 상기 사이드월 절연층은 상기 만곡하고 있는 면에서 상기 제 3의 반도체층과 접하여 있는 반도체 장치의 제조방법.

청구항 19

제 12 항 또는 제 17 항에 있어서,
 상기 제 1의 전극 및 상기 제 2의 전극 중 적어도 하나는 Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, 및 Fe로부터 선택된 적어도 한 개의 원소를 포함한 재료를 포함하는 반도체 장치의 제조방법.

청구항 20

제 12 항 또는 제 17 항에 있어서,
 상기 기판은, 유리기판, 플라스틱 기판, 반도체 기판, 또는 종이인 반도체 장치의 제조방법.

청구항 21

제 17 항에 있어서,
 상기 제 1의 전극의 측면에 제 2의 사이드월 절연층을 형성하는 공정을 더 포함한 반도체 장치의 제조방법.

청구항 22

제 17 항에 있어서,
 상기 제 1의 전극 및 상기 제 2의 전극을, 동일 공정으로 제조하는 반도체 장치의 제조 방법.

청구항 23

제 17 항에 있어서,
 상기 제 3의 전극 및 상기 제 4의 전극을, 동일 공정으로 제조하는 반도체 장치의 제조 방법.

청구항 24

제 17 항에 있어서,

상기 제 2의 절연막 위에 제 5의 전극을 형성하는 공정과,

상기 제 5의 전극 위에 상기 제 5의 전극에 전기적으로 접속된 안테나를 형성하는 공정을 더 포함하고,

상기 제 3의 전극 내지 상기 제 5의 전극을 동일한 공정으로 제조하는 반도체 장치의 제조 방법.

청구항 25

제 17 항에 있어서,

상기 복수의 메모리 소자는, 상기 제 2의 전극, 상기 제 3의 반도체층, 및 상기 제 3의 전극으로 형성되는 반도체 장치의 제조 방법.

청구항 26

제 17 항에 있어서,

상기 복수의 박막 트랜지스터 각각은, 상기 제 1의 반도체 섬, 상기 제 1의 전극, 및 상기 제 4의 전극으로 형성되는 반도체 장치의 제조 방법.

청구항 27

제 17 항에 있어서,

상기 제 1의 전극은, 상기 복수의 박막 트랜지스터 각각의 게이트 전극으로서 기능하고, 상기 제 1의 절연막은, 그것의 게이트 절연막으로서 기능하며, 상기 제 4의 전극은 그것의 소스 전극 또는 드레인 전극으로서 기능하는 반도체 장치의 제조 방법.

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

제 6 항에 있어서,

상기 복수의 메모리 소자 각각은 그 상태가 전압 인가시에 제 1의 상태에서 제 2의 상태로 변경 가능하며,

상기 제 1의 전극 및 상기 제 2의 전극간의 저항은 상기 제 2의 상태에서보다 상기 제 1의 상태에서 더 높은 반도체 장치.

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

제 6 항에 있어서,

상기 반도체층은 실리콘 또는 산화물 반도체의 재료를 포함하는 반도체 장치.

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은, 실리콘사이드 반응을 이용한 메모리 소자를 갖는 반도체 장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 종래, 다양한 타입의 메모리가 제안되어 있다. 대표적인 메모리로서는, 자기 테이프나 자기 디스크를 포함한 메모리나, 기록 판독이 가능한 RAM나, 판독을 전용으로 하는 ROM(Read Only Memory)등을 들 수 있다.

[0003] 종래의 ROM으로서, IC 제조공정에 있어서의 마스크로 정보를 기억하는 마스크 ROM, IC 칩 제조 후에 전류에 의해 퓨즈 소자를 용단(溶斷)해 정보를 기억하는 퓨즈 ROM, IC 칩 제조 후에 전류에 의해 절연체를 단락시켜 정보를 기억하는 안티 퓨즈 ROM등을 들 수 있다.

[0004] 마스크 ROM는, IC 제조 프로세스 중의 마스크로 정보를 기억시키기 위해, 기록하는 정보에 대응한 마스크를 준비하지 않으면 안 되고, 그 때문에 제조 비용이 증가하고 있었다. 또, 퓨즈 ROM은, 퓨즈 소자를 용단할 때에 더미가 발생해 오동작을 일으킬 우려가 있었다.

[0005] 또, 안티 퓨즈형의 ROM는, 제조시에 기록하는 정보에 대응한 마스크도 불필요하고, 메모리에 정보를 기록할 때에 더미도 발생하지 않는 점에서 다른 ROM에 비해 유리하다. 근년, 실리콘 기판상에 실리콘사이드 반응을 이용한 안티 퓨즈 ROM을 형성하는 기술이 제안되어 있다(예를 들면, 특허 문헌 1).

- [0006] 특허 문헌 1에 개시되어 있는 안티 퓨즈 ROM은, 음극·양극으로서 기능하는 1쌍의 도전막과, 상기 도전막 사이에 설치된 아몰퍼스 실리콘막으로 구성되는 메모리 소자를 복수 가지고 있다. 해당 메모리 소자는, 양극·음극 사이에 전압을 인가함으로써, 양극 또는 음극으로서 기능하는 도전막과 아몰퍼스 실리콘막이 실리사이드 반응해 소자의 저항이 변화하는 것을 이용한 소자이다.
- [0007] 안티 퓨즈 ROM은, 예를 들면 도 12a에 나타낸 바와 같이 반도체 기판(1201)상에 형성된 워드선이 되는 배선 1202, 워드선이 되는 배선 1202 상에 형성된 아몰퍼스 실리콘막(1203), 아몰퍼스 실리콘막(1203) 상에 형성된 비트선이 되는 배선 1204를 가지고 있다. 아몰퍼스 실리콘막(1203)이 워드선이 되는 배선 1202과 비트선이 되는 배선 1204과의 사이에 삽입된 구조로 되어 있다. 이와 같이, 워드선과 비트선과의 교점에 아몰퍼스 실리콘막을 형성하는 것은, 메모리 소자를 소형화하는데 있어서 유효하다.
- [0008] 또, 근년, 무선통신기능을 갖는 반도체 장치, 구체적으로는 무선 칩은, 큰 시장이 전망되고 있기 때문에, 주목 받고 있다. 이러한 무선 칩은, 그 용도에 의해 ID 태그, IC 태그, IC 칩, RF(Radio Frequency) 태그, 무선 태그, 전자 태그, RFID(Radio Frequency Identification)으로 불리는 일이 있다.
- [0009] 무선 칩의 구성은, 인터페이스, 메모리, 제어부 등을 갖는다. 메모리는, 기록 판독이 가능한 RAM, 판독을 전용으로 하는 ROM이 사용되고, 목적에 따라 구분하여 사용할 수 있다. 구체적으로는, 특정의 애플리케이션마다 메모리 영역을 할당할 수 있어, 애플리케이션마다, 및 디렉토리마다 액세스권이 관리되고 있다. 액세스권을 관리하기 위해, 무선 칩은 애플리케이션의 암호 코드와 비교 조합하는 조합수단을 갖고, 조합수단에 의한 비교조합의 결과, 암호 코드가 일치하는 애플리케이션에 관한 액세스권을 유저에게 주는 제어수단을 갖는다. 이러한 무선 칩은, 실리콘 웨이퍼로부터 형성되고, 반도체 기판에 메모리 회로, 연산회로 등의 집적회로가 집적되어 있다.
- [0010] 이러한 무선 칩이 탑재된 카드(소위 IC 카드)와, 자기카드를 비교하면, IC 카드는 메모리 용량이 크고, 연산 기능을 갖는 것이 가능하며, 인증성이 높고, 개관하는 것이 지극히 곤란하다고 하는 메리트를 갖는다. 그 때문에, IC 카드는 개인 정보의 관리에 매우 적합하다. IC 카드에 탑재하는 메모리로서는, 개관할 수 없게, 판독을 전용으로 하는 ROM이 많이 이용되고 있다.
- [0011] [특허 문헌 1] 일본특허 3501416호 공보
- [0012] 그렇지만, 도 12a에 나타낸 메모리 소자는, 반도체 기판(1201)과 비트선이 되는 배선 1202과의 단부에 단차가 생기기 때문에, 도 12b에 나타내는 영역 1205와 같은 단차 부분에 있어서, 비트선이 되는 배선 1202의 측벽부에 아몰퍼스 실리콘막(1203) 또는 워드선이 되는 배선 1204의 피복이 충분히 행해지지 않는 것에 의한 문제가 생긴다. 여기서, 도 12b는 도 12a의 점 A와 점 B를 연결하는 파선에 있어서의 단면의 모식도이다.
- [0013] 예를 들면, 비트선이 되는 배선 1202의 측벽부에 있어서 아몰퍼스 실리콘막(1203)의 피복이 충분히 행해지지 않는 것에 의해, 비트선이 되는 배선 1202과 워드선이 되는 배선 1204가 부분적으로 접촉해 쇼트가 생기는 경우가 있다. 또, 비트선이 되는 배선 1202의 측벽부에 있어서 아몰퍼스 실리콘막(1203)이 부분적으로 얇아져, 아몰퍼스 실리콘막(1203)의 막 두께가 변함으로써, 메모리 소자의 기록 특성의 변동이 커져 버린다.

발명의 내용

해결 하고자하는 과제

- [0014] 본 발명은 상기 문제를 감안하여, 기판 표면과 기판상에 형성된 배선으로 형성되는 단차 부분에 실리콘막을 형성했을 경우에 있어서도, 메모리 소자의 기록 특성을 저하시키지 않는 반도체 장치 및 해당 반도체 장치의 제조 방법의 제공을 과제로 한다.

과제 해결수단

- [0015] 본 발명은, 절연 표면을 갖는 기판상에 형성된 제 1의 전극과, 제 1의 전극의 측벽에 형성된 사이드월 절연층과, 제 1의 전극상 및 사이드월 절연층을 덮도록 형성된 반도체층과, 반도체층 상에 형성된 제 2의 전극을 갖고, 제 1의 전극 또는 제 2의 전극은, 반도체층과 합금화하는 재료로 형성되어 있는 메모리 소자를 복수 갖는 반도체 장치 및 반도체 장치의 제조방법에 관한 것이다. 덧붙여, 반도체 장치는 메모리 소자 이외에 트랜지스터를 갖고 있어도 괜찮다. 트랜지스터의 게이트 전극의 측벽부에 사이드월 절연층이 설치된 것을 이용하는 경우, 트랜지스터의 게이트 전극과 메모리 소자의 제 1의 전극을 동일 공정으로 형성하고, 게이트 전극의 측벽부에 형성되는 사이드월 절연층과 제 1의 전극의 측벽부에 형성되는 사이드월 절연층을 동시에 형성할 수가 있

다.

- [0016] 본 발명의 반도체 장치는, 절연 표면을 갖는 기판상에 형성된 제 1의 전극과, 상기 제 1의 전극의 측벽에 형성된 사이드월 절연층과, 상기 제 1의 전극상 및 상기 사이드월 절연층을 덮도록 형성된 반도체층과, 상기 반도체층상에 형성된 제 2의 전극을 갖고, 상기 제 1의 전극 또는 상기 제 2의 전극은, 상기 반도체층과 합금화하는 재료로 형성되어 있다.
- [0017] 본 발명의 반도체 장치는, 절연 표면을 갖는 기판상에 형성된 복수의 박막 트랜지스터, 및 복수의 메모리 소자를 갖고, 상기 메모리 소자는, 상기 절연 표면을 갖는 기판상에 형성된 제 1의 전극과, 상기 제 1의 전극의 측벽에 형성된 사이드월 절연층과, 상기 제 1의 전극상 및 상기 사이드월 절연층을 덮도록 형성된 반도체층과, 상기 반도체층상에 형성된 제 2의 전극을 갖고, 상기 박막 트랜지스터의 게이트 전극은, 상기 메모리 소자의 제 1의 전극과 같은 재료이며, 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극은, 상기 메모리 소자의 제 2의 전극과 같은 재료이고, 상기 메모리 소자의 제 1의 전극 또는 상기 메모리 소자의 제 2의 전극은, 상기 반도체층과 합금화하는 재료로 형성되어 있다.
- [0018] 본 발명의 반도체 장치는, 절연 표면을 갖는 기판상에 형성된 복수의 박막 트랜지스터, 복수의 메모리 소자, 및 안테나를 갖고, 상기 메모리 소자는, 상기 절연 표면을 갖는 기판상에 형성된 제 1의 전극과, 상기 제 1의 전극의 측벽에 형성된 사이드월 절연층과, 상기 제 1의 전극상 및 상기 사이드월 절연층을 덮도록 형성된 반도체층과, 상기 반도체층 상에 형성된 제 2의 전극을 갖고, 상기 박막 트랜지스터의 게이트 전극은, 상기 메모리 소자의 제 1의 전극과 같은 재료이며, 상기 안테나는 상기 안테나의 하부에 위치하는 접속 전극과 전기적으로 접속하고, 상기 접속전극은 상기 박막 트랜지스터와 전기적으로 접속하며, 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극과 같은 재료이며, 한편, 상기 메모리 소자의 제 2의 전극과 같은 재료이고, 상기 메모리 소자의 제 1의 전극 또는 상기 메모리 소자의 제 2의 전극은, 상기 반도체층과 합금화하는 재료로 형성되어 있다.
- [0019] 본 발명의 반도체 장치에 있어서, 상기 사이드월 절연층은, 만곡하고 있는 면을 갖고, 상기 만곡하고 있는 면에서 상기 반도체층과 접하고 있다. 또, 상기 제 1의 전극 또는 상기 제 2의 전극은, Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, Fe로부터 선택되는 적어도 1의 원소를 포함한 재료로 구성되는 것이 바람직하다. 또, 상기 절연 표면을 갖는 기판은, 유리 기판, 플라스틱 기판, 반도체 기판, 또는 종이인 것이 바람직하다. 또, 상기 반도체층으로서, 아몰퍼스 실리콘막, 미결정 실리콘막, 또는 다결정 실리콘막을 이용하는 것이 바람직하다.
- [0020] 본 발명의 반도체 장치의 제조 방법은, 절연 표면을 갖는 기판상에 제 1의 전극을 형성하고, 상기 제 1의 전극의 측벽에 사이드월 절연층을 형성하며, 상기 제 1의 전극상 및 상기 사이드월 절연층을 덮도록 반도체층을 형성하고, 상기 반도체층 상에 제 2의 전극을 형성하며, 상기 제 1의 전극 또는 상기 제 2의 전극은, 상기 반도체층과 합금화하는 재료로 형성되어 있다. 또한, 상기 사이드월 절연층은, 만곡하고 있는 면을 갖고, 만곡하고 있는 면에서 상기 반도체층과 접하고 있는 것이 바람직하다. 또, 상기 반도체층으로서, 아몰퍼스 실리콘막, 미결정 실리콘막, 또는 다결정 실리콘막을 이용하는 것이 바람직하다.
- [0021] 본 발명의 반도체 장치의 제조 방법은, 동일 기판상에 복수의 박막 트랜지스터와, 복수의 메모리 소자를 갖는 반도체 장치의 제조 방법이며, 절연 표면을 갖는 기판상에 제 1의 반도체층 및 제 2의 반도체층을 형성하고, 상기 제 1의 반도체층 및 상기 제 2의 반도체층상에 제 1의 절연막을 형성하며, 상기 제 1의 반도체층상에 상기 제 1의 절연막을 통해서 제 1의 전극을 형성하고, 상기 제 2의 반도체층상에 상기 제 1의 절연막을 통해서 제 2의 전극을 형성하며, 상기 제 2의 전극의 측벽에 사이드월 절연층을 형성하고, 상기 제 1의 전극 및 상기 제 2의 전극, 및 상기 사이드월 절연층을 덮는 제 2의 절연막을 형성하며, 상기 제 2의 절연막을 에칭하여 상기 제 2의 전극, 상기 사이드월 절연층 및 상기 제 2의 반도체층을 노출하는 제 1의 개구를 형성하고, 상기 제 2의 전극상 및 상기 사이드월 절연층상에 제 3의 반도체층을 형성하며, 상기 제 2의 절연막을 에칭해 상기 제 1의 반도체층의 일부를 노출하는 제 2의 개구를 형성하고, 상기 제 2의 반도체층상에 제 3의 전극을 형성하고, 상기 제 1의 반도체층상에 제 4의 전극을 형성하며, 상기 제 2의 전극 또는 상기 제 3의 전극은, 상기 제 3의 반도체층과 합금화하는 재료로 형성되어 있다.
- [0022] 덧붙여, 상기 사이드월 절연층은, 만곡하고 있는 면을 갖고, 상기 만곡하고 있는 면에서 상기 제 3의 반도체층과 접하고 있는 것이 바람직하다. 또, 상기 제 3의 반도체층으로서, 아몰퍼스 실리콘막, 미결정 실리콘막, 또는 다결정 실리콘막을 이용하는 것이 바람직하다. 또, 상기 제 1의 전극 및 상기 제 2의 전극은, 동일 공정으로 형성하는 것이 바람직하다. 또, 상기 제 3의 전극 및 상기 제 4의 전극은, 동일 공정으로 제조하는 것이 바람직하다. 또, 상기 제 3의 전극 및 상기 제 4의 전극의 형성과 같은 공정으로 상기 제 2의 절연막상에 제 5의 전극을 형성하고, 게다가 상기 제 5의 전극상에 상기 제 5의 전극과 전기적으로 접속하는 안테나를 형성하는 것이 바람

직하다. 또한, 상기 메모리 소자는, 상기 제 2의 전극과, 상기 제 3의 반도체층과, 상기 제 3의 전극을 갖는다. 또, 상기 박막 트랜지스터는, 상기 제 1의 반도체층과, 상기 제 1의 전극과, 상기 제 4의 전극을 갖는다. 또, 상기 제 1의 전극은, 상기 박막 트랜지스터의 게이트 전극이며, 상기 제 1의 절연막은, 게이트 절연막이며, 상기 제 4의 전극은 소스 전극 또는 드레인 전극이다.

[0023] 본 발명의 반도체 장치의 제조 방법에 있어서, 상기 절연 표면을 갖는 기판은, 유리 기판, 플라스틱 기판, 반도체 기판, 또는 종이인 것이 바람직하다.

효 과

[0024] 본 발명의 반도체 장치는, 메모리 소자부에 있어서 기판과 제 1의 전극과의 단차 부분에 반도체층 및 제 2의 전극을 형성했을 경우에도, 단차 부분에 있어서 제 1의 전극과 반도체층이 접촉하지 않고, 제 1의 전극의 표면 부분만이 메모리 소자로서 기능한다. 제 1의 전극의 표면에 형성되는 반도체층의 막 두께는 균일하기 때문에, 메모리 소자의 기록 특성의 변동을 저감하는 것이 가능하다.

[0025] 또, 트랜지스터의 게이트 전극과 메모리 소자의 제 1의 전극을 동일 공정으로 형성함으로써, 게이트 전극의 측벽부에 형성되는 사이드월 절연층과 제 1의 전극의 측벽부에 형성되는 사이드월 절연층을 동시에 형성할 수가 있다. 따라서, 공정 수를 증가시키는 일 없이, 메모리 소자의 기록 특성이 안정된 반도체 장치를 제조하는 것이 가능하다.

발명의 실시를 위한 구체적인 내용

[0026] 본 발명의 실시 형태에 대해, 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하는 일없이 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자이면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시의 형태의 기재내용에 한정해 해석되는 것은 아니다. 덧붙여, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면 사이에서 공통해서 이용한다.

[0027] (실시의 형태 1)

[0028] 본 실시의 형태에 있어서, 양극 또는 음극으로서 기능하는 도전층의 측벽부에 사이드월 절연층을 갖는 메모리 소자의 구성에 대해 설명한다.

[0029] 본 실시의 형태의 메모리 소자는 도 1에 나타낸 바와 같이, 절연 표면을 갖는 기판(10)상에 형성된 제 1의 전극(11), 제 1의 전극(11)의 측벽에 형성된 사이드월 절연층(12), 제 1의 전극(11) 및 상기 사이드월 절연층(12)를 덮도록 형성된 실리콘막(13), 및 실리콘막(13)상에 형성된 제 2의 전극(14)을 갖는다. 덧붙여, 기판(10)과 제 1의 전극(11)으로 단차부가 형성되어 있고, 실리콘막(13)과 제 2의 전극(14)은, 해당 단차 부분을 덮도록 형성되어 있다. 또, 사이드월 절연층(12)은, 제 1의 전극(11)의 측면과 실리콘막(13)이 직접 접하는 것을 막고 있다. 또, 사이드월 절연층(12)의 실리콘막(13)과 접하는 면은 만곡하고 있어도 괜찮다. 덧붙여, 제 1의 전극(11)과 제 2의 전극(14)과의 사이에 전압을 인가함으로써, 제 1의 전극(11) 또는 제 2의 전극(14)과 실리콘막(13)이 합금화하고, 영역 21의 상태가 변화해 메모리 소자의 저항이 변화한다. 따라서, 도 1에 나타낸 메모리 소자를 복수 설치한 반도체 장치에 있어서, 합금화한 메모리 소자와 합금화하지 않은 메모리 소자를 만들어 나누는 것으로, 반도체 장치에 데이터를 기록하는 것이 가능하고, 또, 각각의 메모리 소자의 저항을 읽어내는 것으로 반도체 장치에 기록된 데이터를 읽어내는 것이 가능하다.

[0030] 여기서, 도 1에 나타내는 메모리 소자의 제조 방법에 대해 설명한다. 우선, 절연 표면을 갖는 기판(10)(예를 들면, 유리 기판) 상에, 플라즈마 CVD법이나 스퍼터링법 등을 이용해 티탄(Ti)막을 형성하고, 에칭하는 것에 의해 제 1의 전극(11)을 형성한다. 계속해서, 절연 표면을 갖는 기판(10)상에 열 CVD법 등을 이용해 규소막 등의 절연막을 형성하고, 에칭해서 제 1의 전극(11)의 측벽부에 부분적으로 규소 등의 절연막을 잔존시켜 사이드월 절연층(12)을 형성한다. 계속해서, 제 1의 전극(11)상 및 사이드월 절연층(12)을 덮도록 플라즈마 CVD법 등을 이용해 실리콘막(13)을 형성한다. 계속해서, 플라즈마 CVD법이나 스퍼터링법 등을 이용해 실리콘막(13)상에 티탄막으로 구성되는 제 2의 전극(14)을 형성한다. 이상에 의해, 도 1에 나타내는 메모리 소자를 제조할 수가 있다.

[0031] 여기서, 기판(10)으로서, 유리 기판, 석영 기판 등을 이용할 수가 있다. 그 밖에도 플라스틱 기판으로서 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES), 아크릴 등의 기판을 선택하는 것도 가능하다. 또, 기판으로서 종이 등을 이용해도 괜찮다.

- [0032] 또, 실리콘막(13)으로서 아몰퍼스 실리콘막, 미결정 실리콘막, 또는 다결정실리콘막을 이용할 수가 있다. 또, 제 1의 전극(11) 및 상기 사이드월 절연층(12)를 덮도록 형성하는 막은 실리콘막에 한정되지 않고, 제 1의 전극(11) 또는 제 2의 전극(14)의 적어도 한편과 합금화하는 재료로 구성되는 반도체층이면 된다. 예를 들면, 실리콘(Si), 게르마늄(Ge) 등의 단체(單體)의 반도체 이외에 GaAs, InP, SiC, ZnSe, GaN, SiGe 등과 같은 화합물 반도체, 또는 산화아연(ZnO), 산화주석(SnO₂) 등의 산화물 반도체 등을 이용할 수가 있다.
- [0033] 또, 제 1의 전극(11) 또는 제 2의 전극(14) 중, 적어도 한편은 실리콘막(13)과 합금화하는 재료를 이용해 형성한다. 실리콘막과 합금화하는 재료를 이용한 막으로서, 티탄(Ti), 텅스텐(W), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 탄탈(Ta), 코발트(Co), 지르코늄(Zr), 마나뒀(V), 팔라듐(Pd), 하프늄(Hf), 백금(Pt), 철(Fe)로부터 선택된 원소로 구성되는 금속재료, 또는 상기 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료의 단층막, 또는 이러한 적층막을 이용할 수가 있다.
- [0034] 덧붙여, 제 1의 전극(11)과 제 2의 전극(14)의 한편을 실리콘막(13)과 합금화하는 재료로 형성했을 경우, 또 한편의 전극의 재료는 특히 한정되지 않는다. 예를 들면, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr) 등으로부터 선택된 원소 또는 이러한 원소를 주성분으로 하는 합금재료 혹은 화합물 재료로 형성할 수가 있다. 또는, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의해 형성해도 좋다. 또, 제 1의 전극(11) 또는 제 2의 전극(14)을, 도전성 재료를 적층한 막으로 형성하는 경우, 실리콘막(13)과 접하는 층이 실리콘막(13)과 합금화하는 재료로 형성되어 있으면 좋다. 덧붙여, 반도체층은, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등을 이용해 형성할 수가 있다.
- [0035] 또, 사이드월 절연층(12)은, 열 CVD법, 플라즈마 CVD법, 스퍼터링법 등에 의해 절연 표면을 갖는 기판(10)상에 형성된, 규소, 규소의 산화물 또는 규소의 질화물의 무기 재료를 포함한 재료로 구성되는 막이나, 유기수지 등의 유기 재료를 포함한 재료로 구성되는 막을 단층 또는 적층한 절연막을 에칭함으로써 형성할 수가 있다.
- [0036] 도 1에 나타난 메모리 소자는, 예를 들면 도 2에 나타난 것과 같은 외부와 무선통신이 가능한 무선 칩의 메모리부에 이용할 수가 있다.
- [0037] 무선 칩(200)은, 구동 회로부(201), 복수의 메모리 소자를 갖는 메모리부(202), 안테나부 및 전원 회로부(203)를 가지고 있다(도 2a). 덧붙여, 도 2b에 있어서, 구동 회로부(601)는 도 2a의 구동 회로부(201)의 단면구조의 일부에 대응하고, 메모리부(602)는 도 2a의 메모리부(202)의 단면구조의 일부에 대응하며, 안테나부 및 전원 회로부(603)는 도 2a의 안테나부 및 전원 회로부(203)의 단면 구조의 일부에 대응하고 있다. 덧붙여, 도 2에 있어서 메모리부는 메모리 소자를 복수 갖고, 또 메모리부 및 구동 회로부는 박막 트랜지스터(TFT)나 콘덴서 등의 소자를 복수 갖는 것은 말할 필요도 없다.
- [0038] 본 실시의 형태에 나타내는 무선 칩은, 메모리부(602)에 있어서 절연 표면을 갖는 기판(778)상에 형성된 제 1의 전극(509)과, 제 1의 전극(509)의 측벽에 형성된 사이드월 절연층 749, 750과, 제 1의 전극(509)상 및 사이드월 절연층 749, 750상에 형성된 실리콘막(524)과, 실리콘막(524)상에 형성된 제 2의 전극(540)을 갖는 메모리 소자(600)를 복수 갖는다(도 2b). 또, 기판(778)상에 절연층(703)을 통해서 설치된 박막 트랜지스터(TFT) 780~784와, 박막 트랜지스터(TFT) 780~784의 측벽에 설치된 사이드월 절연층 739~748과, 박막 트랜지스터(TFT) 780~784상에 설치된 절연막 523과, 해당 절연막 523상에 설치된 소스 전극 또는 드레인 전극 525~534를 갖는다.
- [0039] 덧붙여, 본 실시의 형태에 있어서, 박막 트랜지스터(TFT) 780~784의 게이트 전극 504~508과 제 1의 전극(509)은, 동일 공정으로 제조되어 있고, 소스 전극 또는 드레인 전극 525~534과 제 2의 전극(540)은, 동일 공정으로 제조되어 있다. 즉, 게이트 전극 504~508과 제 1의 전극(509)은, 같은 재료로 형성되어 있고, 소스 전극 또는 드레인 전극 525~534와 제 2의 전극(540)은, 같은 재료로 형성되어 있다. 또, 박막 트랜지스터(TFT) 780~784의 측벽에 설치된 사이드월 절연층 739~748과, 제 1의 전극(509)의 측벽에 형성된 사이드월 절연층 749, 750은, 동일 공정으로 형성되어 있다.
- [0040] 이와 같이, 트랜지스터의 게이트 전극과 메모리 소자의 제 1의 전극을 동일 공정으로 형성함으로써, 게이트 전극의 측벽부에 형성되는 사이드월 절연층과 제 1의 전극의 측벽부에 형성되는 사이드월 절연층을, 공정 수를 증가시키는 일없이 동시에 형성하는 것이 가능하다.
- [0041] 또, 본 실시의 형태에 나타내는 무선 칩은, 소스 전극 또는 드레인 전극 525~534 및 제 2의 전극(540)상에 형성된 절연막 543과, 절연막 543상에 형성된 안테나(546)와, 절연막 543 및 안테나(546)를 덮도록 설치된 절연층 772를 가지고 있다. 덧붙여, 본 실시의 형태에 있어서, 제 1의 전극(509) 또는 제 2의 전극(540)의 적어도 한편

은, 실리콘막(524)과 합금화하는 재료로 형성되어 있다.

- [0042] 본 실시의 형태에 나타내는 메모리 소자는, 제 1의 전극의 측벽부에 사이드월 절연층이 설치되어 있기 때문에, 제 1의 전극과 실리콘막이 직접 접하지 않는 구조로 할 수가 있다. 그것에 의해, 기판과 제 1의 전극과의 단차 부분에 실리콘막 및 제 2의 전극을 형성했을 경우에도, 단차 부분에 있어서 제 1의 전극과 실리콘막이 접촉하지 않고, 제 1의 전극의 상면 부분만이 메모리 소자로서 기능한다. 제 1의 전극의 상면에 형성되는 실리콘막의 막 두께는 균일하기 때문에, 메모리 소자의 기록 특성의 변동을 저감할 수가 있다.
- [0043] 또, 트랜지스터의 게이트 전극과 메모리 소자의 제 1의 전극을 동일 공정으로 형성함으로써, 게이트 전극의 측벽부에 형성되는 사이드월 절연층과 제 1의 전극의 측벽부에 형성되는 사이드월 절연층을 동시에 형성할 수가 있다. 따라서, 공정 수를 증가시키는 일 없이, 메모리 소자의 기록 특성이 안정된 반도체 장치를 제조하는 것이 가능하다. 또, 워드선이나 비트선이 되는 배선의 교점 부분에 메모리 소자를 제조해도 기록 특성의 변동을 억제할 수가 있기 때문에, 반도체 장치의 소형화가 가능하다.
- [0044] (실시의 형태 2)
- [0045] 본 실시의 형태에 있어서, 실시의 형태 1에서 나타낸 메모리 소자를 갖는 반도체 장치의 제조 공정에 대해서 도면을 이용해 설명한다. 본 실시의 형태에서는, 메모리 소자를 갖는 반도체 장치의 예로서 외부와 무선 통신이 가능한 무선 칩에 대해 설명한다.
- [0046] 우선, 제 1의 기판(701)의 일 표면에 박리층(702)을 형성한다(도 3a). 제 1의 기판(701)은, 절연 표면을 갖는 것이면 특히 한정되지 않는다. 예를 들면, 석영 기판, 유리기판, 플라스틱 기판 등을 이용할 수가 있다. 제 1의 기판(701)이 유리로 구성되는 경우에는, 그 면적이나 형상에 큰 제한은 없다. 그 때문에, 제 1의 기판(701)으로서, 예를 들면, 1면이 1미터 이상이며, 구형 모양의 것을 이용하면, 생산성을 현격히 향상시키는 것이 가능하다. 이러한 이점은, 원형의 단결정 실리콘 기판을 이용하는 경우와 비교하면, 큰 우위점이다. 또, 기판(701)이 플라스틱으로 구성되는 경우, 제조 공정의 처리온도에 건디는 내열성의 플라스틱을 이용할 필요가 있다. 덧붙여, 후술하지만, 매우 적합하게는, 유리로 구성되는 제 1의 기판(701)상에 박막 트랜지스터를 설치한 후, 해당 박막 트랜지스터를 박리해, 플라스틱으로 구성되는 기판상에 설치해도 좋다.
- [0047] 덧붙여, 본 공정도에서는, 박리층(702)은, 제 1의 기판(701)의 전면에 설치되어 있지만, 필요에 따라, 기판(701)의 전면에 박리층을 설치한 후에, 포토리소그래피법을 이용해 박리층을 에칭해 선택적으로 설치해도 좋다. 또, 제 1의 기판(701)에 접하도록 박리층(702)을 형성하고 있지만, 필요에 따라서, 제 1의 기판(701)에 접하도록 하지 않는 절연층을 형성하고, 해당 절연층에 접하도록 박리층(702)을 형성해도 좋다.
- [0048] 박리층(702)은, 스퍼터링법이나 플라즈마 CVD법 등에 의해, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 규소(Si) 등으로부터 선택된 원소 또는 상기 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로 구성되는 층을, 단층 또는 적층해 형성한다.
- [0049] 그 다음에, 박리층(702)의 표면을 산화시켜 산화 금속층을 형성해도 좋다. 산화 금속층의 형성방법은, 순수한 물이나 오존수를 이용해 표면을 산화해 형성해도 좋고, 산소 플라즈마로 산화해 형성해도 좋다. 또, 산소를 포함한 분위기에서 가열을 행하여 산화 금속층을 형성해도 좋다. 또, 후의 절연막의 형성 공정으로 형성해도 좋다. 이 경우, 절연막으로서 산화 규소막이나 산화질화 규소막을 플라즈마 CVD법으로 형성할 때에, 박리층(702) 표면이 산화되어 산화 금속층을 형성할 수가 있다.
- [0050] 다음에, 박리층(702)을 덮도록, 하지가 되는 절연층(703)을 형성한다. 절연층(703)은, 스퍼터링법이나 플라즈마 CVD법 등에 의해, 규소의 산화물 또는 규소의 질화물을 포함한 재료로 구성되는 막을, 단층 또는 적층으로 형성한다. 규소의 산화물 재료는, 규소(Si)와 산소(O)를 포함한 물질이며, 산화 규소, 질소를 포함한 산화 규소 등이 해당한다. 규소의 질화물 재료는, 규소와 질소(N)를 포함한 물질이며, 질화 규소, 산소를 포함한 질화 규소 등이 해당한다. 하지가 되는 절연층은, 제 1의 기판(701)으로부터의 불순물의 침입을 방지하는 블록킹막으로서 기능한다. 대표적인 일례는 2층 구조로 완성되고, PCVD법에 의해 SiH_4 , NH_3 , 및 N_2O 를 반응 가스로서 성막되는 질화산화 규소막을 50~100nm, SiH_4 , 및 N_2O 를 반응 가스로서 성막 되는 산화질화 규소막을 100~150nm의 두께로 적층 형성하는 구조가 채용된다. 덧붙여, 절연층(703)의 한 층으로서 막 두께 100nm이하의 질화 실리콘막(Si_3N_4 막), 혹은 질화산화 규소막($\text{Si}_x\text{N}_y\text{O}_z$ 막($x>y$))을 이용하는 것이 바람직하다. 또, 질화산화 규소막과, 산화질화 규소막과, 질화 실리콘막을 순차 적층한 3층 구조를 이용해도 괜찮다. 덧붙여, 특히 필요하지 않으면

절연층(703)은 설치할 필요가 없다.

[0051] 다음에, 절연층(703)상에, 비정질 반도체층(704)을 형성한다. 비정질 반도체층(704)은, 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의해 형성한다. 덧붙여, 플라즈마 CVD법을 이용하면, 절연층(703)과, 비정질 반도체층(704)을 대기에 접하는 일없이 연속적으로 적층할 수가 있다. 비정질 반도체층의 두께는 25~80nm(바람직하지는 30~70nm)의 두께로 형성하면 좋다. 계속해서, 비정질 반도체층(704)을 결정화법(레이저 결정화법, RTA 또는 퍼니스 어닐노를 이용하는 열결정화법, 결정화를 조장하는 금속원소를 이용하는 열결정화법, 결정화를 조장하는 금속 원소를 이용하는 열결정화법과 레이저 결정화법을 조합한 방법 등)에 의해 결정화해, 결정질 반도체층을 형성한다. 그 후, 취득한 결정질 반도체층을 소망한 형상으로 예칭해, 결정질 반도체층 706~711을 형성한다(도 3b).

[0052] 여기서, 결정질 반도체층 706~711의 작성 공정의 일례에 대해 이하에 설명한다. 우선, 플라즈마 CVD법을 이용해, 절연층(703)상에 비정질 반도체층(704)을 형성한다. 다음에, 결정화를 조장하는 금속 원소인 니켈을 포함한 용액을 비정질 반도체층상에 보유시킨 후, 비정질 반도체층에 탈수소화의 처리(500℃, 1시간)와, 열결정화의 처리(550℃, 4시간)를 실시해 결정질 반도체층을 형성한다. 비정질 반도체층을 결정화해 얻은 결정질 반도체층상에 제 1의 포토마스크를 이용해 레지스트 마스크를 형성한 후, 결정질 반도체층을 소망의 형상으로 예칭함으로써 결정질 반도체층 706~711을 형성하는 것이 가능하다.

[0053] 레이저 결정화법으로 결정질 반도체층을 형성하는 경우, 기체 레이저 또는 고체 레이저를 이용하는 것이 가능하다. 기체 레이저와 고체 레이저는, 연속 발진 또는 펄스 발진의 어디 것이라도 좋다. 예를 들면, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 기체 레이저, 단결정의 YAG, YVO₄, 포르스테라이트(forsterite)(Mg₂SiO₄), YAlO₃, GdVO₄, 혹은 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에, 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종 첨가되어 있는 것을 매질로 하는 레이저, 글래스 레이저, 루비 레이저, 알렉산드라이트 레이저, 또는 Ti:사파이어 레이저, 동 증기 레이저 또는 금 증기 레이저 중 일종 또는 복수종으로부터 발진된 레이저 빔을 이용할 수가 있다. 이러한 레이저 빔의 기본파, 및 이러한 기본파의 제 2 고조파로부터 제 4 고조파의 레이저 빔을 조사함으로써, 큰 입경의 결정을 얻을 수 있다.

[0054] 덧붙여, 단결정의 YAG, YVO₄, 포르스테라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 혹은 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에, 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종 첨가되어 있는 것을 매질로 하는 레이저, Ar 이온 레이저, 또는 Ti:사파이어 레이저는, 연속 발진을 시키는 것이 가능하고, Q스위치 동작이나 모드 동기 등을 실시함으로써 10MHz 이상의 발진 주파수로 펄스 발진을 시키는 것도 가능하다. 연속 발진 레이저 혹은 10MHz 이상의 주파수로 발진하는 레이저 빔을 조사함으로써, 결정화된 반도체막의 표면을 평탄한 것으로 할 수가 있다. 그것에 의해, 후의 공정으로 형성하는 게이트 절연막을 박막화하는 것이 가능하고, 보다 박형의 반도체 장치를 제조할 수가 있다. 또, 게이트 절연막의 내압을 향상시키는 것에 기여하는 것이 가능하다.

[0055] 덧붙여, 결정화를 조장하는 금속 원소를 이용해 비정질 반도체층의 결정화를 행하면, 저온에서 단시간의 결정화가 가능해지고, 결정의 방향이 갖추어진다고 하는 이점이 있는 한편, 금속 원소가 결정질 반도체층에 잔존하기 때문에 오프 전류가 상승해, 특성이 안정되지 않는다고 하는 결점이 있다. 그래서, 결정질 반도체층상에, 게터링 사이트(gettering site)로서 기능하는 비정질 반도체층을 형성하면 좋다. 게터링 사이트가 되는 비정질 반도체층에는, 인이나 아르곤의 불순물 원소를 함유시킬 필요가 있기 때문에, 매우 적합하게는, 아르곤을 고농도로 함유시키는 것이 가능한 스퍼터링법으로 형성하면 좋다. 그 후, 가열 처리(RTA법이나 퍼니스 어닐노를 이용한 열 어닐 등)을 실시해, 비정질 반도체층 중에 금속 원소를 확산시키고, 계속해서, 당해 금속 원소를 포함한 비정질 반도체층을 제거한다. 그렇게 하면, 결정질 반도체층 중의 금속 원소의 함유량을 저감 또는 제거할 수가 있다.

[0056] 그 다음에, 레지스트 마스크를 제거한다. 그 다음에, 필요하다면 TFT의 임계값을 제어하기 위해, 미량인 불순물 원소(붕소 또는 인)의 도핑을 반도체층에 대해서 실시한다. 여기에서는, 다이보레인(B₂H₆)을 질량 분리하지 않고 플라즈마 여기한 이온 도프법을 이용한다. 그리고, 불화수소산을 포함한 에칭트로 반도체층 표면의 산화막을 제거하는 동시에 반도체층의 표면을 세정하면 좋다.

[0057] 다음에, 결정질 반도체층 706~710을 덮는 게이트 절연층(705)을 형성한다(도 3b). 게이트 절연층(705)은, 플라즈마 CVD법이나 스퍼터링법에 의해, 규소의 산화물 또는 규소의 질화물을 포함한 재료로 구성되는 막을, 단층 또는 적층해 형성한다. 덧붙여, 게이트 절연층은, 결정질 반도체층 706~710에 대해 고밀도 플라즈마 처리를 행

하여, 표면을 산화 또는 질화함으로써 형성해도 좋다. 예를 들면, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화질소(NO_2), 암모니아, 질소, 수소 등의 혼합 가스를 도입한 플라즈마 처리로 형성한다. 이 경우의 플라즈마의 여기는, 마이크로파의 도입에 의해 행하면, 저전자 온도로 고밀도의 플라즈마를 생성할 수가 있다. 이 고밀도 플라즈마로 생성된 산소 래디컬(OH 래디컬을 포함한 경우도 있다)이나 질소 래디컬(NH 래디컬을 포함한 경우도 있다)에 의해, 반도체막의 표면을 산화 또는 질화할 수가 있다.

[0058] 이러한 고밀도 플라즈마를 이용한 처리에 의해, 1~20nm, 대표적으로는 5~10 nm의 절연막이 반도체막에 형성된다. 이 경우의 반응은, 고상 반응이기 때문에, 해당 절연막과 반도체막과의 계면 준위 밀도는 극히 낮게 할 수가 있다. 이러한, 고밀도 플라즈마 처리는, 반도체막(결정성 실리콘, 혹은 다결정 실리콘)을 직접 산화(혹은 질화) 하기 때문에, 형성되는 절연막의 두께는 이상적으로는, 변동을 극히 작게 하는 것이 가능하다. 게다가, 결정성 실리콘의 결정립계에서도 산화가 강하게 행해지는 일이 없기 때문에, 매우 바람직한 상태가 된다. 즉, 여기서 나타내는 고밀도 플라즈마 처리로 반도체막의 표면을 고상 산화함으로써, 결정립계에 있어서 이상하게 산화 반응을 시키는 일없이, 균일성이 좋고, 계면 준위 밀도가 낮은 절연막을 형성할 수가 있다. 따라서, 보다 얇게 특성이 좋은 반도체 장치를 제조하는 것이 가능하다.

[0059] 게이트 절연층은, 고밀도 플라즈마 처리에 의해 형성되는 절연막만을 이용해도 좋고, 거기에 플라즈마나 열반응을 이용한 CVD법으로 산화 실리콘, 산질화 실리콘, 질화 실리콘 등의 절연막을 퇴적해, 적층시켜도 좋다. 어쨌든, 고밀도 플라즈마로 형성한 절연막을 게이트 절연층의 일부 또는 전부에 포함해 형성되는 트랜지스터는, 특성의 변동을 작게 할 수가 있다. 따라서, 보다 얇게 특성이 좋은 반도체 장치를 제조하는 것이 가능하다.

[0060] 또, 반도체막의 결정화 시에 반도체막에 대해, 연속 발진 레이저 혹은 10MHz 이상의 주파수로 발진하는 레이저 빔을 조사하면서 한 방향으로 주사해 결정화시켜 얻은 결정질 반도체층 706~711은, 그 빔의 주사 방향으로 결정이 성장하는 특성이 있다. 그 주사 방향을 채널 길이 방향(채널 형성 영역이 형성되었을 때에 캐리어가 흐르는 방향)에 맞추어 트랜지스터를 배치하고, 상기 게이트 절연층을 조합함으로써, 특성 변동이 작고, 게다가 전계 효과 이동도가 높은 트랜지스터(TFT)를 얻는 것이 가능하다.

[0061] 다음에, 게이트 절연층(705)상에, 플라즈마 CVD법이나 스퍼터링법에 의해 도전층(503)을 형성한다. 다음에, 포토리소그래피법에 의해, 제 2의 포토마스크를 이용해 레지스트 마스크를 형성하고, 게이트 전극과 게이트선을 형성하기 위한 에칭 처리를 실시해, 게이트 전극 504~508, 및 메모리 소자의 하부 전극이 되는 제 1의 전극(509)을 형성한다(도 3c).

[0062] 게이트 전극 504~508, 및 제 1의 전극(509)의 상층층의 재료로서는, 실리콘과 합금화하는 재료를 이용하는 것이 바람직하고, Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, Fe로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 혹은 화합물 재료의 단층, 또는 이들의 적층으로 형성할 수가 있다. 다만, 박막 트랜지스터(TFT)의 게이트 전극으로서의 고용점 금속이 바람직하기 때문에, W 또는 Mo를 이용하는 것이 바람직하다. 게이트 전극 504~508, 및 제 1의 전극(509)을 적층으로 하는 경우에는, 상층이 되는 재료층이 상술한 재료이면, 하층이 되는 재료층은 특히 한정되지 않고, 인 등의 불순물 원소를 도핑한 다결정 실리콘층으로 해도 좋다.

[0063] 덧붙여, 후에 형성되는 메모리 소자의 제 2의 전극(상부 전극)을 실리콘과 합금화하는 재료를 이용해 형성하는 경우, 게이트 전극 504~508, 및 제 1의 전극(509)의 재료는 특히 한정되지 않는다. 예를 들면, 게이트 전극 504~508, 및 제 1의 전극(509)은, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr) 등으로부터 선택된 원소 또는 이들의 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로 형성할 수가 있다. 또는, 인 등의 불순물 원소를 도핑 한 다결정 규소로 대표되는 반도체 재료에 의해 형성할 수가 있다. 제 1의 도전층과 제 2의 도전층의 조합의 예를 들면, 질화 탄탈로 구성되는 층과 텅스텐으로 구성되는 층, 질화 텅스텐으로 구성되는 층과 텅스텐으로 구성되는 층, 질화 몰리브덴으로 구성되는 층과 몰리브덴으로 구성되는 층 등을 들 수 있다. 텅스텐이나 질화 탄탈은, 내열성이 높기 때문에, 제 1의 도전층과 제 2의 도전층을 형성한 후에, 열활성화를 목적으로 한 가열 처리를 행할 수가 있다. 또, 2층 구조는 아니고, 3층 구조의 경우는, 몰리브덴으로 구성되는 층과 알루미늄으로 구성되는 층과 몰리브덴으로 구성되는 층의 적층 구조를 채용하면 좋다.

[0064] 그 다음에, n채널형 TFT로 하는 결정질 반도체층 707~711을 덮도록 제 3의 포토마스크를 이용해 레지스트 마스크(510)를 형성하고, p채널형 TFT로 하는 영역의 반도체층에 게이트 전극(504)을 마스크로서 불순물 원소를 도입함으로써 p형을 나타내는 불순물 영역을 형성한다(도 3c). p형을 나타내는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 이용할 수가 있다. 여기에서는, p채널형 TFT로 하는 영역의 반도체층에 붕소(B)를 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 의 농도로 포함되도록 도입함으로써, p형을 나타내는 불순물 영역을 형성할 수가 있다. 그

결과, p채널형 TFT로 하는 영역의 반도체층에, 소스 영역 또는 드레인 영역 514, 515, 및 채널 형성영역 516이 형성된다.

[0065] 다음에, 게이트 절연층(705), 게이트 전극 504~508, 및 제 1의 전극(509)을 덮도록 게이트 절연층을 형성한다. 절연층은, 플라즈마 CVD법이나 스퍼터링법에 의해, 규소, 규소의 산화물 또는 규소의 질화물의 무기 재료를 포함한 재료로 구성되는 막이나, 유기 수지 등의 유기재료를 포함한 재료로 구성되는 막을, 단층 또는 적층해 형성한다.

[0066] 다음에, 절연층을, 수직 방향을 주축으로 한 이방성 에칭에 의해 선택적으로 에칭해, 게이트 전극 504~508의 측면에 접하는 사이드월 절연층 739~748, 및 제 1의 전극(509)의 측면에 접하는 사이드월 절연층 749~750을 형성한다(도 3d). 덧붙여, 사이드월 절연층 739~750은, 게이트 전극 504~508 또는 제 1의 전극(509)과 접하지 않는 면에 있어서 만곡하고 있다. 또, 사이드월 절연층 739~751의 작성과 동시에, 게이트 절연층(705)을 에칭해 절연층 301~306을 형성한다. 사이드월 절연층 739~748는, 후에 LDD(Lightly Doped drain) 영역을 형성할 때의 도핑용의 마스크로서 이용한다.

[0067] 그 다음에, p채널형 TFT로 하는 결정질 반도체층 706 및 메모리 소자의 하층에 형성된 결정질 반도체층 709를 덮도록 제 4의 포토마스크(511)를 이용해 레지스트 마스크를 형성하고, n채널형 TFT로 하는 영역의 결정질 반도체층 707, 708, 710, 711에 게이트 전극 505~508 및 사이드월 절연층 741~744, 745~748을 마스크로서 불순물 원소를 도입함으로써, 제 1의 불순물 영역(LDD 영역이라고도 부른다) 727, 729, 731, 733과, 제 2의 불순물 영역 726, 728, 730, 732를 형성한다(도 4a). 여기서, 제 1의 불순물 영역 727, 729, 731, 733의 불순물 원소의 농도는, 제2의 불순물 영역 726, 728, 730, 732의 불순물 원소의 농도보다도 낮다. 여기서, n채널형 TFT로 하는 영역의 반도체층에 인(P)을 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 의 농도로 포함되도록 도입함으로써, n형을 나타내는 고농도 불순물 영역을 형성할 수가 있다. 그 결과, n채널형 TFT로 하는 영역의 반도체층에, 소스 영역 또는 드레인 영역으로서 기능하는 제 2의 불순물 영역 726, 728, 730, 732, LDD 영역으로서 기능하는 제 1의 불순물 영역 727, 729, 731, 733, 및 채널 형성영역 401~404가 형성된다. 덧붙여, 사이드월 절연층의 하부에 LDD 영역이 형성되어 있다.

[0068] 덧붙여, 본 실시의 형태에서는, n채널형 TFT에 포함되는 반도체층에 LDD 영역을 형성하고, p채널형 TFT에 포함되는 반도체층에 LDD 영역을 설치하지 않은 구조를 나타냈지만, 물론 이것에 한정되지 않고, n채널형 TFT 및 p채널형 TFT의 양쪽의 반도체층에 LDD영역을 형성해도 좋고, 양쪽의 반도체층에 LDD를 설치하지 않은 구성으로 해도 좋다.

[0069] 그 다음에, 레지스트 마스크를 제거하고, 게이트 전극 및 반도체층상에 절연막 522를 형성한다(도 4b). 절연막 522로서는, SOG법, 액적 도출법 등에 의해, 규소의 산화물이나 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시크로브텐, 아크릴, 에폭시, 실록산 등의 유기 재료 등에 의해, 단층 또는 적층으로 형성한다. 실록산은, Si-O-Si 결합을 포함한 수지에 상당한다. 실록산은, 실리콘(Si)과 산소(O)와의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함한 유기기(예를 들면 알킬기, 방향족 탄화수소)가 이용된다. 또, 치환기로서, 플루오르기를 이용해도 괜찮다. 또, 절연막 522를 형성한 후, 반도체층에 첨가된 불순물 원소의 활성화 처리 및 수소화 처리를 행해도 괜찮다. 불순물 원소의 활성화 처리 및 수소화 처리는, 노에서의 열처리(300~550℃에서 1~12시간의 열처리) 또는, 램프 광원을 이용한 래피드 서멀 어닐법(RTA법)을 이용한다. 예를 들면, 절연막 522는, PCVD법에 의해 얻은 막 두께는 50nm~200nm의 질화산화 규소막(SiNO막)을 이용하는 것이 가능하다. 또한, 결정화를 조장하는 금속 원소, 대표적으로는 니켈을 이용해 반도체막을 결정화시키는 경우, 활성화와 동시에 채널 형성영역에 있어서의 니켈의 저감을 행하는 게터링도 행할 수가 있다. 덧붙여, 절연막 522는 층간 절연막의 첫 번째 층이다.

[0070] 그 다음에, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등을 이용해 층간 절연막의 두 번째 층이 되는 절연막 523을 형성한다(도 4c). 절연막 523으로서, 산화 실리콘막, 질화 실리콘막 또는 산화질화 실리콘막 등의 절연막의 단층 또는 적층을 이용한다. 여기에서는 절연막 523의 막 두께는 300nm~800nm로 한다.

[0071] 그 다음에, 절연막 523상에 제 5의 포토마스크를 이용해 레지스트 마스크를 형성하고, 선택적으로 절연막 522 및 절연막 523을 에칭해, 제 1의 전극(509), 사이드월 절연층 749~750, 및 결정질 반도체층(709)의 일부를 노출하는 제 1의 개구(501)를 형성한다(도 4d). 제 1의 개구(501) 형성 후에 레지스트 마스크는 제거한다.

[0072] 그 다음에, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등을 이용해, 제 1의 전극(509), 사이드월 절연층 749~750, 및 결정질 반도체층(709)상에 실리콘막을 형성한다. 실리콘막은, 아몰퍼스 실리콘막, 미결정

실리콘막, 또는 다결정 실리콘막의 어느 하나를 이용해 막 두께 10nm~200nm 정도로 형성한다. 본 실시의 형태에서는, 플라즈마 CVD법을 이용해 100nm의 막 두께를 갖는 아몰퍼스 실리콘막을 성막 한다. 그 다음에, 아몰퍼스 실리콘막상에 제 6의 포토마스크를 이용해 레지스트 마스크를 형성하고, 선택적으로 아몰퍼스 실리콘막을 에칭해, 실리콘막(524)을 형성한다(도 5a). 에칭 후에 레지스트 마스크는 제거한다. 덧붙여, 제 1의 전극(509), 사이드월 절연층 749~750, 및 결정질 반도체층(709)상에 형성하는 막은 실리콘막에 한정되지 않고, 제 1의 전극(509) 또는 제 2의 전극(540)의 적어도 한편과 합금화하는 재료로 구성되는 반도체층이면 좋다. 예를 들면, 실리콘(Si), 게르마늄(Ge) 등의 단체의 반도체 이외에 GaAs, InP, SiC, ZnSe, GaN, SiGe 등과 같은 화합물 반도체, 또는 산화 아연(ZnO), 산화 주석(SnO₂) 등의 산화물 반도체 등을 이용할 수가 있다.

[0073] 그 다음에, 절연막 523상에 제 7의 포토마스크를 이용해 레지스트 마스크를 형성하고, 선택적으로 절연막 522 및 절연막 523을 에칭해, 반도체층에 이르는 콘택홀, 게이트 전극에 이르는 콘택홀을 각각 형성한다(도 5b). 그리고, 에칭 후에 레지스트 마스크는 제거한다.

[0074] 그 다음에, 불화수소산을 포함한 에천트로 노출되어 있는 반도체층 표면 및 노출되어 있는 게이트 전극 표면의 산화막을 제거하는 것과 동시에 노출되어 있는 반도체층의 표면 및 노출되어 있는 제 1의 전극 표면을 세정하면 좋다.

[0075] 그 다음에, 절연막 523상에 스퍼터링법을 이용해 도전막을 형성한다. 이 도전막은, 후공정으로 에칭함으로써, 메모리 소자의 제 2의 전극(540), 구동회로부(601)의 TFT의 배선, 메모리부(602)의 TFT의 배선, 또는 안테나부 및 전원회로부(603)의 TFT의 배선이 된다. 도전막으로서 예를 들면 Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, Fe, Al, Cu로부터 선택된 원소로 구성되는 금속재료, 또는 상기 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료의 단층막, 또는 이들의 적층막으로 형성할 수가 있다. 다만, 메모리 소자의 하부 전극이 되는 제 1의 전극(509)을 실리콘막(524)과 합금화하는 재료로 형성했을 경우, 해당 도전막의 재료는 특히 한정되지 않는다.

[0076] 또, 도전막을 적층하는 경우는, 적어도 실리콘막(524)과 접하는 한 층은, 실리콘과 합금화하는 재료를 이용한다. 예를 들면, Ti막과, Si를 미량 포함한 Al막과, Ti막과의 3층 구조, 혹은 Ti막과, Ni와 C를 포함한 Al 합금막과, Ti막과의 3층 구조를 이용한다. 본 실시의 형태에서는, 막 두께 100nm의 Ti막과, 막 두께 350nm의 순 Al막과, 막 두께 100nm의 Ti막과의 3층 적층으로 한다.

[0077] 그 다음에, 도전층상에 제 8의 포토마스크를 이용해 레지스트 마스크를 형성하고, 선택적으로 도전막을 에칭해, 소스 전극 또는 드레인 전극 525~534, 게이트 인출 배선 535~539, 메모리 소자의 제 2의 전극(540), 안테나부의 접속전극(542)을 형성한다(도 5c). 제 2의 전극(540)은 실리콘막(524)과 겹쳐 메모리 소자의 상부 전극이 된다. 덧붙여, 여기에서는 도시하지 않지만, 접속 전극(542)은, 안테나부 및 전원회로부의 TFT와 전기적으로 접속하고 있다. 그리고, 에칭 후에 레지스트 마스크를 제거한다. 이것에 의해, 제 1의 전극(509)상에 형성된 실리콘막(524), 실리콘막(524)상에 형성된 제 2의 전극(540)을 갖는 메모리 소자(600)를 얻을 수 있다.

[0078] 덧붙여, 여기서 결정질 반도체층(709)은, 실리콘막(524) 및 제 2의 전극(540)을 에칭할 때에, 하지층까지 에칭되는 것을 막기 위한 에칭 스톱퍼이다. 또, 본 실시의 형태에 있어서는, 실리콘막(524)을 에칭하고 나서 제 2의 전극(540)을 형성하고 있지만, 실리콘막 및 도전층을 연속해 형성한 다음에, 에칭하는 것에 의해 동시에 실리콘막(524) 및 제 2의 전극(540)을 형성해도 좋다. 이것에 의해, 포토마스크를 1장 줄일 수가 있어, 공정을 삭감할 수가 있다.

[0079] 그 다음에, 구동회로부(601)의 TFT와, 메모리부(602)의 TFT 및 메모리 소자와, 안테나부 및 전원회로부(603)의 TFT를 덮는 절연막 543을 형성한다. 절연막 543은, 산화실리콘을 포함한 절연막 또는 유기 수지막을 이용한다. 무선 칩의 신뢰성을 향상시키는데 있어서는 산화 실리콘을 포함한 절연막을 이용하는 것이 바람직하다. 또, 후에 형성하는 안테나를 스크린 인쇄법으로 형성하는 경우에는 평탄면을 가지고 있는 것이 바람직하기 때문에, 도포법을 이용하는 유기 수지막을 이용하는 것이 바람직하다. 절연막 543은, 실시자가 적당, 선택하면 된다. 또, 본 실시 예에서는 후에 형성하는 안테나가 구동회로 및 메모리부와 겹치는 예를 나타내고 있기 때문에, 절연막 543은, 안테나와의 절연을 피하는 층간 절연막으로서 기능하고 있다. 원형(예를 들면, 루프 안테나) 또는 나선형의 안테나로 하는 경우에는, 안테나의 양단 중 한편을 하층의 배선으로 이끌기 때문에, 절연막 543을 설치하는 것이 바람직하다. 다만, 마이크로파 방식을 적용해, 선상(예를 들면, 다이폴 안테나), 평탄한 형상(예를 들면, 패치 안테나) 등의 안테나로 하는 경우에는, 후에 형성하는 안테나가 구동회로 및 메모리부와 겹치지 않게 배치할 수 있기 때문에, 절연막 543은 특별히 설치하지 않아도 좋다.

- [0080] 그 다음에, 절연막 543상에 제 9의 포토마스크를 이용해 레지스트 마스크를 형성하고, 선택적으로 절연막 543을 에칭해, 접속전극 542에 이르는 제 2의 개구(502)를 형성한다(도 6a). 그리고, 에칭 후에 레지스트 마스크는 제거한다.
- [0081] 그 다음에, 절연막 543상에 안테나의 하지막(545)을 형성한다(도 6b). 절연막 543상에, Ti, Ni, Au로부터 선택되는 단층 또는 이들의 적층의 금속막을 형성하고, 해당 금속막상에 제 10의 포토마스크를 이용해 레지스트 마스크를 형성하며, 선택적으로 금속막을 에칭함으로써, 안테나의 하지막(545)을 형성할 수가 있다. 덧붙여, 여기에서의 하지막(545)은, 레지스트 마스크를 이용하는 일 없이, 메탈 마스크를 이용한 스퍼터링법으로 선택적으로 형성할 수도 있다. 안테나의 하지막(545)은 반드시 설치할 필요는 없지만, 하지막(545)을 설치하는 것으로 안테나와의 접촉 면적을 넓게 확보할 수가 있다.
- [0082] 그 다음에, 하지막(545)상에 안테나(546)를 형성한다. 안테나(546)는 스퍼터링법을 이용해 Al 또는 Ag 등 금속막을 형성한 후, 포토마스크를 이용해 에칭하는 방법, 혹은 스크린 인쇄법을 이용할 수가 있다. 포토마스크 수를 삭감하는 것을 우선한다면, 스크린 인쇄법을 이용해 안테나를 형성하면 된다. 스크린 인쇄법이란, 금속 혹은 고분자 화합물 섬유의 메쉬(mesh)에 의해 구성되는 베이스에 소정의 패턴이 감광성 수지로 형성된 스크린판상에 놓인 잉크 혹은 페이스트를 스킴지(squeegee)라고 불리는 고무, 플라스틱, 혹은 금속의 블레이드(blade)를 이용해 스크린판의 반대 측에 위치된 워크(work)에 전사하는 방법이다. 스크린 인쇄법은, 비교적 대면적에서의 패턴 형성을 저비용으로 실현할 수 있는 메리트를 가지고 있다.
- [0083] 이상의 공정에 의해, 동일 기판상에 구동회로부(601)의 TFT와, 메모리부(602)의 TFT 및 메모리 소자(600)와, 안테나부 및 전원회로부(603)의 TFT 및 안테나를 형성하는 것이 가능하다.
- [0084] 덧붙여, 본 실시의 형태에서는, 포토마스크를 이용해 레지스트 마스크를 형성하는 예를 나타냈지만, 특히 한정되지 않고, 포토마스크를 이용하는 일없이 레지스트 재료를 액적 토출법으로 선택적으로 형성해 레지스트 마스크를 형성해도 좋다.
- [0085] 다음에, 구동회로부(601)의 TFT와, 메모리부(602)의 TFT 및 메모리 소자(600)와, 안테나부 및 전원회로부(603)의 TFT 및 안테나를 덮도록 절연층 772를 형성한다(도 7a). 절연층 772는, 후에 기재하는 박리 공정에 있어서 TFT를 포함한 소자형성층에의 손상을 억제하는 기능을 갖는 재료이면 특히 제한되는 것은 아니지만, 바람직하게는 수지(보다 바람직하게는 에폭시 수지)에 의해 형성한다. 절연층 772로서 에폭시 수지를 이용하는 것으로, 절연층 772 표면의 평탄성이 향상하고, 후의 박리 공정에 있어서 TFT를 포함한 소자 형성층에의 손상을 저감하며, 한편 절연층 772의 하층의 기억소자부나 소자형성층을 먼지 등으로부터 보호하고, 반도체 장치의 기계적 강도를 유지하는 것이 가능하다.
- [0086] 덧붙여, 본 실시의 형태에서는, 박막 트랜지스터 780~784, 메모리 소자(600)를 포함하는 층을 소자 형성층(791)이라고 부른다. 또, 안테나(546)의 아래쪽에 위치하는 층(기관(701)을 제외)의 두께는, 5 μ m 이하, 바람직하게는 0.1 μ m~3 μ m의 두께를 갖도록 형성하면 좋다. 덧붙여, 여기에서는 도시하지 않지만, 소자 형성층(791)에는, 다이오드, TFT, 콘덴서, 저항 소자 등이 형성되어 있어도 괜찮다.
- [0087] 덧붙여, 도 7은 1개의 무선 칩의 일부분이며, 여기에서는 도시하고 있지 않지만, 무수한 무선 칩이 기관(701)에 형성되어 있다. 거기서, 각각의 무선 칩을 분리하기 위해, 박리층(702)의 표면의 일부가 노출하도록, 다이서, 레이저, 와이어 소(wire saw) 등에 의해 개구부를 형성한다. 다음에, 박리층(702)의 표면의 일부가 노출한 개구부에 에칭제를 도입해, 박리층(702)을 제거한다. 에칭제는, 플루오르화 할로젠을 포함한 기체 또는 액체를 사용할 수가 있다. 예를 들면, 3플루오르화 염소(ClF₃), 3플루오르화 질소(NF₃), 3플루오르화 브롬(BrF₃), 플루오르화 수소(HF)가 있다. 덧붙여, 에칭제로서, 플루오르화 수소를 사용하는 경우는, 박리층(702)으로서, 산화 규소로 구성되는 층을 이용한다.
- [0088] 또한, 절연층 772는, 박리층(702)을 제거한 후에, 박막 트랜지스터 780~784를 포함한 소자 형성층(791)이 박리하지 않도록 설치된 것이다. 박막 트랜지스터 780~784를 포함한 소자 형성층(791)의 개구부로 분단된 각 무선 칩은 작고 얇고 가볍기 때문에, 박리층(702)을 에칭한 후에는, 제 1의 기관(701)과의 밀착성이 저하하기 때문에 비산하기 쉽다. 그렇지만, 박막 트랜지스터 780~784를 포함한 소자 형성층(791)상에 절연층 772를 형성함으로써, 박막 트랜지스터 780~784를 포함한 소자 형성층(791)에 가중치가 가해져, 기관(701)으로부터 소자 형성층(791)의 개구부로 분단된 각 무선 칩 부분의 비산을 방지할 수가 있다. 또, 박막 트랜지스터 780~784를 포함한 소자 형성층(791) 단체는 얇고 가볍지만, 절연층 772를 형성함으로써, 소자 형성층(791)이 말려진 형상으로 되는 일없이, 어느 정도의 강도를 확보하는 것이 가능하다.

- [0089] 다음에, 절연층 772를 시트재(776)에 접착시켜, 제 1의 기관(701)으로부터 박막 트랜지스터 780~784를 포함한 소자 형성층(791)을 완전히 박리한다(도 7b). 여기서, 시트재(776)는, 통상의 상태에서는 그 접착력이 강하고, 열을 더하거나 빛을 조사함으로써 그 접착력이 약해지는 성질을 갖는 것을 이용하면 좋다. 예를 들면, 가열함으로써 접착력이 약해지는 열 박리 테이프나, 자외광을 조사함으로써 접착력이 약해지는 UV 박리 테이프 등을 이용하면 좋다. 또, 통상의 상태에서 접착력이 약한 약점성 테이프 등을 이용해도 괜찮다. 또, 박막 트랜지스터 780~784를 포함한 소자 형성층(791)이 박리된 후의 기관(701)은 비용의 삭감을 위해서 재이용하면 좋다.
- [0090] 다음에, 절연층(703)과 기관(778)을 고정한다. 여기서, 기관(778)은, 폴리프로필렌, 폴리에스테르, 비닐, 폴리플루오르화 비닐, 염화 비닐 등으로 구성되는 필름, 섬유질 재료로 구성되는 종이, 기재(基材) 필름(폴리에스테르, 폴리아미드, 무기 증착 필름, 종이 등)과 접착성 합성 수지 필름(아크릴계 합성 수지, 에폭시계 합성 수지 등)과의 적층 필름 등을 이용할 수가 있다. 기관(778)이 플라스틱으로 구성되는 경우, 박형, 경량으로, 구부리는 것이 가능하기 때문에 디자인성이 뛰어나고, 플렉시블한 형상을 갖는 장치에의 가공이 용이하다. 또, 내충격성이 뛰어나고, 다양한 물품에 붙이거나 삽입하거나 하는 것이 용이하며, 다종 다양한 분야에서 활용할 수가 있다.
- [0091] 또, 본 실시의 형태에 있어서, 기관(778)의 절연층(703)측의 표면에는 접착층이 설치되어 있다. 접착층은, 열경화 수지, 자외선 경화 수지, 초산 비닐 수지계 접착제, 비닐 공중합 수지계 접착제, 에폭시 수지계 접착제, 우레탄 수지계 접착제, 고무계 접착제, 아크릴 수지계 접착제 등의 접착제를 포함하는 층에 상당한다.
- [0092] 덧붙여, 기관(778)의 표면은, 이산화 규소(실리카)의 분말에 의해, 코팅되어 있어도 좋다. 코팅에 의해, 고온으로 고습도의 환경 하에 있어도 방수성을 유지하는 것이 가능하다. 또, 그 표면은, 인듐 주석 산화물 등의 도전성 재료에 의해 코팅되어 있어도 괜찮다. 코팅한 재료가 정전기를 차지(charge)해, 박막 집적회로를 정전기로부터 보호할 수가 있다. 또, 그 표면은, 탄소를 주성분으로 하는 재료(예를 들면, 다이아몬드 라이크 카본)에 의해 코팅되어 있어도 괜찮다. 코팅에 의해 강도가 증가해, 반도체 장치의 열화나 파괴를 억제할 수가 있다.
- [0093] 다음에, 박막 트랜지스터 780~784를 포함한 소자 형성층(791)을 갖는 기관(778)과 시트재(776)를 분리한다. 여기에서는, 시트재(776)로서 UV 박리 테이프를 이용하는 경우를 설명한다. 우선, 시트재(776)와 절연층(772)과의 접착력을 약하게 하기 위해서 시트재(776)에 적외광을 조사한다(도 8). 다음에, 시트재(776)를 절연층 772로부터 분리한다.
- [0094] 이상의 공정에 의해, 도 2b에 나타낸 것과 같은 반도체 장치를 제조할 수가 있다.
- [0095] 그 다음에, 무선 칩을 시트 형상의 기체에 고정한다. 시트 형상의 기체로서는, 플라스틱, 종이, 프리프레그(prepreg), 세라믹 시트 등을 이용할 수가 있다. 2장의 시트 형상의 기체(基體)에 무선 칩을 사이에 두도록 고정해도 괜찮고, 1장의 시트 형상의 기체에 접착층으로 고정해도 좋다. 접착층으로서, 반응 경화형 접착제, 열경화형 접착제, 자외선 경화형 접착제 등의 광경화형 접착제, 혐기(嫌氣)형 접착제 등의 각종 경화형 접착제를 이용할 수가 있다. 또, 종이의 형성 도중에 무선 칩을 배치해, 1장의 종이의 내부에 무선 칩을 설치할 수도 있다.
- [0096] 이상의 공정을 거친 무선 칩은, 무선 칩 제조 후에 기록을 언제라도 실시할 수 있는 추기(追記)형의 메모리를 실현할 수 있다. 예를 들면, 플렉시블한 시트 형상의 기체에 고정된 무선 칩을, 곡면을 갖는 물품에 붙인 후, 그 무선 칩에 포함되는 안티 퓨즈형 ROM에 대해 데이터의 기록을 행할 수가 있다.
- [0097] 본 실시의 형태에 나타내는 반도체 장치는, 메모리 소자부의 제 1의 전극의 측벽부에 사이드월 절연층이 설치되어 있기 때문에, 기관과 제 1의 전극과의 단차부분에 있어서 제 1의 전극과 실리콘막이 직접 접하지 않는 구조로 하는 것이 가능하다. 그것에 의해, 기관과 제 1의 전극과의 단차 부분에 실리콘막 및 제 2의 전극을 형성한 경우에도, 단차 부분에 있어서 제 1의 전극과 실리콘막이 접촉하지 않고, 제 1의 전극의 상면 부분만이 메모리 소자로서 기능한다. 제 1의 전극의 상면에 형성되는 실리콘막의 막 두께는 균일하기 때문에, 메모리 소자의 기록 특성의 변동을 저감할 수가 있다.
- [0098] 또, 트랜지스터의 게이트 전극과 메모리 소자의 제 1의 전극을 동일 공정으로 형성함으로써, 게이트 전극의 측벽부에 형성되는 사이드월 절연층과 제 1의 전극의 측벽부에 형성되는 사이드월 절연층을 동시에 형성할 수가 있다. 따라서, 공정수를 증가시키는 일 없이, 메모리 소자의 기록 특성이 안정된 반도체 장치를 제조하는 것이 가능하다. 또, 워드선이나 비트선이 되는 배선의 교점 부분에 메모리 소자를 제조해도 기록 특성의 변동을 억제할 수가 있기 때문에, 반도체 장치의 소형화가 가능하다.

- [0099] (실시의 형태 3)
- [0100] 본 발명을 이용한 반도체 장치의 구성 예에 대해, 도 9를 참조해 설명한다. 도 9에 나타난 바와 같이, 본 발명의 반도체 장치(1520)는, 비접촉으로 데이터를 교신하는 기능을 갖고, 전원회로(1511), 클럭 발생회로(1512), 데이터 복조/변조회로(1513), 다른 회로를 제어하는 제어회로(1514), 인터페이스 회로(1515), 기억회로(1516), 데이터 버스(1517), 안테나(1518), 센서(1523a), 센서회로(1523b)를 갖는다. 도 9에 있어서, 구동 회로란, 전원회로(1511), 클럭 발생회로(1512), 데이터 복조/변조회로(1513), 다른 회로를 제어하는 제어회로(1514), 및 인터페이스 회로(1515)를 가리키고 있다.
- [0101] 전원회로(1511)는, 안테나(1518)로부터 입력된 교류 신호를 기본으로, 반도체 장치(1520)의 내부의 각 회로에 공급하는 각종 전원을 생성하는 회로이다. 클럭 발생회로(1512)는, 안테나(1518)로부터 입력된 교류 신호를 기본으로, 반도체 장치(1520)의 내부의 각 회로에 공급하는 각종 클럭신호를 생성하는 회로이다. 데이터 복조/변조회로(1513)는, 리더 라이터(1519)와 교신하는 데이터를 복조/변조하는 기능을 갖는다. 제어회로(1514)는, 기억회로(1516)를 제어하는 기능을 갖는다. 안테나(1518)는, 전파의 송수신을 행하는 기능을 갖는다. 리더 라이터(1519)는, 반도체 장치와의 교신, 제어 및 그 데이터에 관한 처리를 제어한다. 덧붙여, 반도체 장치는 상기 구성에 제약되지 않고, 예를 들면, 전원전압의 리미터 회로나 암호 처리 전용 하드웨어 등의 다른 요소를 추가한 구성이어도 좋다.
- [0102] 기억회로(1516)는, 실시의 형태 1에 나타난 것과 같은 메모리부, 즉 외부로부터의 전기적 작용에 의해 합금화하는 실리콘막이, 측벽부에 사이드월 절연층이 형성된 제 1의 전극과, 제 2의 전극과의 사이에 삽입된 기억소자를 복수 갖는다. 또, 기억회로(1516)는, 측벽부에 사이드월 절연층이 형성된 제 1의 전극과, 제 2의 전극과의 사이에 실리콘막이 삽입된 기억소자만을 갖고 있어도 좋고, 다른 구성의 기억회로를 갖고 있어도 좋다. 다른 구성의 기억회로란, 예를 들면, DRAM, SRAM, FeRAM, 마스크 ROM, PROM, EPROM, EEPROM 및 플래시 메모리로부터 선택되는 1개 또는 복수에 상당한다.
- [0103] 센서(1523a)는 저항 소자, 용량 결합 소자, 유도 결합 소자, 광기전력 소자, 광전 변환 소자, 열기전력 소자, 트랜지스터, 서미스터, 다이오드 등의 반도체소자로 형성된다. 센서회로(1523b)는 임피던스, 리액턴스, 인덕턴스, 전압 또는 전류의 변화를 검출하고, 아날로그/디지털 변환(A/D변환)해 제어회로(1514)에 신호를 출력한다.
- [0104] (실시의 형태 4)
- [0105] 본 발명에 의해 무선 칩으로서 기능하는 반도체 장치(1502)를 형성할 수가 있다. 무선 칩의 용도는 광범위하게 적용되지만, 예를 들면, 지폐, 동전, 유가증권류, 무기명 채권류, 증서류(운전면허증이나 주민표 등, 도 10a 참조), 포장용 용기류(포장지나 보틀 등, 도 10c 참조), 기록매체(DVD 소프트나 비디오 테이프 등, 도 10b 참조), 탈것류(자전거 등, 도 10d 참조), 신변품(가방이나 안경 등), 식품류, 식물류, 동물류, 의류, 생활용품류, 전자기기 등의 상품이나 하물의 태그(도 10e, 도 10f 참조)등의 물품에 적용해 사용할 수가 있다. 전자기기란, 액정 표시장치, EL 표시장치, 텔레비전 장치(단지 TV, TV 수상기, 텔레비전 수상기라고도 부른다) 및 휴대전화 등을 가리킨다.
- [0106] 본 발명의 반도체 장치(1520)는, 프린트 기판에 실장하고, 물품 표면에 부착, 물품 내에 삽입되어, 물품에 고정된다. 예를 들면, 책이라면 종이에 삽입되고, 유기 수지로 구성되는 패키지라면 해당 유기 수지에 삽입되어, 각 물품에 고정된다. 본 발명의 반도체 장치(1520)는, 소형, 박형, 경량을 실현하기 위해, 물품에 고정한 후에도, 그 물품 자체의 디자인성을 해치는 일이 없다. 또, 지폐, 동전, 유가증권류, 무기명 채권류, 증서류 등에 본 발명의 반도체 장치(1520)를 설치하는 것으로, 인증 기능을 제공할 수가 있고, 이 인증 기능을 활용하면, 위조를 방지할 수가 있다. 또, 포장용 용기류, 기록매체, 신변품, 식품류, 의류, 생활용품류, 전자기기 등에 본 발명의 반도체 장치를 설치하는 것으로, 검품 시스템 등의 시스템의 효율화를 꾀할 수가 있다.
- [0107] 다음에, 본 발명의 반도체 장치를 실장한 전자기기의 한 종류에 대해 도면을 참조해 설명한다. 여기서 예시하는 전자기기는 휴대전화기이며, 케이스 2700, 2706, 패널(2701), 하우징(2702), 프린트 배선기판(2703), 조작 버튼(2704), 배터리(2705)를 갖는다(도 11). 패널(2701)은 하우징(2702)에 탈착 가능하게 조립되고, 하우징(2702)은 프린트 배선기판(2703)에 끼워 붙여진다. 하우징(2702)은 패널(2701)이 조립되는 전자기기에 맞추어, 형상이나 치수가 적당 변경된다. 프린트 배선기판(2703)에는, 패키징된 복수의 반도체 장치, 예를 들면, 컨트롤러, 중앙처리장치(CPU; Central Processing Unit), 메모리, 전원회로, 음성처리회로, 송수신 회로 등의 어느 것인가의 기능을 갖는 반도체 장치가 실장되어 있다. 이 중 메모리로서, 본 발명의 반도체 장치를 이용할 수가 있다.
- [0108] 패널(2701)은, 접속 필름(2708)을 통해서 프린트 배선기판(2703)과 접촉된다. 상기의 패널(2701), 하우징

(2702), 프린트 배선기판(2703)은, 조작버튼(2704)이나 배터리(2705)와 함께, 케이스 2700, 2706의 내부에 수납된다. 패널(2701)이 포함된 화소 영역(2709)은, 케이스 2700에 설치된 개구 창으로부터 시인할 수 있도록 배치되어 있다.

[0109] 상기대로, 본 발명의 반도체 장치는, 소형, 박형, 경량인 것을 특징으로 하고 있고, 상기 특징에 의해, 전자기기의 케이스 2700, 2706 내부의 한정된 공간을 유효하게 이용하는 것이 가능하다.

[0110] 또, 본 발명의 반도체 장치는, 외부로부터의 전기적 작용에 의해 합금화하는 실리콘막이 한 쌍의 도전층 사이에 삽입된 단순한 구조의 기억소자를 갖기 때문에, 염가의 반도체 장치를 이용한 전자기기를 제공할 수가 있다. 또, 본 발명의 반도체 장치는 안정된 기록 특성을 갖기 때문에, 신뢰성이 높은 전자기기를 제공할 수가 있다. 또, 본 발명의 반도체 장치는 워드선이나 비트선이 되는 배선의 교점부분에 메모리소자를 제조해도 기록 특성의 변동을 억제할 수 있기 때문에, 소형화, 고집적화가 용이하다. 이것에 의해, 대용량의 기억 회로를 갖는 반도체 장치를 이용한 전자기기를 제공하는 것이 가능하다.

[0111] 또, 본 발명의 반도체 장치가 갖는 기억장치는, 외부로부터의 전기적 작용에 의해 데이터의 기록을 행하는 것이고, 불휘발성이며, 데이터의 소거는 불가능하지만, 데이터의 추가는 가능한 것을 특징으로 한다. 상기 특징에 의해, 개서에 의한 위조를 방지할 수가 있고, 새로운 데이터를 추가해 기록하는 것이 가능하다. 따라서, 고기능화와 고부가가치화를 실현한 반도체 장치를 이용한 전자기기를 제공할 수가 있다.

[0112] 덧붙여, 케이스 2700, 2706은, 휴대전화기의 외관 형상을 일례로서 나타낸 것으로, 본 실시 예와 관련되는 전자기기는, 그 기능이나 용도에 따라 여러 가지 형태로 변용할 수 있다

도면의 간단한 설명

[0113] 도 1은 본 발명의 메모리 소자의 단면을 설명하는 도면.

[0114] 도 2a 및 2b는 본 발명의 메모리 소자를 이용한 반도체 장치의 구성 예를 설명하는 도면.

[0115] 도 3a 내지 3d는 본 발명의 메모리 소자를 이용한 반도체 장치의 제조 공정의 일례를 설명하는 도면.

[0116] 도 4a 내지 4d는 본 발명의 메모리 소자를 이용한 반도체 장치의 제조 공정의 일례를 설명하는 도면.

[0117] 도 5a 내지 5c는 본 발명의 메모리 소자를 이용한 반도체 장치의 제조 공정의 일례를 설명하는 도면.

[0118] 도 6a 내지 6c는 본 발명의 메모리 소자를 이용한 반도체 장치의 제조 공정의 일례를 설명하는 도면.

[0119] 도 7a 및 7b는 본 발명의 메모리 소자를 이용한 반도체 장치의 제조 공정의 일례를 설명하는 도면.

[0120] 도 8은 본 발명의 메모리 소자를 이용한 반도체 장치의 제조 공정의 일례를 설명하는 도면.

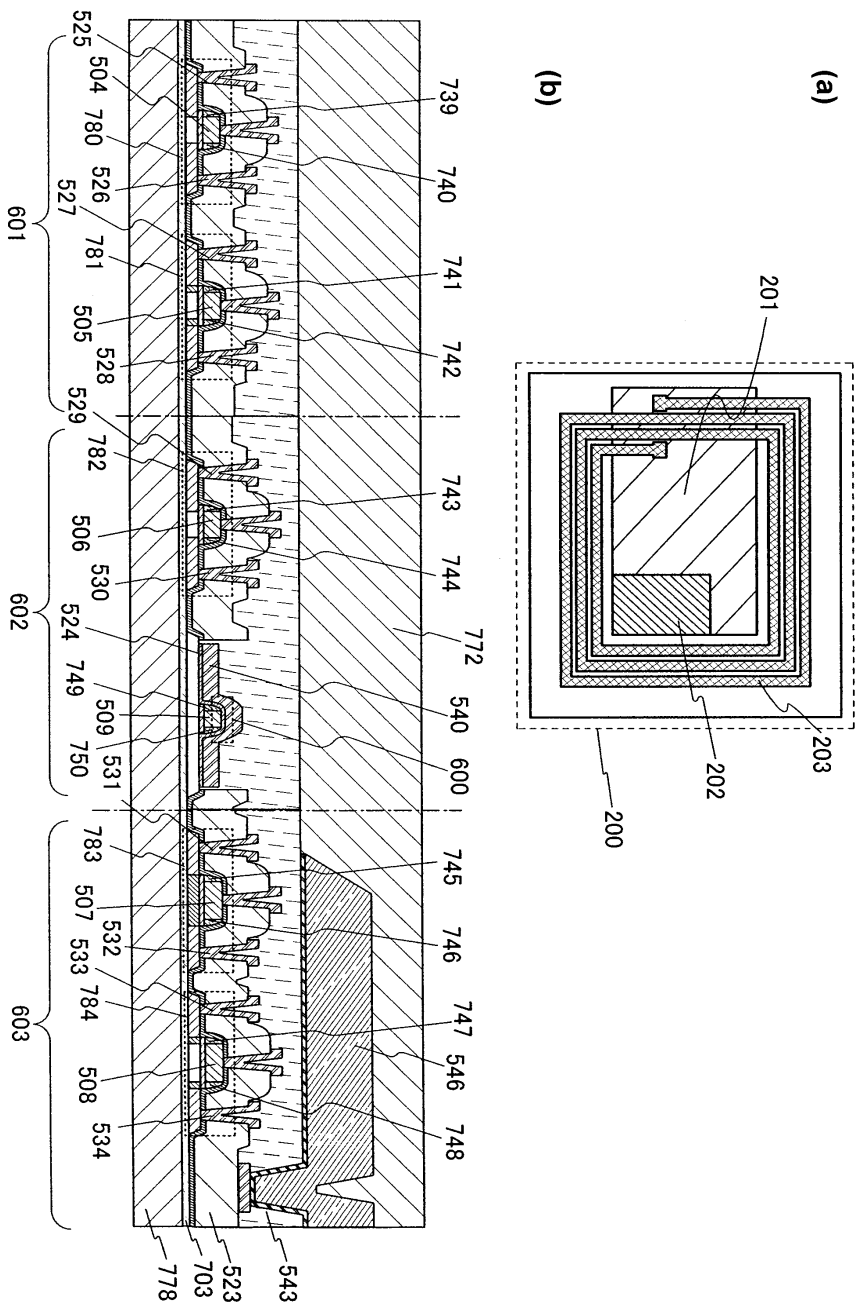
[0121] 도 9는 본 발명의 메모리 소자를 이용한 반도체 장치의 블럭도를 나타내는 도면.

[0122] 도 10a 내지 10f는 전자기기의 일례를 나타내는 도면.

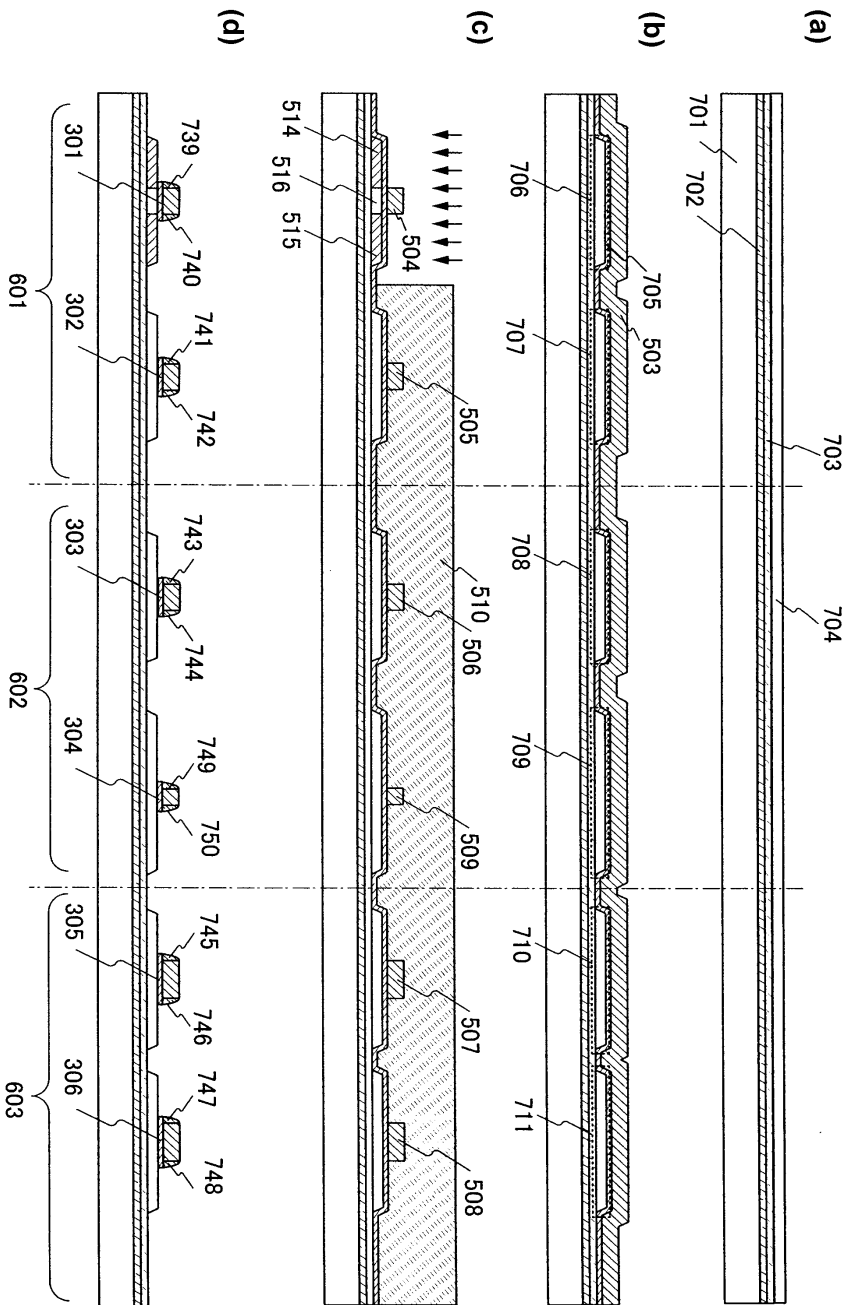
[0123] 도 11은 전자기기의 일례를 나타내는 도면.

[0124] 도 12a 및 12b는 종래의 메모리 소자의 단면을 설명하는 도면.

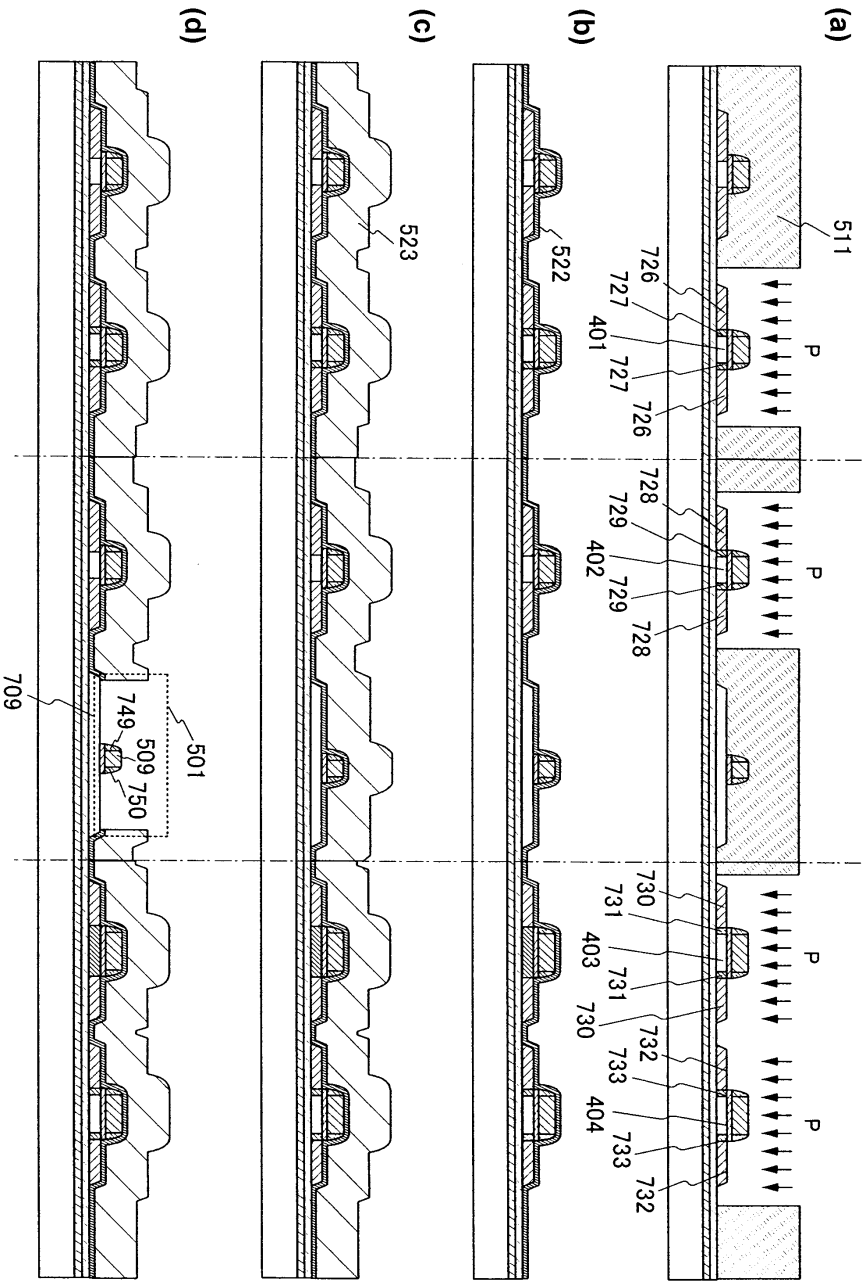
도면2



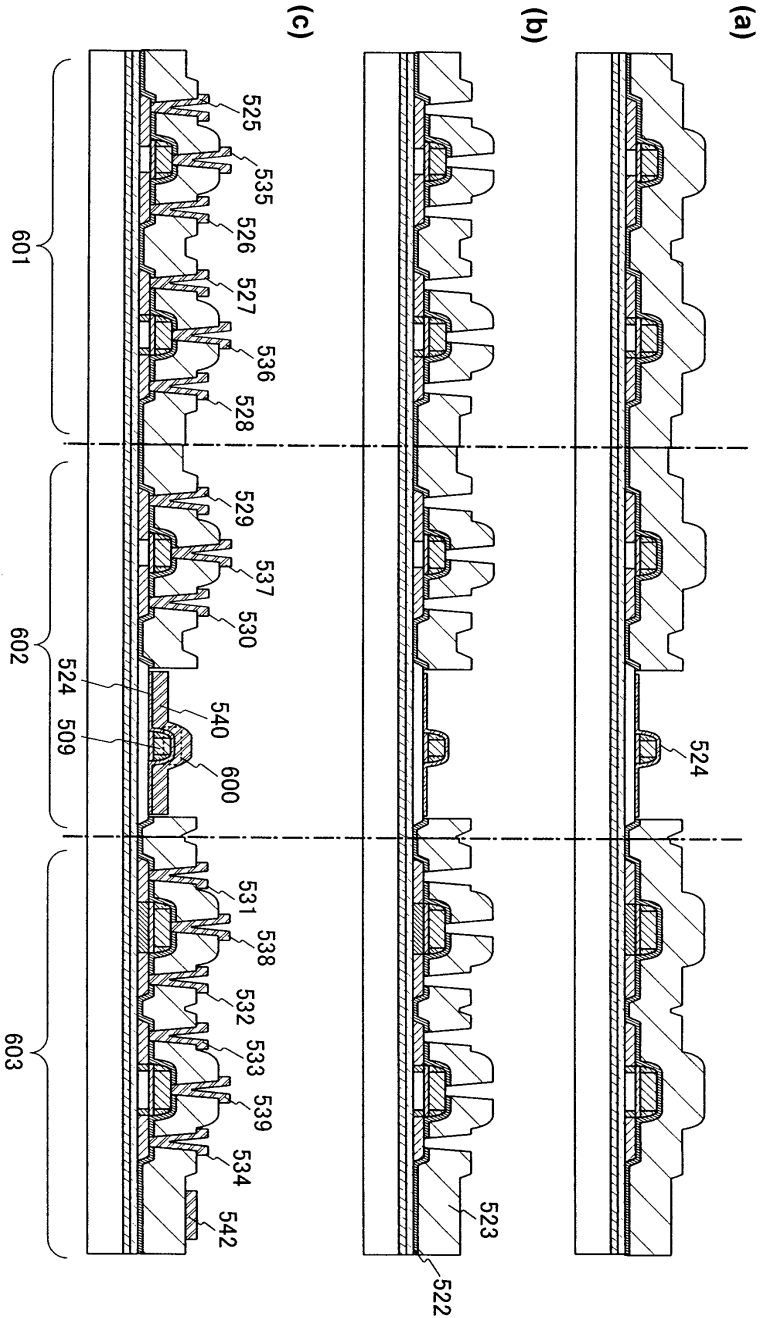
도면3



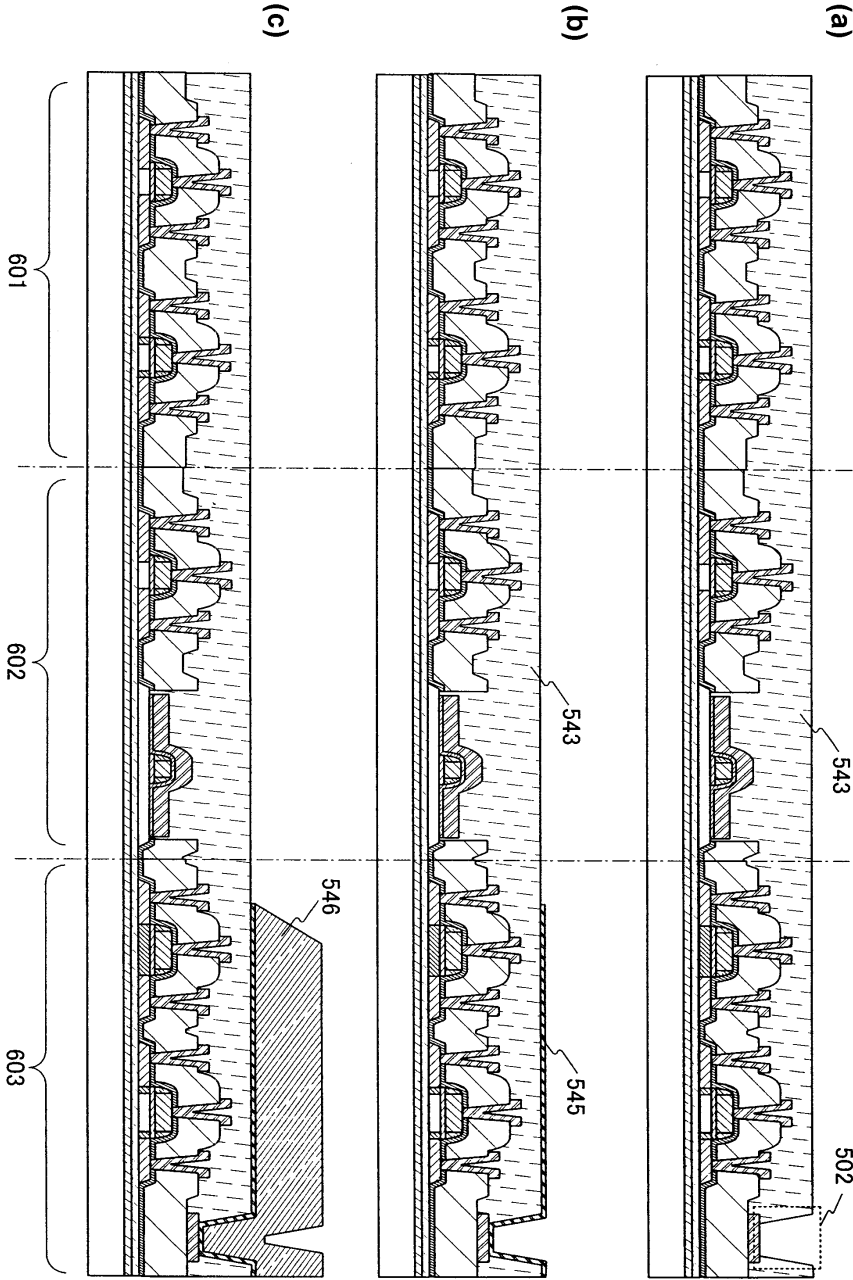
도면4



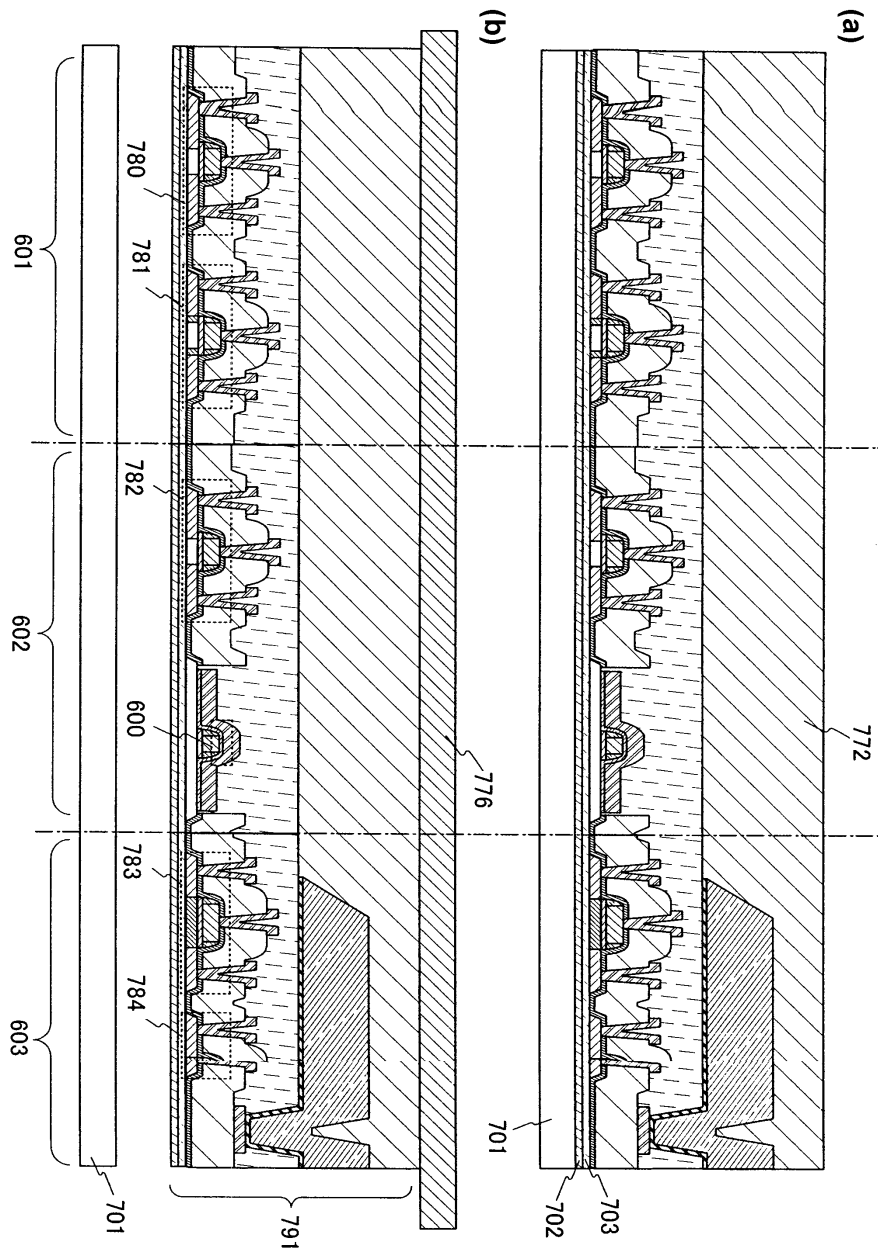
도면5



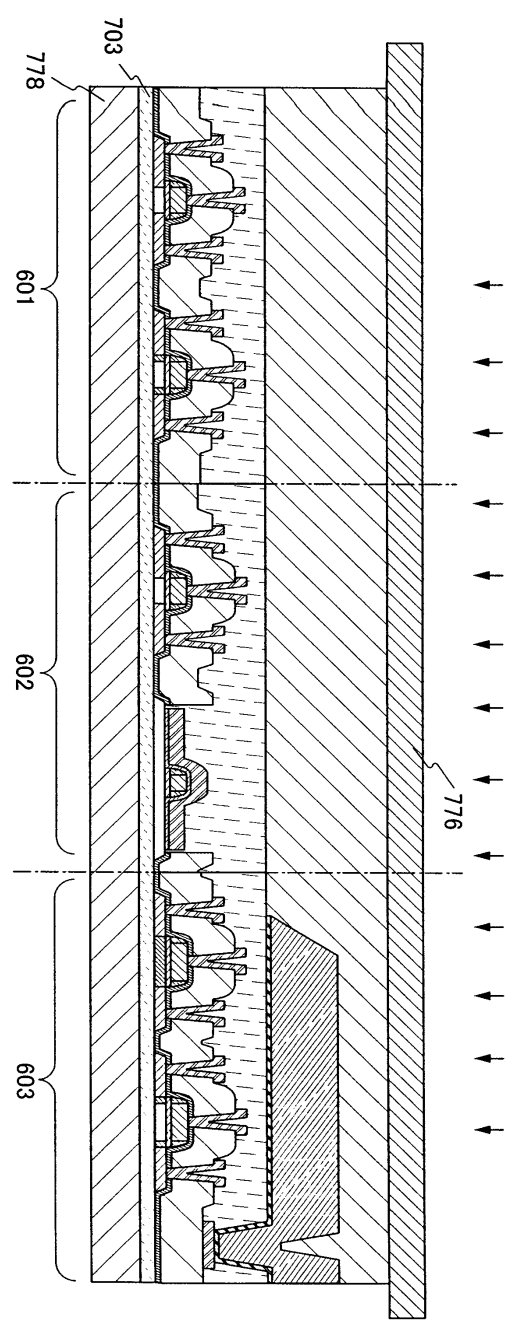
도면6



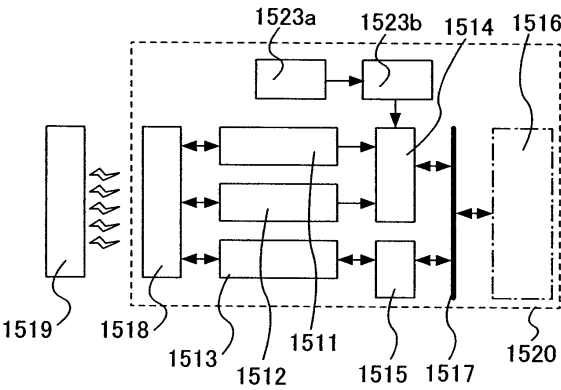
도면7



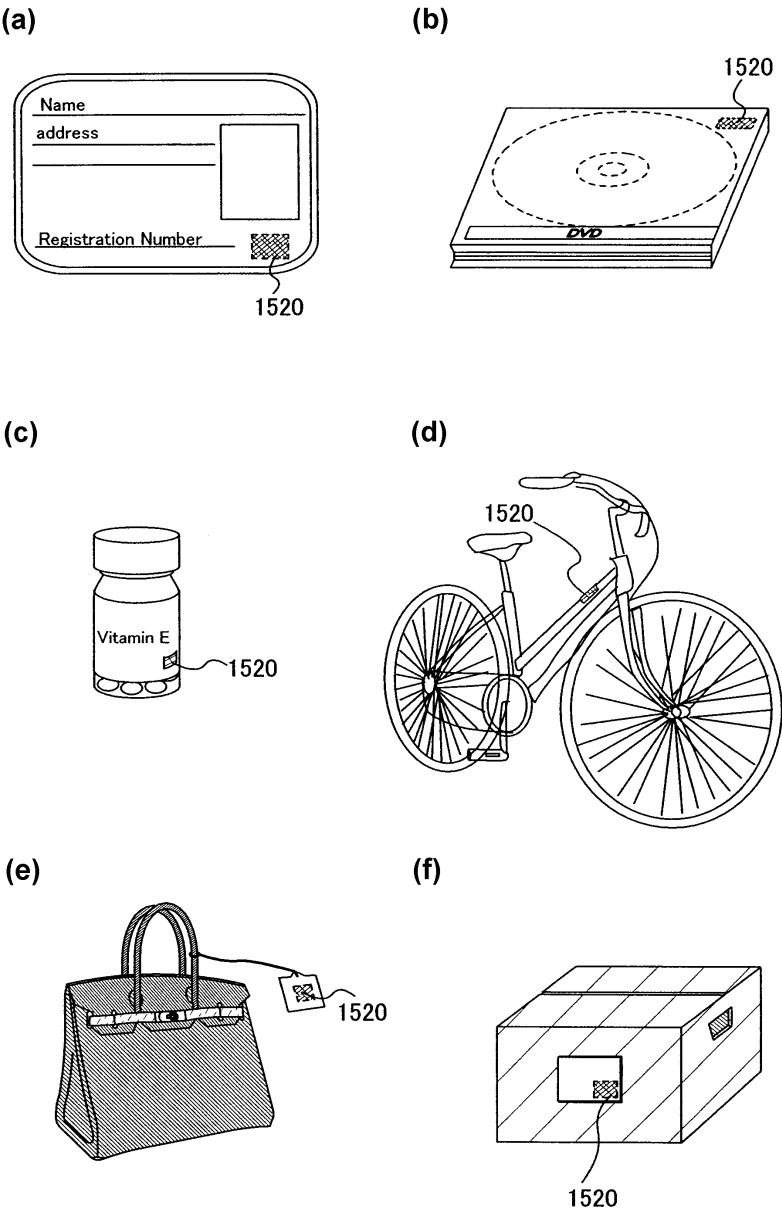
도면8



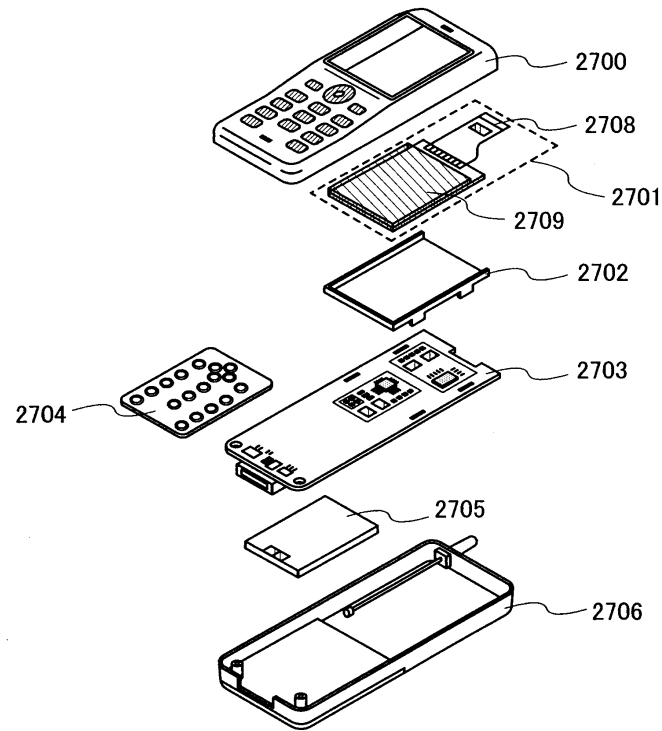
도면9



도면10



도면11



도면12

