

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-229086

(P2013-229086A)

(43) 公開日 平成25年11月7日(2013.11.7)

(51) Int.Cl. F I テーマコード (参考)
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 1 G 5 B 1 2 5
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 4 1
G 1 1 C 17/00 6 2 2 E

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2012-102135 (P2012-102135) (22) 出願日 平成24年4月27日 (2012. 4. 27)	(71) 出願人 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100167704 弁理士 中川 裕人 (74) 代理人 100114122 弁理士 鈴木 伸夫 (74) 代理人 100086841 弁理士 脇 篤夫 (72) 発明者 細萱 祐人 東京＝港区港南1丁目7番1号 ソニー株 式会社内 (72) 発明者 麻生 伸吾 東京＝港区港南1丁目7番1号 ソニー株 式会社内
---	---

最終頁に続く

(54) 【発明の名称】 メモリ装置、メモリ制御装置、メモリ制御方法

(57) 【要約】

【課題】書き込みデータの信頼性を確保しながら、さらに処理速度の高いメモリ装置を実現することを目的とする。

【解決手段】メモリ装置は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部と、上記複数の不揮発性メモリ部のデータ書込／読出のための制御を行う制御部とを備える。

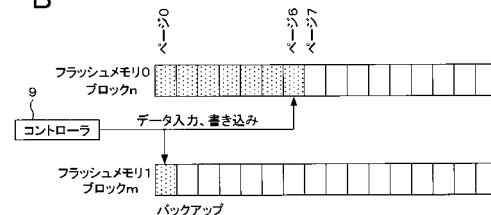
そして、上記制御部は、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

【選択図】図5

A

下位ページ	上位ページ
ページ0	ページ1
ページ2	ページ3
ページ4	ページ5
ページ6	ページ7
ページ8	ページ9
ページ10	ページ11
ページ12	ページ13
ページ14	ページ15

B



C



【特許請求の範囲】**【請求項 1】**

1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部と、

上記複数の不揮発性メモリ部のデータ書込／読出のための制御を行う制御部とを備え、上記制御部は、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御するメモリ装置。

10

【請求項 2】

上記制御部は、

上記下位ページに書き込みするときは、上記複数の不揮発性メモリのうち、少なくとも2つの不揮発性メモリ部に同時にアクセスできる請求項1に記載のメモリ装置。

【請求項 3】

上記複数ビットデータは2ビットである請求項1に記載のメモリ装置。

【請求項 4】

上記不揮発性メモリはNAND型フラッシュメモリである請求項1に記載のメモリ装置

【請求項 5】

20

1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読出／書込制御を行うメモリ制御装置であって、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御するメモリ制御装置。

【請求項 6】

上記不揮発性メモリはNAND型フラッシュメモリである請求項5に記載のメモリ制御装置

30

【請求項 7】

1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読出／書込制御を行うメモリ制御方法であって、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する

メモリ制御方法。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本開示は、多値データの書き込み、読み出しが可能なメモリセルで構成された不揮発性メモリを備えたメモリ装置に関し、処理速度を向上させたメモリ装置、メモリ制御装置、メモリ制御方法に関する。

【先行技術文献】**【特許文献】****【0002】**

【特許文献1】特開2010-198407号公報

【特許文献2】特開2008-198265号公報

50

【背景技術】

【0003】

近年、不揮発メモリの一種としてフラッシュメモリが広く知られている。

フラッシュメモリとして、特にNAND型フラッシュメモリは、安価で且つデータの書き込み／読み出し速度が比較的高速であるため、HDD(Hard Disk Drive)等既存の記憶装置に代わるものとして期待されている。

【0004】

NAND型フラッシュメモリにおいては、1つのメモリセルに複数ビットのデータを記憶できるものが考案されている。これはマルチレベルセル(MLC)と呼ばれる。従来の1メモリセルあたり1ビットデータを記憶できるものは、シングルレベルセル(SLC)と呼ばれる。動作速度／書き込み可能回数の面においてはSLCが優れているが、MLCは大容量化が可能であるとされている。特許文献1にはMLC領域とSLC領域を備え、それらを組み合わせて記憶装置としての寿命を高めると同時に記録密度を高める構成が開示されている。また特許文献2には、MLC領域を備えるNAND型フラッシュメモリに対して、書き込みスピードを向上させる構成が開示されている。

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、MLC領域を有するNAND型フラッシュメモリは、1つの物理的なメモリセルに対して、複数ビットのデータを独立に記憶することが可能である。ただし、あるビットデータの書き込みエラーの発生や、書き込み中の途中電源遮断の発生が、すでに書き込まれたビットデータに影響を及ぼしてしまうことがある。このため、同一のメモリセルに新たにビットデータを書き込む場合には、既に書かれているビットデータを別の領域に確保し、復元可能としている。

20

しかし、この処理のため全体として書き込み処理速度が低下する。

本開示では、書き込みデータの信頼性を確保しながら、さらに処理速度の高いメモリ装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本開示のメモリ装置は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部と、上記複数の不揮発性メモリ部のデータ書込／読出のための制御を行う制御部とを備える。そして上記制御部は、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

30

【0007】

本開示のメモリ制御装置は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読出／書込制御を行うメモリ制御装置であり、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

40

【0008】

本開示のメモリ制御方法は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読出／書込制御を行うメモリ制御方法であり、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込

50

みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

【 0 0 0 9 】

このような本開示の技術では、書き込みにより破壊（消失）される可能性のあるデータを別の領域に確保しているため、元のデータが破壊されても復元できる。また、書き込みと同時にデータを別の領域に確保するので全体の処理スピードを上げることができる。

【 発明の効果 】

【 0 0 1 0 】

本開示によれば、書き込みデータの信頼性を確保しながら、さらに処理速度の高いメモリ装置を実現できるという効果がある。

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 実施の形態に係るメモリ装置の内部構成を表す図である。

【 図 2 】 実施の形態に係るメモリセルの構成とページとの対応を表す図である。

【 図 3 】 実施の形態に係るメモリセルに記憶する場合の閾値分布を表す図である。

【 図 4 】 実施の形態に係る N A N D 型フラッシュメモリの構成および書き込み動作を表す図である。

【 図 5 】 実施の形態に係る N A N D 型フラッシュメモリの構成のページ配置およびスピードを向上させた書き込みタイミングを表す図である。

【 図 6 】 実施の形態に係る N A N D 型フラッシュメモリの構成のページ配置および一般的な書き込みタイミングを表す図である。

【 図 7 】 実施の形態に係るバックアップ動作のフローチャートである。

【 発明を実施するための形態 】

【 0 0 1 2 】

以下、実施の形態について次の順序で説明する。

< 1 . メモリ装置の構成 >

< 2 . 実施の形態に係る不揮発性メモリの内部構成 >

< 3 . 実施の形態に係るページの書き込み動作 >

< 4 . 実施の形態に係るページの書き込みタイミングと処理動作 >

【 0 0 1 3 】

< 1 . メモリ装置の構成 >

実施の形態に係るメモリ装置の構成を図 1 により説明する。図 1 は、本実施の形態に係るメモリ装置の内部構成を示している。

図 1 に示すように、例えば、メモリ装置は複数の不揮発性メモリ 2 ~ 5 と、これら不揮発性メモリ 2 ~ 5 に対する書込 / 読出制御を行うためのコントローラ 9 と、当該コントローラ 9 のワーク領域として用いられる R A M (Random Access Memory) 6 と、上記不揮発性メモリ 2 ~ 5 の読出 / 書込データが一時蓄積されるバッファ R A M 7 と、外部インターフェース 8 とを備えている。

【 0 0 1 4 】

不揮発性メモリ 2 ~ 5 は、N A N D 型のフラッシュメモリを想定している。図 1 では、不揮発性メモリが 4 つ備えられている例を示しており、それぞれを不揮発性メモリ 2、不揮発性メモリ 3、不揮発性メモリ 4、不揮発性メモリ 5 と表記している。

【 0 0 1 5 】

これら不揮発性メモリ 2 ~ 5 の個々に対しては、図のようにコントローラ 9 との間で信号線 L 1 ~ L 4 がそれぞれ接続されている。当該信号線 L 1 ~ L 4 は、読出又は書込の対象とする不揮発性メモリ 2 ~ 5 に対してデータの読出又は書込のタイミングを指示するために用いるイネーブル (Enable) 信号を供給するための信号線となる。

【 0 0 1 6 】

また、不揮発性メモリ 2 ~ 5 のそれぞれに対しては、共通のデータ線 L d が接続されている。このデータ線 L d は、図のようにバッファ R A M 7 に対しても接続されており、これによって当該バッファ R A M 7 からの書込データの不揮発性メモリ 2 ~ 5 への供給、及び不揮発性メモリ 2 ~ 5 からの読出データのバッファ R A M 7 への供給が可能とされている。

【 0 0 1 7 】

なお、コントローラ 9 側と不揮発性メモリ 2 ~ 5 側との間の配線については本実施の形態のメモリ制御手法に係るもののみを特に抽出して示しており、実際には、例えば読出 / 書込のアドレス指定を実現するための信号線等の他の配線も接続されるものである。

【 0 0 1 8 】

コントローラ 9 は、メモリ装置の全体制御を行う。

具体的には、例えば外部インターフェース 8 が外部のホスト 1 0 から受信したコマンドの解釈、コマンドに応じた不揮発性メモリ 2 ~ 5 に対するデータの書込 / 読出制御、不揮発性メモリ 2 ~ 5 の記録データを管理するための各種の管理情報の生成等、さらには不揮発性メモリ 2 ~ 5 へのデータ書込時の E C C (Error Correction Code) データ生成・付加、読出時の E C C エラー訂正処理などを行う。なお、このコントローラ 9 が、請求項でいうメモリ制御装置に相当する。

【 0 0 1 9 】

外部インターフェース 8 は、外部のホスト 1 0 とコントローラ 8 との間で各種データの送受信を可能とするために設けられ、上記ホスト 1 0 からのコマンド受信やデータの送受信等を行う。

上記ホスト 1 0 から書込指示されたデータは、当該外部インターフェース 8 を介してバッファ R A M 7 に一時蓄積された後、コントローラ 9 の制御により、データ線 L d を介して所定の不揮発性 2 ~ 5 のいずれかに書き込まれる。

また、ホスト 1 0 から不揮発性メモリ 2 ~ 5 のいずれかに書き込まれたデータの読出指示があった場合、コントローラ 9 の制御により該当する不揮発性メモリからの読出データがデータ線 L d を介してバッファ R A M 7 に一時蓄積された後、外部インターフェース 8 を介して上記ホスト機器に対して送出される。

【 0 0 2 0 】

< 2 . 実施の形態に係る不揮発性メモリの内部構成 >

本開示の実施の形態に係る不揮発性メモリの内部構成を図 2 により説明する。図 2 においては、不揮発性メモリとして N A N D 型フラッシュメモリを想定している。図 2 に示すように、N A N D 型フラッシュメモリは、複数の電氣的に書き換え可能なメモリセル M T がマトリクス状に配置されたメモリセルアレイを構成している。

【 0 0 2 1 】

メモリセル M T は直列に接続され、両端を選択ゲートトランジスタ S T で挟んだ構成となっている。この構成を N A N D 列と呼ぶ。ここでは、各 N A N D 列は m 個のメモリセル M T が直列に接続されて構成されている。各 N A N D 列の一端はドレイン側選択ゲート線 S G 0 に接続された選択ゲートトランジスタ S T 1 0 ~ S T 1 n を介してビット線 B L 0 ~ B L n に、他端はソース側選択ゲート線 S G L に接続された選択ゲートトランジスタ S T 2 0 ~ S T 2 n を介して共通ソース線 S L に接続されている。N A N D 列は n 列ビット線各々のメモリセル M T の制御ゲートは、ワード線 W L 0 ~ W L m に接続されている。

【 0 0 2 2 】

同一のワード線 W L 0 ~ W L m で接続されている複数のメモリセル M T をページと呼ぶ。このページは、シングルレベルセル (S L C) の場合、複数のメモリセル M T が集まって 1 ページを構成している。

本開示に係るメモリセル M T は多ビットデータを記憶できるマルチレベルセル (M L C) を想定しているので、上記のページはそのビット数に相当するページ数となる。図 2 では、2 ビットデータを記憶できるメモリセル M T を示しており、上記の複数のメモリセル

10

20

30

40

50

M Tで2ページ分となる。この対応を図2の右側に示す。

【0023】

図2に示すように、ワード線WL0~WLm毎に下位ページ、上位ページとなる。書き込み、読み出し動作はこのページ単位で行われる。書き込みは、下位ページから上位ページの順に行われ、上位ページから下位ページの順に書き込みすることはできない。上位ページの書き込みに失敗すると、原理上下位ページの内容が破壊(消失)することがある。

【0024】

<3. 実施の形態に係るページの書き込み動作>

本開示の実施の形態に係るNAND型フラッシュメモリの書き込み動作を図3、図4により説明する。図3は、1個のメモリセルMTに2ビットの記憶を行う4値データ(2ビット)記憶方式でのしきい値分布を模式的に示すものである。

図に示すように、メモリセルMT当たり、2ページ分のデータを記憶することができる。書き込みは下位ページから上位ページの順に行われる。

【0025】

メモリセルMTは、上位ページデータ“x”と下位ページデータ“y”とで定義される4値データ“xy”の何れか1つを保持できる。この4値データ“xy”は、メモリセルMTのしきい値電圧の順に、例えば、データ“11”、“01”、“00”、“10”が割り当てられる。データ“11”は、メモリセルMTのしきい値電圧が負の消去状態である。なお、データの割り当て規則はこれに限らない。また、本実施の形態では、以降、1個のメモリセルMTに2ビットの値を記憶することができるものを取り上げて説明するが、1個のメモリセルMTに3ビット以上の記憶を行う構成であってもよい。

【0026】

下位ページ書き込み動作においては、データ“11”(消去状態)のメモリセルMTに対して選択的に、下位ビットデータ“y”の書き込みによって、データ“10”が書き込まれる。上位ページ書き込み動作においては、データ“11”のメモリセルMTと、データ“10”のメモリセルMTに対して、それぞれ選択的に上位ビットデータ“x”の書き込みが行われて、データ“01”およびデータ“00”が書き込まれる。上位ページ書き込み前のデータ“10”のしきい値分布は、上位ページ書き込み後のデータ“01”とデータ“00”のしきい値分布の中間程度に位置しており、一般的に、上位ページ書き込み後のしきい値分布より広がっている。

【0027】

上位ページ書き込み前のデータ“10”のしきい値分布は、上位ページ書き込み後のデータ“01”とデータ“00”のしきい値分布の中間程度に位置している。そのため、下位ビットデータ“y”=“0”が書き込まれているメモリセルMTに上位ビットデータを書き込む際にエラーが生じると、下位ビットデータが“1”であったのか“0”であったのかが分からなくなってしまう。つまり、上位ページ書き込み中にエラーが起こると、下位ページのデータが破壊されてしまう可能性がある。

そこで、書き込みエラー発生時のデータ破壊に備え、破壊される可能性があるデータを、バックアップする必要が生じる。

【0028】

図4は、NAND型フラッシュメモリ内のページとブロックとの対応および書き込み動作の簡単な模式図を表すものである。

図4Aに示すように、複数ページがまとまって1つのブロックを構成する。ここで各ページは図2で表されるページに相当し、図2で示されるメモリアレイが1ブロックに相当する。

図4Bは、書き込み動作におけるデータ破壊を簡略に示すものである。図4Bに示すように、ページ7に書き込み動作をおこなったときに書き込みエラーが発生すると、それにもとないページ6の内容が損傷を受けることを表している。ここでページ7は上位ページであり、ページ6は下位ページである。

10

20

30

40

50

【 0 0 2 9 】

< 4 . 実施の形態に係るページの書き込みタイミングと処理動作 >

実施の形態に係る N A N D 型フラッシュメモリのページの書き込みタイミングについて図 5、図 6 により説明する。

図 5 は、上位ページと下位ページについてページとの対応、バックアップ動作および書き込みタイミングを示すものである。図 6 は、図 5 との比較例としての動作を表すものであり、一般的なバックアップ動作および書き込みタイミングを示すものである。

【 0 0 3 0 】

図 5 A に示すように、下位ページには偶数ページが、上位ページには奇数ページが対応する。実施の形態に係る N A N D 型フラッシュメモリは、既に説明した通り、1 つの物理的なメモリセル M T に対して、複数ビットデータ（多値データ）を記憶することができる。ここでは、2 ビットデータの N A N D 型フラッシュメモリを想定しているので、1 ビットデータに対応するページに対して、下位ページと上位ページの 2 ページ分のデータを記憶することが可能である。

2 ビットデータでなく、3 ビット以上の複数ビットデータの場合には、下位ページから順に上位ページが複数存在することになる。

【 0 0 3 1 】

しかしながら、上記の 1 ビットデータに対応するページに対して、下位ページと上位ページの 2 ページ分のデータを記憶することができるという特徴により、書き込みエラー発生や、書き込み中の途中電源遮断の発生が、図 4 B のように他のページ（下位ページ）に影響を及ぼしてしまうことがある。言い換えると、下位ページの内容が破壊（消失）されることがある。

一般的には、図 6 A に示すように、あるページ（下位ページ）に既にデータが書かれていて、次に上位ページ（同一のメモリセル）に新たにデータを書き込む場合、その書き込み直前に、既に書かれているデータを別の領域へコピー（バックアップ）を行うことで、データの破壊（消失）を回避している。

【 0 0 3 2 】

この動作により、新たなデータの書き込みに失敗しデータが壊れてしまった場合にも、コピーしたデータを使い復元処理が可能である。

しかし、上記のバックアップは、例えば図 6 A に示すようにフラッシュメモリ 0（N A N D 型）のページ 7（上位ページ）に新たなデータが書き込まれる直前に必ず他のフラッシュメモリ 1（N A N D 型）の特定の領域に対してページ 6（下位ページ）の内容をコピーすることにより行われる。この動作のタイミングは図 6 B に示される。

【 0 0 3 3 】

図 6 B に示すように、フラッシュメモリ 0（N A N D 型）からページ 6 の内容の読み出し、そのデータの出力、つぎにフラッシュメモリ 1（N A N D 型）へのデータ入力、データ書き込みといったタイミングで一連の処理が行われる。そうすると、フラッシュメモリ 1（N A N D 型）へのコピー処理が完全に終了するタイミングまでページ 7 への書き込みは開始しない。したがって図に示すように、いわゆる本来の目的処理以外のところでかかる時間であるオーバーヘッドが発生する。このため、メモリ装置全体としては書き込み処理速度が低下する。ここでは、ページ 6 とページ 7 を例として説明したが、下位ページと上位ページの関係においては同様の動作が行われる。

【 0 0 3 4 】

これに対し、本開示の実施の形態である図 5 C で示される動作タイミングにおいては上記のオーバーヘッドは発生しない。

図 5 B に示すように、下位ページであるページ 6、上位ページであるページ 7（同一のメモリセル）に順に新たにデータを書き込む場合、ページ 6 に書くべきデータをフラッシュメモリ 1（N A N D 型）の別の領域へコピー（バックアップ）する。別の領域に確保（バックアップ）すること自体は上記と同様である。

10

20

30

40

50

このバックアップ動作は、図 5 C に示すように、目的とするフラッシュメモリ 0 (N A N D 型) のページ 6 (下位ページ) へのデータの書き込みをするとき、これと同じタイミングで、ページ 6 (下位ページ) に書き込むべきデータを別のフラッシュメモリ 1 (N A N D 型) の領域に書き込むという方法で行われる。この書き込み終了後にページ 7 (上位ページ) に対してデータを書き込む。この方法を使用することで、上記の手法と異なり、オーバーヘッドは発生せず、全体の動作スピードを上げることができパフォーマンスを向上させることが可能になる。

また、上記の別の N A N D 型フラッシュメモリ 1 は、他のメモリであればよく、N A N D 型フラッシュメモリに限るものではない。さらに上記ページ 6 (下位ページ) の書き込み時には、コントローラ 9 は少なくとも 2 つの不揮発性メモリに同時にアクセスできなければならない。

10

【 0 0 3 5 】

ここではページ 6 (下位ページ) を例として説明したが、他のページの下位ページにおいても同様の動作が行われる。

また、1つのメモリセルに3ビット以上の複数ビットデータが記録できる N A N D 型フラッシュメモリの場合には、下位ページに対し複数の上位ページが存在するが、上位ページが存在する限り、その1つ前の下位ページに対する書き込みにおいても上記動作が行われる。したがって、上位ページの存在分、上記オーバーヘッドを短縮できることになり、上位ページが多いほど (1 つのメモリセルに記録できるビットデータのビット数が多いほど) スピードアップの効果は大きい。

20

【 0 0 3 6 】

つぎに上記の実施の形態にかかるバックアップ動作のコントローラ 9 による処理動作を図 7 のフローチャートにより説明する。

図 7 に示すように、まずステップ S 1 においてホスト 8 から書き込みコマンドを受信する。

ステップ S 2 において下位ページへの書き込みなのか、上位ページへの書き込みなのか判定する。

【 0 0 3 7 】

ステップ S 2 において下位ページへの書き込みの場合には、ステップ S 3 に進む。ステップ S 3 において、書き込むべきデータを目的とする本来のフラッシュメモリとこのフラッシュメモリ以外の他のフラッシュメモリに同時に書き込む。つぎにステップ S 4 に進む。ステップ S 4 において、書き込みが正常に終了したかどうか判定する。正常終了の場合、ステップ S 5 に進み、下位ページの書き込み動作は正常終了する。

30

【 0 0 3 8 】

ステップ S 4 において、書き込みエラーの場合には、ステップ 9 に進み下位ページへの再書き込み回数の判定をする。再書き込み回数が所定回数に達していなければステップ S 3 に進み再度の書き込みをする。そしてステップ S 7 に進み、書き込みが正常であれば、ステップ S 5 に進み正常終了する。書き込みがエラーであれば、ステップ 9 に進み、再書き込みを所定回数繰り返す。

また、ステップ S 9 において再書き込み回数が所定回数に達していれば、ステップ S 1 0 に進みエラー終了する。

40

【 0 0 3 9 】

ステップ S 2 において、上位ページへの書き込みの場合には、ステップ S 6 に進む。ステップ S 6 において、書き込むべきデータを目的とするフラッシュメモリに書き込む。つぎにステップ S 7 に進む。ステップ S 7 において、書き込みが正常に終了したかどうか判定する。正常終了の場合、ステップ S 5 に進み、上位ページへの書き込み動作は正常終了する。

【 0 0 4 0 】

ステップ S 7 において、書き込みエラーの場合には、ステップ S 8 に進み上位ページへの再書き込み回数の判定をする。再書き込み回数が所定回数に達していなければ再書き込

50

みのためにステップ S 1 1 に進み、ここでステップ S 3 において他のフラッシュメモリに書き込まれたデータを使って下位ページを復元する。さらにステップ S 6 に進み、再度上位ページに書き込むべきデータを目的のフラッシュメモリに書き込む。

ステップ 8 において、再書き込み回数が所定回数に達していれば、ステップ S 1 2 に進みエラー終了する。

以上の図 7 の処理が行われることで、上位ページへの書き込みのときにエラーが発生して書き込みに失敗し、下位ページの内容が破壊（消失）されたとしても、下位ページを適切に復元できることになる。さらに下位ページの書き込みのときには、書き込むべきデータを目的とする本来のフラッシュメモリと他のメモリに同時に書き込むのでオーバーヘッドが発生せず、全体の動作スピードを向上させることができる。

10

【 0 0 4 1 】

なお本技術は以下のような構成も採ることができる。

(1) 1 つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記ビット数に相当する数のページを有する複数の不揮発性メモリ部と、

上記複数の不揮発性メモリ部のデータ書込 / 読出のための制御を行う制御部とを備え、上記制御部は、

上記複数の不揮発性メモリ部のうち、1 の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御するメモリ装置。

20

(2) 上記制御部は、

上記下位ページに書き込みするときは、上記複数の不揮発性メモリのうち、少なくとも 2 つの不揮発性メモリ部に同時にアクセスできる上記 (1) に記載のメモリ装置。

(3) 上記複数ビットデータは 2 ビットである (1) 又は (2) に記載のメモリ装置。

(4) 上記不揮発性メモリは N A N D 型フラッシュメモリである上記 (1) 乃至 (3) のいずれかに記載のメモリ装置。

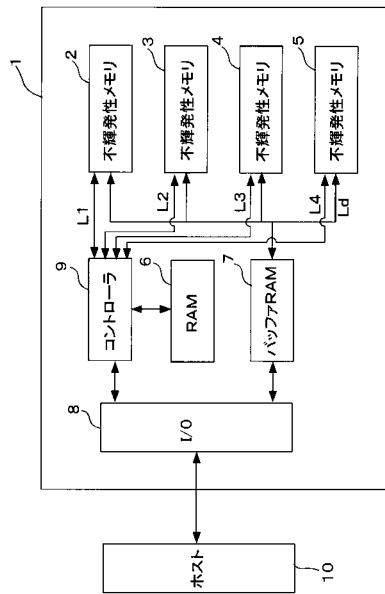
【 符号の説明 】

【 0 0 4 2 】

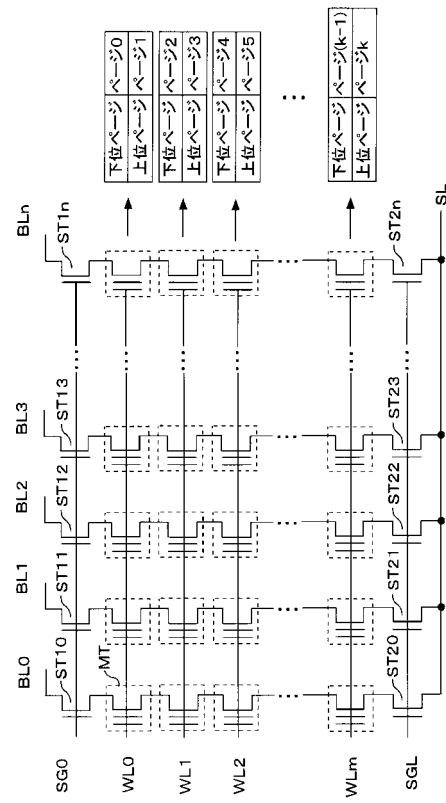
1 メモリ装置、 2 3 4 5 不揮発性メモリ、 6 R A M、 7 バッファ R A M、
8 外部インターフェース、 9 ホスト 1 0

30

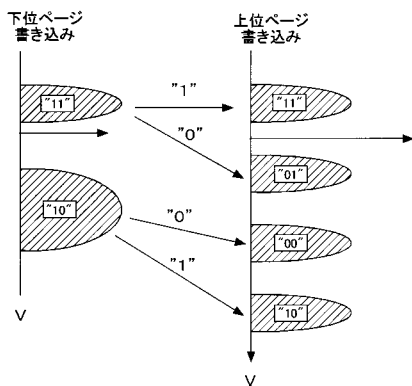
【図 1】



【図 2】

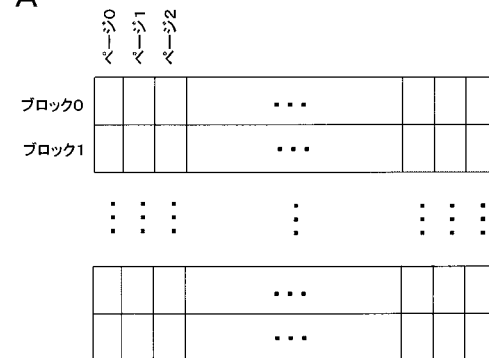


【図 3】

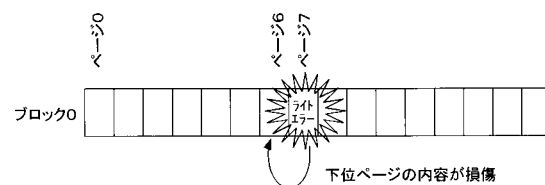


【図 4】

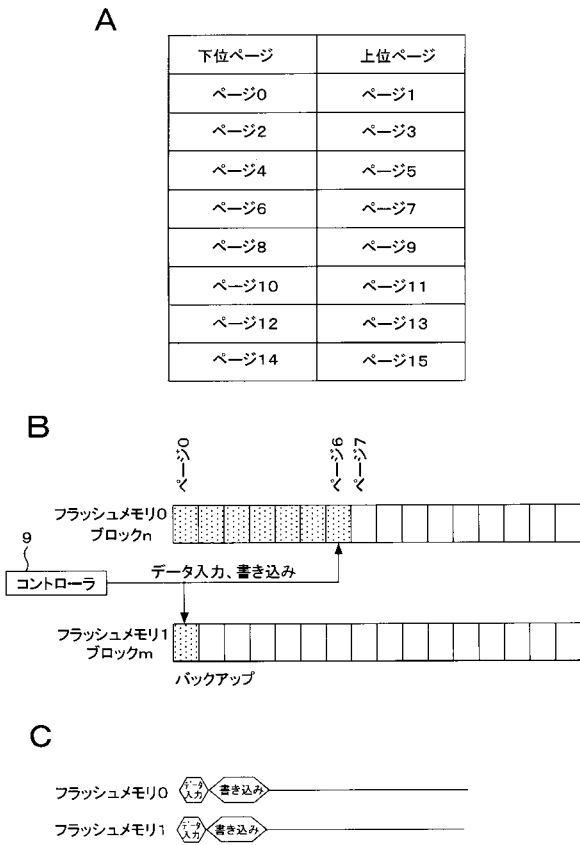
A



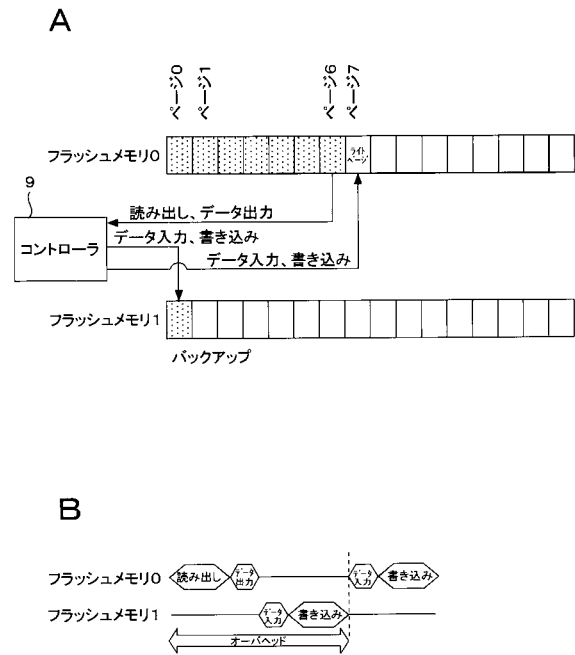
B



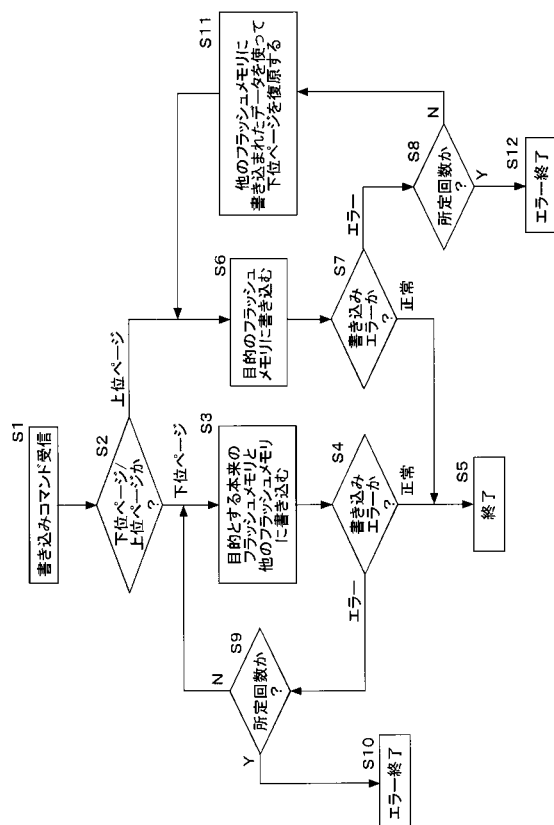
【図 5】



【図 6】



【図 7】



フロントページの続き

F ターム(参考) 5B125 BA02 BA19 CA12 CA16 DA03 DB02 DB03 DB08 DB17 DD05
DD08 DE04 DE06 DE14 DE17 EA05 EA07 EA10 EF10 EK02
FA01 FA02 FA06