(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
29. Dezember 2016 (29.12.2016)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2016/206685 A1

(51) Internationale Patentklassifikation:
H05K 1/02 (2006.01) *H02K 3/26* (2006.01)
H02K 1/18 (2006.01) *H05K 1/14* (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2016/200288

(22) Internationales Anmeldedatum:
24. Juni 2016 (24.06.2016)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2015 211 852.5 25. Juni 2015 (25.06.2015) DE

(71) Anmelder: **SCHAEFFLER TECHNOLOGIES AG & CO. KG** [DE/DE]; Industriestraße 1-3, 91074 Herzogenaurach (DE).

(72) Erfinder: **KEGELER, Jörg**; W.-A.-Mozart-Str. 16, 98553 Schleusingen (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

— *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)*

(54) **Title**: MULTILAYER PRINTED CIRCUIT BOARD AND METHOD FOR PRODUCING SAME

(54) **Bezeichnung** : MULTILAYER-PLATINE UND VERFAHREN ZU DEREN HERSTELLUNG

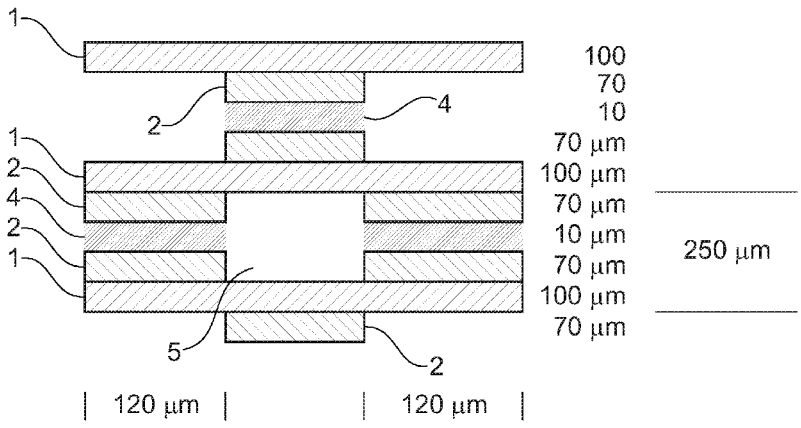


Fig. 2

(57) **Abstract**: The invention relates to a multilayer printed circuit board and a method for producing same. To increase the power density of such a multilayer printed circuit board, said board comprises • at least a first layer comprising a first electrically insulating substrate (1) and at least a first conductor (2) which is applied to the first substrate (1) and • at least a second layer comprising a second electrically insulating substrate (1) and at least a second conductor (2) which is applied to the second substrate (1), wherein the two layers are mechanically connected to one another by means of an enamel coating layer (4) lying between the first and second conductors (2).

(57) **Zusammenfassung**:

[Fortsetzung auf der nächsten Seite]

WO 2016/206685 A1

Die Erfindung betrifft eine Multilayer-Platine und ein Verfahren zu deren Herstellung. Zur Erhöhung der Leistungsdichte einer derartigen Multilayer-Platine umfasst diese • mindestens einen ersten Layer umfassend ein erstes elektrisch isolierendes Substrat (1) und mindestens eine erste, auf dem ersten Substrat (1) aufgebrachte Leiterbahn (2) und • mindestens einen zweiten Layer umfassend ein zweites elektrisch isolierendes Substrat (1) und mindestens eine zweite, auf dem zweiten Substrat (1) aufgebrachte Leiterbahn (2), wobei die beiden Layer durch eine zwischen der ersten und zweiten Leiterbahn (2) liegenden Backlackschicht (4) mechanisch miteinander verbunden sind.

Multilayer-Platine und Verfahren zu deren Herstellung

Die Erfindung betrifft eine Multilayer-Platine, die insbesondere für Anwendungen vorgesehen ist, bei denen verhältnismäßig hohe Ströme über eine Leiterplatte geführt werden müssen. Beispiele hierfür sind dynamoelektrische Maschinen, bei denen mindestens ein Wicklungssystem in Form einer gedruckten Leiterplatte ausgebildet ist, oder Leiterplatten für leistungselektronische Baugruppen, die der Stromversorgung von Verbrauchern mit verhältnismäßig hoher Leistung dienen.

Die Erfindung betrifft des Weiteren ein Herstellungsverfahren für eine derartige Multilayer-Platine.

Aus der EP2863524A1 ist ein Stator für eine Axialflussmaschine bekannt, der in Form eines Printed Circuit Boards (PCB) ausgebildet ist. Die PCB ist als Multilayerplatine ausgeführt, d.h. sie umfasst mehrere aufeinanderliegende Layer mit Leiterbahnen. Hierdurch können die Wicklungen einer Spule auf diese mehreren Layer verteilt werden. Aus der Schrift ist ebenfalls bekannt, dass sich eine Windung einer Wicklung auf mehrere Lagen der Multilayer-Platine erstrecken kann.

Um eine hohe Leistungsdichte innerhalb einer derartigen Multilayer-Platine zu erzielen, muss ein möglichst großer Kupferanteil verwirklicht werden. Üblicherweise werden bei der Herstellung von Multilayer-Platinen zunächst Einzellayer hergestellt, bei denen Leiterbahnen aus Kupfer auf ein PCB-Substrat, wie beispielsweise FR4, aufgebracht werden. Mehrere dieser Layer werden anschließend aufeinandergestapelt, wobei sie jeweils durch ein oder zwei Blätter Prepreg voneinander getrennt werden. Anschließend wird der Gesamtstapel laminiert und somit eine mechanische Verbindung zwischen dem einzelnen Layer hergestellt.

Durch heutige Standardherstellungsverfahren werden üblicherweise Leiterbahndicken zwischen 35 und 70 µm in einem solchen Herstellungsprozess verwirklicht. Das Aspektverhältnis bei derartigen Kupferstrukturen, das heißt, das Verhältnis der Dicke dieser Leiterbahnen zu deren Breite, beträgt üblicherweise etwa 0,5. Die Leiterbahnen werden durch einen Ätz- oder Aufwachsungsprozess in Verbindung mit einem photolithographischen Prozess auf das FR4-Substrat aufgebracht.

Zwar könnte man durch größere Leiterbahndicken als die oben angegebenen die Stromtragfähigkeit jeder einzelnen Leiterbahn erhöhen. Jedoch muss bei steigender Dicke zwischen den einzelnen Leiterbahnen einer Layer ein größerer Abstand eingehalten werden. Denn mit steigender Leiterbahndicke steigt auch das Risiko, dass bei der Prozessierung Unsauberkeiten an den Seitenrändern der Leiterbahnen entstehen, die zu einer ungewollten Kontaktierung zweier aneinander angrenzender Leiterbahnen führen. Als Folge dessen hat sich eine Leiterbahndicke von maximal 70 – 105 µm in der Praxis als sinnvoll etabliert.

Der Erfindung liegt die Aufgabe zugrunde, die in einer Multilayer-Platine tragbare Stromdichte unter Einhaltung möglichst vieler in der Leiterplattenprozessierung üblicher Herstellungsprozesse zu erhöhen.

Die Lösung dieser Aufgabe gelingt durch eine Multilayer-Platine mit den Merkmalen gemäß Patentanspruch 1. Ferner wird die Aufgabe durch ein Verfahren mit den Merkmalen gemäß Patentanspruch 9 gelöst.

Vorteilhafte Ausführungsformen der Erfindung sind den abhängigen Patentansprüchen zu entnehmen.

Unter dem Begriff Multilayer-Platine wird hier sowie im gesamten Dokument ein Verbund von mindestens zwei aufeinanderliegenden Leiterplatten verstanden. Selbstverständlich kann eine Multilayer-Platine im Sinne der Erfindung auch deutlich mehr als die genannten zwei Leiterplatten, im Folgenden auch als Layer bezeichnet, aufweisen.

Die erfindungsgemäße Multilayer-Platine umfasst mindestens einen ersten Layer mit einem ersten elektrisch isolierenden Substrat und mindestens einer ersten, auf dem ersten Substrat aufgebrachten Leiterbahn. Die Multilayer-Platine umfasst des Weiteren einen zweiten Layer mit einem zweiten elektrisch isolierenden Substrat und mindestens einer zweiten, auf dem zweiten Substrat aufgebrachten Leiterbahn.

Erster und zweiter Layer sind nun, wie bei Multilayer-Platinen üblich, zu einem vertikalen Stack aufeinandergeschichtet. Kennzeichnend für die Erfindung ist nun die mechanische Verbindung dieser beiden Leiterplatten. Der Erfindung liegt die Erkenntnis zugrunde, dass die Stromdichte innerhalb des Leiterplattenstapels dadurch erheblich gesteigert werden kann, dass die Dicke der Verbindungsschicht zwischen den beiden Layern gegenüber dem Stand der Technik deutlich reduziert werden kann. Eine solche Reduktion gelingt erfindungsgemäß dadurch, dass die beiden Layer durch eine zwischen der ersten und zweiten Leiterbahn liegenden Backlackschicht mechanisch miteinander verbunden sind. Die Backlackschicht wirkt hierbei ähnliche wie eine Kleberschicht. Sie bildet bei Verarbeitung unter Druck und Temperatur eine Klebeverbindung zwischen den aneinandergrenzenden Schichten. Bevor die beiden Layer miteinander verbunden werden, werden die beide Leiterbahnen jeweils an ihrer dem zugehörigen Substrat abgewandten Oberfläche mit einem Backlack beschichtet. Alternativ kann die Backlackschicht aber auch auf nur eine der Leiterbahnen Anschließend werden die beiden Layer derart aufeinandergestapelt, dass die auf den jeweiligen Leitern aufgebrachten Backlackschichten unmittelbar aufeinanderliegen. Der so entstandene Gesamtstapel wird anschließend laminiert, sodass beide Layer durch eine Backlackschicht miteinander verbunden werden.

Für die verbindende Backlackschicht werden nicht mehr als etwa 10 µm Dicke benötigt. Verwendet man hingegen, wie gemäß dem Stand der Technik üblich, ein bis zwei Blatt Prepreg zur Verbindung der beiden Layer, werden ungefähr 100 µm Schichtdicke für das Prepreg benötigt, um Kavitäten zwischen den Leiterbahnen zu füllen. Es ergibt sich also, insbesondere bei Multilayer-Platinen mit einer sehr hohen Layeranzahl, eine erhebliche Volumenreduktion und damit eine deutliche Steigerung der Leistungsdichte innerhalb der Multilayer-Platine gegenüber dem Stand der Technik. Ein besonderer Vorteil der Erfindung ist zudem darin zu sehen, dass diese Steigerung der Leistungs-

dichte unter Beibehaltung nahezu aller in der Leiterplattenherstellung gängigen Herstellungsverfahren erzielt werden kann.

Zur Verbindung zweier Layer mittels des erfindungsgemäßen Verfahrens ist es vorteilhaft, wenn das erste und zweite Substrat die gleichen geometrischen Maße aufweisen und derart mit den jeweiligen Leiterbahnen beschichtet sind, dass die beiden Layer nebeneinanderliegend eine im Wesentlichen achsensymmetrische Figur bilden. Hierdurch wird erreicht, dass die erste Leiterbahn mit der zweiten Leiterbahn im Verbund der übereinanderliegenden ersten und zweiten Layer in nahezu vollständiger Abdeckung zueinander angeordnet sind. Auf diese Art und Weise steht ein Maximum an Leiterbahnfläche der jeweiligen Layer miteinander über die Backlackschicht in Kontakt, sodass ein großer Flächenanteil der beiden Layer über die Klebeschicht aus Backlack miteinander verbunden sind.

Die Multilayer-Platine erhält dadurch in vorteilhafter Ausbildung eine hohe Stromtragfähigkeit, dass die erste und die zweite Leiterbahn elektrisch auf demselben Potenzial liegen, das heißt, miteinander elektrisch parallel verschaltet sind. Auf diese Art und Weise können zum Beispiel zwei Leiterbahnen mit einer Standarddicke von 70 µm eine Stromtragfähigkeit aufweisen wie eine einzige Leiterbahn mit einer Dicke von 140 µm, die jedoch aus prozesstechnischen Gründen wirtschaftlich nicht sinnvoll auf einer Platine realisiert werden kann. Insbesondere dann, wenn die erste und zweite Leiterbahn elektrisch parallel geschaltet sind, ist auch die verhältnismäßig geringe Schichtdicke des Backlacks unschädlich, da keine elektrische Isolation zwischen den beiden Leiterbahnen hergestellt werden muss.

Beispielsweise zur Verwirklichung einer Wicklung eines Elektromotors kann es aber auch vorteilhaft sein, dass die erste Leiterbahn eine erste Windung einer Spule und die zweite Leiterbahn eine zweite Windung der besagten Spule bildet. Durch Hinzufügen weiterer Layer können selbstverständlich auf diese Art und Weise noch weitere Windungen einer Spule einer dynamoelektrischen Maschine verwirklicht werden. Auch hier gilt, dass im Regelfall zwischen den einzelnen Windungen der Spule keine nennenswerten Spannungen auftreten, sodass die geringe Schichtdicke des Backlacks ausreicht, um die notwendige elektrische Isolation zu gewährleisten.

Ein Vorteil der Erfindung ist daran zu sehen, dass die Erhöhung der Stromtragfähigkeit einer Multilayer-Platine unter Beibehaltung üblicher Prozesse und Halbzeuge in der Leiterplattenfertigung erzielt werden kann. Dementsprechend ist es vorteilhaft, dass die einzelnen Leiterbahnen eine Höhe zwischen 30 µm und 110 µm aufweisen und das Aspektverhältnis der Leiterbahnen zwischen 0,4 und 0,6 beträgt. Kupferfolien mit der angegebenen Schichtdicke sind auf dem Markt zur Herstellung von Leiterbahnen auf Substraten wie FR4 weit verbreitet. Die angegebenen Aspektverhältnisse lassen sich mit dem standardisierten Ätzverfahren problemlos realisieren.

In vorteilhafter Ausgestaltung der Erfindung können auf den Substraten der einzelnen Layer mehrere Leiterbahnen angeordnet sein, die in der Substratebene betrachtet voneinander beabstandet sind. Der Zwischenraum zwischen diesen Leiterbahnen auf einem Substrat muss nun nicht, wie gemäß dem Stand der Technik üblich, komplett mit einem Verbindungsmaterial wie Prepreg ausgefüllt sein. Vielmehr ist es mit dem erfindungsgemäßen Verbindungsverfahren möglich, einen Hohlraum zwischen den benachbarten Leiterbahnen zu belassen, der als Kühlkanal für die Leiterbahnen dient. So kann beispielsweise mittels einer forcierten Kühlung Luft durch diese Kühlkanäle gepresst werden, um für eine Entwärmung der Leiterbahn und somit eine weitere Steigerung der Stromtragfähigkeit des Platinenstapels zu sorgen.

In einer alternativen Ausführungsform der Erfindung kann aber auch vorgesehen sein, den zwischen den Leiterbahnen verbleibenden Raum mit einem elektrisch isolierenden Material zu füllen, dessen elektrische Durchschlagfestigkeit größer als die von Luft ist. Insbesondere dann, wenn sehr große Spannungen zwischen den einzelnen Leiterbahnen auf einem Substrat zu erwarten sind, kann auf diese Art und Weise der Raum zwischen den einzelnen Leitern minimiert werden.

In weiterer vorteilhafter Ausgestaltung der Erfindung kann eine besonders kompakte dynamoelektrische Maschine mit einem Stator vorgesehen werden, der zur Ausbildung einer Statorwicklung eine Multilayer-Platine nach einer der zuvor beschriebenen Ausführungsformen umfasst.

Im Folgenden wird die Erfindung anhand der Figuren näher beschrieben.

Es zeigen:

Figur 1 eine Multilayer-Platine gemäß dem Stand der Technik und

Figur 2 eine Multilayer-Platine gemäß einer Ausführungsform der Erfindung.

Im Wesentlichen wirkungsgleiche Elemente sind in den Figuren mit gleichen Bezugszeichen benannt.

Figur 1 zeigt eine Multilayer-Platine gemäß dem Stand der Technik. Dargestellt sind insgesamt drei Layer der Multilayer-Platine, die vertikal aufeinandergestapelt sind. Jeder Layer umfasst ein Substrat 1 aus dem Verbundwerkstoff FR4 sowie darauf aufgebrachte Leiterbahnen 2 aus Kupfer. Die Leiterbahnen 2 sind durch übliche photolithographische Prozesse und Ätzverfahren auf die Substrate 1 aufgebracht worden.

Übliche Dicken für FR4-Substrate in der Leiterplattenherstellung betragen etwa 100 µm. Die Leiterbahnen 2 werden auf Basis von Kupferfolien in einer Schichtdicke von 70 µm gefertigt. Diese Kupferfolien werden zunächst auf die Substrate 1 aufgebracht. Der kupferfreie Raum zwischen zwei auf einem Substrat 1 liegenden Leiterbahnen 2 wird durch einen photolithographischen Prozess und einen Ätzprozess realisiert. Der Abstand zwischen zwei benachbarten Leiterbahnen 2 muss hier so groß gewählt werden, dass die elektrische Durchschlagsfestigkeit zwischen den beiden Leiterbahnen auf einem Substrat 1 gewahrt bleibt. Dies begrenzt aus prozesstechnischen Gründen auch die Dicke der Leiterbahn 2. Denn bei dickeren Leiterbahnen 2 müsste ein größerer Abstand zwischen zwei auf einem Substrat 1 benachbarten Leiterbahnen 2 eingehalten werden, um die Durchschlagsfestigkeit zu gewährleisten. Je dicker die Leiterbahnen 2, desto schwerer wird es, die Seitenflächen der Leiterbahnen 2 so sauber zu prozessieren, dass auch bei geringem Abstand die elektrische Isolation gewährleistet bleibt.

Um die vorgefertigten Layer zu einem gestapelten Verbund miteinander mechanisch zu verbinden, ist zwischen den einzelnen Layern jeweils eine Prepreg-Schicht 3 vor-

gesehen. Prepregs 3 sind mit Reaktionsharzen vorimprägnierte textile Halbzeuge, die unter Temperatur und Druck ausgehärtet werden. Bei der Herstellung des Platinenverbundes werden zwischen die einzelnen Layer jeweils ein bis zwei Blatt Prepreg 3 gelegt. Anschließend wird der Platinenverbund zu einem Gesamtstapel laminiert. Hierbei ist eine Dicke der Prepregs 3 von etwa 100 µm in der Regel notwendig, um Kavitäten zwischen den einzelnen Layern zu vermeiden.

Somit ergibt sich für einen Layer mit der dazugehörigen Prepreg-Schicht 3 zur Verbindung mit dem nächsten Layer eine Schichtdicke von etwa 340 µm.

Figur 2 zeigt eine Multilayer-Platine gemäß einer Ausführungsform der Erfindung. Auch hier sind, wie bei der Ausführungsform gemäß dem Stand der Technik, aus Figur 1 drei Layer einer Multilayer-Platine dargestellt. Auch hier umfasst jeder Layer zunächst ein Substrat 1 aus FR4 sowie auf dem Substrat 1 aufgebrachte Leiterbahnen 2 aus Kupfer mit einer Schichtdicke von 70 µm. Der wesentliche Unterschied zu der Ausführungsform gemäß Figur 1 besteht darin, dass auf die Verbindungsschicht aus Prepreg 3 verzichtet wird. Anstelle dessen werden zwei Layer jeweils über eine Backlackschicht 4 miteinander verbunden, die vor dem Verbinden auf der dem jeweiligen Substrat 1 abgewandten Seite der Leiterbahn 2 aufgebracht wird. Diese Backlackschicht 4 hat eine Dicke von lediglich 10 µm. Die Verwendung des Backlacks 4 als Verbindungsmaterial ermöglicht es, den Schichtaufbau deutlich dünner zu gestalten als dies gemäß dem Stand der Technik (siehe Figur 1) möglich ist.

Um zu gewährleisten, dass nach dem Aufeinanderstapeln der mit Backlack 4 beschichteten Layer die Leiterbahnen 2 aus Kupfer jeweils auf Leiterbahnen 2 aus Kupfer einer anderen Layer liegen, sind die sich gegenüberliegenden Seiten des Layers jeweils spiegelsymmetrisch zueinander ausgeführt.

Durch die beschriebene Art der Verbindung zweier Layer ist es möglich, eine Leiterbahn doppelter Kupferdicke zu realisieren. So entsteht bei der Verwendung eines Standardmaterials von 70 µm für die Kupferschichten eine 140 µm dicke Leiterbahn 2. Die Dicken des FR4-Substrates 1 können hierbei unverändert bleiben. Man erhält somit, bezogen auf die übliche Fertigung gemäß dem Stand der Technik, bei dem die

Dicke des FR4-Substrates 1 in etwa der Dicke der Prepreg-Schicht 3 entspricht, ein 1,5-fachen Kupferanteil im Leiterplattenvolumen. Das Aspektverhältnis verdoppelt sich bei Beibehaltung des Fertigungsaufwandes und gleicher Genauigkeit.

Wird der neuartige Platinenaufbau beispielsweise zur Realisierung einer dynamoelektrischen Maschine verwendet, kann gegenüber herkömmlichen Verfahren eine 150 % erhöhte Kraftdichte erzielt werden.

Wie in Figur 2 zu erkennen ist, verbleibt zwischen zwei benachbarten Leiterbahnen 2 jeweils ein Freiraum 5. Dieser Freiraum 5, der hier nicht maßstäblich gezeichnet ist, sondern in der Realität eher eine Breite von in etwa 30 bis 120 µm aufweisen wird, kann zur Erhöhung der Durchschlagsfestigkeit zwischen den benachbarten Leiterbahnen 2 mit einem Isolationsmaterial gefüllt werden, dessen Durchschlagsfestigkeit größer ist als die von Luft. Alternativ ist es aber auch denkbar und von der Erfindung umfasst, den verbleibenden Freiraum 5 zum Durchleiten eines Kühlfluids zu verwenden. Auf diese Art und Weise kann beispielsweise durch eine forcierte Entwärmung die Leistungsdichte der Multilayer-Platine noch weiter gesteigert werden.

Bezugszeichenliste

1	Substrat
2	Leiterbahn
3	Prepreg-Schicht
4	Backlackschicht
5	Freiraum

Patentansprüche

1. Multilayerplatine mit

- mindestens einem ersten Layer umfassend ein erstes elektrisch isolierendes Substrat (1) und mindestens eine erste, auf dem ersten Substrat aufgebrachte Leiterbahn (2) und
- mindestens einer zweiten Layer umfassend ein zweites elektrisch isolierendes Substrat (1) und mindestens eine zweite, auf dem zweiten Substrat (1) aufgebrachte Leiterbahn (2),

dadurch gekennzeichnet, dass die beiden Layer durch eine zwischen der ersten und zweiten Leiterbahn (2) liegenden Backlackschicht (4) mechanisch miteinander verbunden sind.

2. Multilayerplatine nach Anspruch 1, wobei das erste und zweite Substrat (1) die gleichen geometrischen Maße aufweisen und derart mit den jeweiligen Leiterbahnen (2) beschichtet sind, dass die beiden Layer nebeneinanderliegend eine im Wesentlichen achsensymmetrische Figur bilden.

3. Multilayerplatine nach Anspruch 1 oder 2, wobei die erste und die zweite Leiterbahn (2) elektrisch auf dem selben Potenzial liegen.

4. Multilayerplatine nach Anspruch 1 oder 2, wobei die erste Leiterbahn (2) eine erste Windung einer Spule und die zweite Leiterbahn eine zweite Windung besagter Spule bildet.

5. Multilayerplatine nach einem der vorhergehenden Ansprüche, wobei die Leiterbahnen (2) eine Höhe zwischen 30 µm und 110 µm aufweisen und das Aspektverhältnis der Leiterbahnen (2) zwischen 0,4 und 0,6 beträgt.

6. Multilayerplatine nach einem der vorhergehenden Ansprüche, wobei auf den Substraten mehrere Leiterbahnen (2) angeordnet sind und die auf einem Substrat (1) angeordneten Leiterbahnen (2) durch einen Hohlraum (5) voneinander beabstandet sind, der als Kühlkanal dient.

7. Multilayerplatine nach einem der Ansprüche 1 bis 5, wobei auf den Substraten (1) mehrere Leiterbahnen (2) angeordnet sind und die auf einem Substrat (1) angeordneten Leiterbahnen (2) mit einem elektrisch isolierenden Material voneinander beabstandet sind, dessen elektrische Durchschlagsfestigkeit größer als die von Luft ist.

8. Dynamoelektrische Maschine mit einem Stator, der zur Ausbildung einer Statorwicklung eine Multilayer-Platine nach einem der vorhergehenden Ansprüche umfasst.

9. Verfahren zur Herstellung einer Multilayerplatine mit folgenden Verfahrensschritte:

- Erzeugen einer ersten Layer durch Aufbringen einer ersten Leiterbahn (2) auf ein erstes Substrat (1),
- Erzeugen einer zweiten Layer durch Aufbringen einer zweiten Leiterbahn (2) auf ein zweites Substrat (1),
- Beschichten der dem jeweiligen Substrat (1) abgewandten Oberfläche der ersten und / oder zweiten Leiterbahn mit einem Backlack (4),
- Aufeinanderstapeln der beiden Layer derart, dass die auf den jeweiligen Leiternbahnen (2) aufgebrachten Backlackschichten (4) unmittelbar aufeinanderliegen und
- Laminieren der aufeinandergestapelten Layer zu einem Verbund.

10. Verfahren nach Anspruch 9, wobei die Oberfläche des jeweiligen Substrates (1), die die jeweilige Leiterbahn (2) trägt, vollständig mit Backlack (4) beschichtet wird.

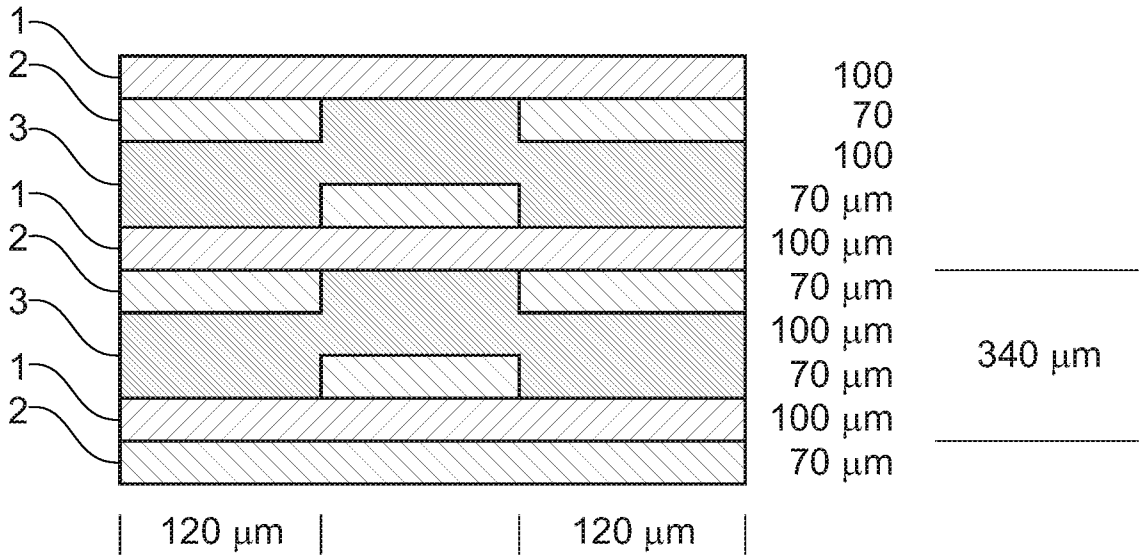

1
2
3
1
2
3
1
2
100
70
100
70 µm
100 µm
70 µm
100 µm
70 µm
100 µm
70 µm
340 µm
120 µm
120 µm

Fig. 1

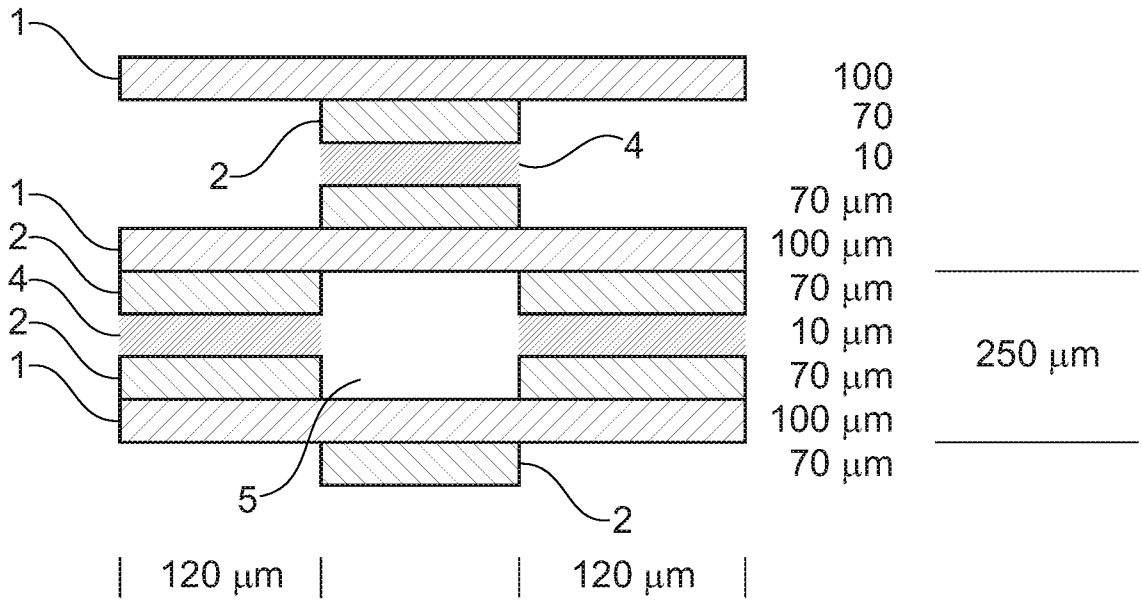

1
2
4
1
2
4
2
1
5
2
100
70
10
70 µm
100 µm
70 µm
10 µm
70 µm
100 µm
70 µm
250 µm
120 µm
120 µm

Fig. 2

INTERNATIONAL SEARCH REPORT

International application No
PCT/DE2016/200288

A. CLASSIFICATION OF SUBJECT MATTER
INV. H05K1/02 H02K1/18 H02K3/26 H05K1/14
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K H02K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 11 60 519 B (SEA SOC ELEC ET AUTOMATISME) 2 January 1964 (1964-01-02) column 1, lines 1-8 column 4, lines 36-48 column 5, lines 1-25 column 6, lines 23-35	1-5,7-10
X	& US 3 397 452 A (MARC TARAUD BERNARD) 20 August 1968 (1968-08-20) column 4, lines 22-24; figures 7-9	1-5,7-10
A	US 2010/196703 A1 (MATSUURA YOSHITSUGU [JP] ET AL) 5 August 2010 (2010-08-05) abstract; example 1 paragraphs [0063] - [0065]	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
5 October 2016	17/10/2016

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Schweiger, Dietmar

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/DE2016/200288

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 1160519 B	02-01-1964	CH 370834 A	31-07-1963
		DE 1160519 B	02-01-1964
		FR 1256632 A	24-03-1961
		GB 973417 A	28-10-1964
		OA 1425 A	04-07-1969
		US 3397452 A	20-08-1968
US 2010196703 A1	05-08-2010	CN 101657512 A	24-02-2010
		JP 5751284 B2	22-07-2015
		JP 2013237846 A	28-11-2013
		KR 20100009534 A	27-01-2010
		TW 200908822 A	16-02-2009
		TW 201242765 A	01-11-2012
		US 2010196703 A1	05-08-2010
		WO 2008133293 A1	06-11-2008

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2016/200288

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H05K1/02 H02K1/18 H02K3/26 H05K1/14
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H05K H02K

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 11 60 519 B (SEA SOC ELEC ET AUTOMATISME) 2. Januar 1964 (1964-01-02) Spalte 1, Zeilen 1-8 Spalte 4, Zeilen 36-48 Spalte 5, Zeilen 1-25 Spalte 6, Zeilen 23-35	1-5,7-10
X	& US 3 397 452 A (MARC TARAUD BERNARD) 20. August 1968 (1968-08-20) Spalte 4, Zeilen 22-24; Abbildungen 7-9 -----	1-5,7-10
A	US 2010/196703 A1 (MATSUURA YOSHITSUGU [JP] ET AL) 5. August 2010 (2010-08-05) Zusammenfassung; Beispiel 1 Absätze [0063] - [0065] -----	1-10

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
5. Oktober 2016	17/10/2016

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Schweiger, Dietmar

Formblatt PCT/ISA/210 (Blatt 2) (April 2005)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE2016/200288

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 1160519 B	02-01-1964	CH 370834 A	31-07-1963
		DE 1160519 B	02-01-1964
		FR 1256632 A	24-03-1961
		GB 973417 A	28-10-1964
		OA 1425 A	04-07-1969
		US 3397452 A	20-08-1968
US 2010196703 A1	05-08-2010	CN 101657512 A	24-02-2010
		JP 5751284 B2	22-07-2015
		JP 2013237846 A	28-11-2013
		KR 20100009534 A	27-01-2010
		TW 200908822 A	16-02-2009
		TW 201242765 A	01-11-2012
		US 2010196703 A1	05-08-2010
		WO 2008133293 A1	06-11-2008