



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0142230
(43) 공개일자 2023년10월11일

(51) 국제특허분류(Int. Cl.)

G11C 29/18 (2006.01) G11C 29/00 (2006.01)

G11C 29/44 (2006.01)

(52) CPC특허분류

G11C 29/18 (2013.01)

G11C 29/44 (2013.01)

(21) 출원번호 10-2022-0041215

(22) 출원일자 2022년04월01일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

박종선

서울특별시 서초구 신반포로 9, 85동 403호(반포동, 반포아파트)

배관호

서울특별시 동대문구 안암로18가길 20, B동 201호(제기동)

(뒷면에 계속)

(74) 대리인

이철희

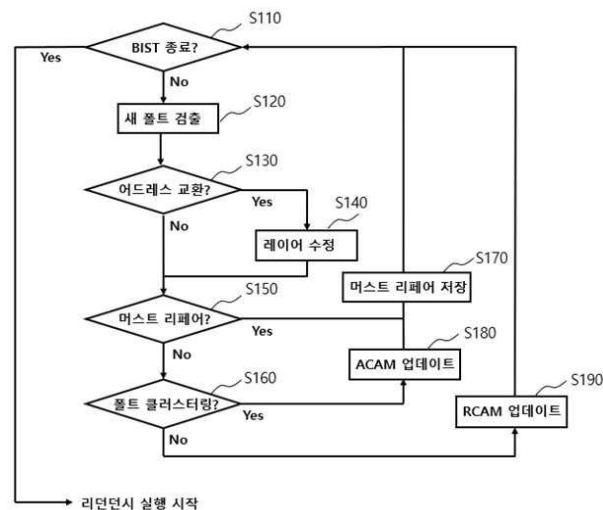
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 동적 폴트 클러스터링 방법 및 장치

(57) 요약

본 발명은 반도체 메모리의 리던던시를 효과적으로 처리할 수 있는 동적 폴트 클러스터링 방법 및 장치를 개시한다. 본 발명의 의해 폴트의 탐색 및 검출하는 콜렉션 동작과 폴트를 적절히 클러스터링하는 동작이 동시에 이루어 질 수 있게 된다.

대표도 - 도9



(52) CPC특허분류

G11C 29/808 (2013.01)

(72) 발명자

정진호

경기도 용인시 수지구 용구대로2801번길 17, 305동
803호(죽전동, 블루밍벽산3단지아파트)

방승환

서울특별시 노원구 노원로 428, 206동 1107호(상계
동, 상계2차중앙하이츠아파트)

명세서

청구범위

청구항 1

레이어 단위로 구분된 메모리 셀 어레이에서 셀프 테스트를 시작하는 단계;

새로운 폴트가 탐색되면 이전에 검출된 폴트의 행 주소 또는 열 주소와 매칭되는 지의 여부를 어드레스 저장 장치로부터 확인하는 단계;

상기 확인 결과 매치되면 상기 새로운 폴트가 속한 레이어 번호를 수정하는 단계;

상기 확인 결과 매치되지 않으면 머스트 리페어 여부를 판단하는 단계;

상기 판단 결과 머스트 리페어에 해당하면 그 정보를 리턴던시 저장 장치에 저장하는 단계;

상기 판단 결과 머스트 리페어에 해당하지 않으면 해당 폴트가 소속된 레이어로부터 다른 레이어로 클러스터링 될 지의 여부를 확인하는 단계;

상기 클러스터링 여부 확인 결과, 클러스터링 될 수 있으면 상기 어드레스 저장 장치에 해당 레이어 정보를 저장하는 단계;

상기 클러스터링 여부 확인 결과, 클러스터링 될 수 없으면 상기 리턴던시 저장 장치에 해당 레이어 정보를 저장하는 단계(S190 단계);를 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 2

제 1항에 있어서 상기 S190 단계는, 행 방향의 클러스터링인지 또는 열 방향의 클러스터링인지의 여부를 나타내는 정보를 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 3

제 1항에 있어서 상기 리턴던시 저장 장치는,

내용 주소 메모리(Content Addressable Memory)인 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 4

제 1항에 있어서 상기 어드레스 저장 장치는

내용 주소 메모리(Content Addressable Memory)인 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 5

제 1항에 있어서 상기 리턴던시 저장 장치는,

상기 새로운 폴트의 행 주소, 열 주소 및 레이어 어드레스를 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 6

제 1항에 있어서 상기 리턴던시 저장 장치는,

상기 새로운 폴트에 행 리페어를 적용해야 하는 지의 여부 또는 열 리페어를 적용해야 하는 지의 여부를 나타내는 플래그 신호가 저장되는 공간을 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 7

제 1항에 있어서 상기 리턴던시 저장 장치는,

상기 클러스터링을 위한 맵드(mapped) 어드레스를 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 8

제 1항에 있어서 상기 어드레스 저장 장치는,

상기 클러스터링된 폴트가 행 방향의 교환인지 열 방향의 교환인지를 나타내는 플래그 신호가 저장되는 공간을 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 9

제 1항에 있어서 상기 탐색과 상기 클러스터링이 동시에 진행되는 것을 특징으로 하는 동적 폴트 클러스터링 방법.

청구항 10

복수 개의 레이어로 구성되며 이진 정보를 저장하는 반도체 메모리 셀 어레이;

상기 레이어에서 발생한 폴트를 대체하기 위해 마련된 여분의 셀들로 구성된 글로벌 리던던시;

상기 폴트에 대한 레이어 번호, 행 주소 및 열 주소를 저장하기 위해 마련된 리던던시 저장 장치;

상기 폴트에 대한 행 리페어 또는 열 리페어 여부를 저장하기 위해 마련된 어드레스 저장 장치;

상기 레이어 또는 상기 글로벌 리던던시 가운데 하나로부터 이진 정보를 선택하는 멀티플렉서;

상기 폴트가 속한 레이어에서 다른 레이어로 클러스터링하기 위한 분석을 진행하는 리던던시 분석부;를 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 11

제 10항에 있어서 상기 리던던시 분석부의 상기 클러스터링은,

행 방향의 클러스터링인지 또는 열 방향의 클러스터링인지의 여부를 판단하는 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 12

제 10항에 있어서 상기 리던던시 저장 장치는,

내용 주소 메모리(Content Addressable Memory)인 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 13

제 10항에 있어서 상기 어드레스 저장 장치는,

내용 주소 메모리(Content Addressable Memory)인 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 14

제 10항에 있어서 상기 리던던시 저장 장치는,

상기 새로운 폴트의 행 주소, 열 주소 및 레이어 어드레스를 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 15

제 10항에 있어서 상기 리던던시 저장 장치는,

상기 새로운 폴트에 행 리페어를 적용해야 하는지의 여부 또는 열 리페어를 적용해야 하는지의 여부를 나타내는 플래그 신호들이 저장되는 공간을 포함하는 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 16

제 10항에 있어서 상기 리던던시 저장 장치는,

상기 새로운 폴트가 상기 클러스터링을 위하여 옮겨 갈 맵드(mapped) 어드레스를 포함하는 것을 특징으로 하는

동적 폴트 클러스터링 장치.

청구항 17

제 10항에 있어서 상기 리던던시 분석부는,

상기 탐색과 상기 클러스터링이 동시에 진행되는 것을 특징으로 동적 폴트 클러스터링 장치.

청구항 18

제 15항에 있어서 상기 플래그 신호들은,

상기 클러스터링이 이루어질 경우 그 값이 수정될 수 있는 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 19

제 18항에 있어서 상기 수정은,

상기 리던던시 분석부의 분석 동작에 의해 이루어 지는 것을 특징으로 하는 동적 폴트 클러스터링 장치.

청구항 20

제 10항에 있어서 상기 리던던시 저장 장치는,

상기 새로운 폴트가 속한 레이어 번호, 행 주소, 열 주소, 맵핑을 위한 맵드 레이어 번호, 행 방향의 리페어가 필요한지의 여부를 나타내는 행 머스트 플래그 및 열 방향의 리페어가 필요한지의 여부를 나타내는 열 머스트 플래그 신호 가운데 일부 또는 전부를 저장함을 특징으로 하는 동적 폴트 클러스터링 장치.

발명의 설명

기술 분야

[0001] 본 발명은 이진 정보를 저장하는 반도체 메모리 셀에 오류가 발생하였을 때 이를 탐색하고 검출하는 동적 폴트의 클러스터링 방법 및 장치에 관한 것으로, 모든 폴트가 검출되기 이전에 보다 효과적으로 클러스터링을 행하기 위한 것이다.

배경 기술

[0002] 반도체 집적회로를 만드는 공정 기술이 지속적으로 발전함에 따라 반도체 메모리 제품의 집적도도 크게 향상되었다. 고집적화에 따라 이진 정보를 저장하는 메모리 셀의 오류(폴트, fault) 발생 숫자도 이에 비례하여 크게 증가되고, 테스트 비용 또한 증가하게 되었다. 폴트를 치유하기 위하여 폴트 셀을 적절한 스페어 셀들로 대체하는 기술은 예로부터 쓰이긴 하지만 집적도의 증가에 따라 이 또한 점점 복잡성을 띄게 되었다.

[0003] 메모리 제품의 수율 향상을 위해서는 폴트 셀을 검출하고, 적절한 수리(repair)를 하는 기술에서는 특히, 반도체 면적을 효율적으로 활용하기 위한 리던던시의 면적, 수리를 위한 시간의 소비, 수리의 효율 등이 항상 반도체 메모리의 생산성에 미치는 지표 가운데 하나로 활용된다.

[0004] 메모리 셀들에 대한 읽기나 쓰기 동작이 불완전하면 이를 오류가 있는 셀로 규정하는데 오류의 형태에 따라, 한 비트의 셀이 단독인 오류를 싱글 폴트, 폴트들이 랜덤하게 분포된 것은 랜덤 폴트, 메모리 셀 어레이의 행 방향으로 생긴 오류는 행 폴트, 열 방향으로 생긴 폴트는 열폴트, 행과 열이 교차하는 폴트를 크로스 폴트라고 부른다.

[0005] 오류가 난 셀들을 대체하기 위해 마련된 여분의 셀들을 스페어 셀 또는 리던던시(redundancy)라 부르고, 이들은 메모리 셀의 각 어레이나 각 블록이나 각 섹터 및 각 레이어에 전속되어 있다. 어레이, 블록, 섹터 및 레이어 등의 명칭은 메모리 칩에 존재하는 전체 셀의 숫자를 적당한 용량별로 나누어 구분된 것을 의미하거나, 여러 개의 메모리 칩들이 적층되고 TSV(Through Silicon Via)에 의해 연결된, HBM(High Bandwidth Memory)와 같은 소자에서 각각의 칩에 속하는 메모리 셀들의 집합을 의미하는 것일 수도 있다.

[0006] 리던던시는 행 리던던시와 열 리던던시로 구분하여 각 레이어 별로 마련된 것을 로컬(local) 리던던시라고 부르며, 행과 열을 구분하지 않고 어느 쪽이나 수리할 수 있도록 마련된 리던던시를 글로벌(global) 리던던시라고

부른다.

[0007] 이러한 리던던시를 반도체 메모리 내에 만들어 놓고 오류는 분석한 다음, 이를 이용하는 방법을 BIRA(Built-In Redundancy Analysis)라고 하며, 오류를 검출하기 위하여 메모리 칩 내부에서의 회로 동작을 빌트인 셀프 테스트(BIST, **B**uilt **I**n **S**elf **T**est)라고 부른다.

[0008] BIRA의 방법 가운데서, 리던던시를 보다 효과적으로 이용하기 위하여 한 레이어에서 발생한 오류를 다른 레이어로 이동하는 것이 필요할 수 있다. 이를 클러스터링(clustering)이라고 한다.

[0009] BIRA의 방법 가운데서, 검출의 대상이 되는 메모리 레이어의 오류를 모두 검출한 다음에 적당한 수리 방법을 선택하는 것을 정적(Static) 폴트(fault) 클러스터링(clustering)이라 하며, 검출과 동시에 수리 방법을 선택하는 것을 동적(dynamic) 폴트 클러스터링이라고 한다.

[0010] 폴트가 발생한 메모리 레이어를 맵핑(mapping) 레이어, 폴트가 클러스터링을 위해 옮겨갈 레이어를 맵드(mapped) 레이어라고 부른다. 종래에는 폴트가 발생하면 이를 분석한 다음에 맵핑 레이어와 맵드 레이어가 결정되고 맵핑(mapping)의 방향성, 또는 클러스터링의 방향성도 결정된다.

발명의 내용

해결하려는 과제

[0011] 본 발명이 해결하고자 하는 기술적 과제는 폴트 클러스터링 기술에 있어서, 모든 폴트가 검출되기 이전이라도, 적절한 클러스터링을 실행할 수 있도록 하여 이진 정보를 저장하는 반도체 메모리로 하여금 수리율의 향상, 수리에 걸리는 시간의 단축 등을 달성하고자 하는 것에 있다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 반도체 메모리의 동적 폴트 클러스터링 방법은, 레이어 단위로 구분된 메모리 셀 어레이에서 셀프 테스트를 시작하는 단계; 새로운 폴트가 탐색되면 이전에 검출된 폴트의 행 주소 또는 열 주소와 매칭되는 지의 여부를 어드레스 저장 장치로부터 확인하는 단계; 상기 확인 결과 매치되면 상기 새로운 폴트가 속한 레이어 번호를 수정하는 단계; 상기 확인 결과 매치되지 않으면 머스트 리페어 여부를 판단하는 단계; 상기 판단 결과 머스트 리페어에 해당하면 그 정보를 리던던시 저장 장치에 저장하는 단계; 상기 판단 결과 머스트 리페어에 해당하지 않으면 해당 폴트가 소속된 레이어로부터 다른 레이어로 클러스터링 될 지의 여부를 확인하는 단계; 상기 클러스터링 여부 확인 결과, 클러스터링 될 수 있으면 상기 어드레스 저장 장치에 해당 레이어 정보를 저장하는 단계; 상기 클러스터링 여부 확인 결과, 클러스터링 될 수 없으면 상기 리던던시 저장 장치에 해당 레이어 정보를 저장하는 단계(S190 단계);를 포함하는 것을 특징으로 하는 폴트 클러스터링 방법임을 특징으로 한다.

[0013] 본 발명의 실시예에 따른 반도체 메모리의 동적 폴트 클러스터링 장치는, 복수 개의 레이어로 구성되며 이진 정보를 저장하는 반도체 메모리 셀 어레이; 상기 레이어에서 발생한 폴트를 대체하기 위해 마련된 여분의 셀들로 구성된 글로벌 리던던시; 상기 폴트에 대한 레이어 번호, 행 주소 및 열 주소를 저장하기 위해 마련된 리던던시 저장 장치; 상기 폴트에 대한 행 리페어 또는 열 리페어 여부를 저장하기 위해 마련된 어드레스 저장 장치; 상기 레이어 또는 상기 글로벌 리던던시 가운데 하나로부터 이진 정보를 선택하는 멀티플렉서; 상기 폴트가 속한 레이어에서 다른 레이어로 클러스터링하기 위한 분석을 진행하는 리던던시 분석부;를 포함함을 특징으로 한다.

발명의 효과

[0014] 본 발명에 따르면, 반도체 메모리의 리던던시 처리를 보다 효과적으로 할 수있도록 폴트를 탐색하고 검출하는 콜렉션 동작과, 클러스터링 동작을 동시에 진행할 수 있게 되어 리페어에 걸리는 시간이 최소화되며, 보다 효율적인 탐색 및 판별 방법을 제공할 수 있게 된다.

도면의 간단한 설명

[0015] 도 1은 본 발명을 개략적으로 설명하기 위한 도면이다.

도 2는 본 발명의 클러스터링 방법을 설명하기 위한 도면이다.

도 3은 본 발명의 클러스터링 방법에 연계된 리던던시 저장 장치의 내용을 일 예로 도시한 것이다.

도 4 내지 도 7은 본 발명의 방법을 각 스텝별로 나타낸 것이다.

도 8은 본 발명의 분석 시간을 나타낸 도면이다.

도 9는 본 발명의 일 실시예에 적용된 플로우 차트이다.

도 10은 본 발명의 장치를 나타낸 것이다.

도 11은 본 발명의 분석 시간을 실험한 결과이다.

도 12는 본 발명의 수리율을 실험한 결과이다.

도 13 내지 도 15는 본 발명의 조건을 달리하여 수리율을 실험한 결과이다.

도 16은 본 발명의 분석 시간을 실험한 다른 결과이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0017] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0019] 이하, 본 발명의 명세서에서, 폴트들은 메모리 셀 내에서 부호 X로 표시되거나, 탐색 순서를 강조하기 위하여 #1 또는 #2와 같이 번호로 표시되거나, 때로는 폴트의 발생 또는 폴트가 존재한다는 것을 나타내기 위해 '1'로서 표시될 수 있고 이들은 이진 정보 '1'을 나타내는 것이 아님을 미리 알려 둔다.
- [0020] 또한 본 발명의 명세서에서, 클러스터링(clustering)이란 효과적인 리페어를 위하여 폴트를 적절한 레이어로 이동시켜 모으는 동작을 의미하며, 때로는 맵핑(mapping) 동작과 서로 교환적으로 쓰이기도 한다. 클러스터링에 있어서는 폴트가 옮겨갈 레이어를 맵드(mapped) 레이어, 폴트가 발생한 원래의 레이어를 맵핑(mapping) 레이어라고 한다.
- [0021] 또한 리페어(repair)란 고장난 메모리 셀을 여분의 메모리 셀로 대체하는 수리 동작을 의미하며, 여분의 메모리 셀들은 리던던트(redundant) 셀, 스페어 셀, 또는 리던던시(redundancy)라고 부른다.
- [0022] 도 1은 본 발명의 개략적인 특징을 설명하기 위한 도면으로, 편의상 행 어드레스가 RA0~RA5, 열 어드레스가 CA0~CA5 인 6 X 6 메모리 어레이만을 표시한 것이다. 이 도면은, 두 개의 레이어에서 검출된 폴트들이 다른 레이어로 옮겨 클러스터링될 때, 그 방향이 고정되지 않았음을 나타내고 있다. 예를 들어 레이어 1에서 검출된 두 번째 폴트(#2)는 레이어 2로 옮겨 클러스터링 될 수 있고, 레이어 2에서 검출된 다섯번째 폴트(#5)는 레이어 1로 옮겨 클러스터링 될 수 있다. 이를 다른 표현으로 하면 맵드(mapped) 레이어와 맵핑(mapping) 레이어가 미리 결정되지 않았거나, 또는 맵핑의 방향이 고정되지 않았다고 할 수 있다. 맵핑은 폴트 어드레스의 교환으로 이루어진다. 참고로 각 레이어들은 서로 다른 메모리 칩에 속한 것일 수도 있고, 하나의 칩에 속하더라도 서로 다른 어레이, 페이지, 섹터 또는 그룹에 속할 수 있다.
- [0023] 본 발명의 특징을 보다 상세히 이해할 수 있도록, 도 2 및 도 3의 도면을 참조로 하여 설명하면 다음과 같다. 도 2는 네 개의 레이어 각각에 총 9개의 폴트가 흩어져 있는 경우를 도시한 것이며, 도 3은 이에 대한 폴트 어드레스를 저장한 리던던시 저장 장치(RCAM)를 도시한 것이다. 이러한 저장 장치는 내용 주소 메모리(CAM, Content Addressable Memory) 또는 이와 유사한 저장 장치가 사용될 수 있다. 여기에서 기호 LA, RA, CA, ML, RMF 및 CMF는 각각 레이어 번호 또는 레이어 어드레스(Layer Address), 행 어드레스(Row Address), 열 어드레스(Column Address), 폴트가 옮겨 갈 맵드 레이어의 번호(Mapped Layer), 행으로만 리페어함을 나타내는 행 머스트 플래그(Row Must Flag) 및 열로만 리페어함을 나타내는 열 머스트 플래그(Column Must Flag)를 나타낸다. ML의 값이 LA와 동일한 것은 맵핑이 이루어지지 않아 폴트가 원래의 레이어에 머물러 있음을 나타낸다. RMF 및 CMF는 플래그(flag) 신호로서만 의미를 가지므로 본 발명에서는 그 값이 '1'일 경우에 리페어하여야함을 나타낸

다고 가정한다.

- [0024] 도 2에서 화살표로 도시된 바와 같이, 각 레이어에서 발생한 폴트들은 본 발명의 특징적인 동작에 따라서 어떤 레이어로도 클러스터링될 수 있다. 즉, 맵드 레이어와 맵핑 레이어는 고정되어 있지는 않고, 효율적인 리페어를 위하여 각 폴트마다 서로 바뀔 수 있다. 예를 들어 레이어 2에서 검출된 세 개의 폴트(#3, #4, #5) 중에서 행 주소, 열 주소가 각각 (RA, CA) = (0,3), (RA, CA) = (3,0)인 #3, #4의 폴트는 레이어 1의 #1, #2의 폴트와 각각 열 주소를 공유하므로, 이들은 레이어 1로 맵핑될 수 있다. 반면에 레이어 2의 #5 폴트는 (RA, CA) = (4,1)의 주소를 가지므로 레이어 4의 #9 폴트와 열 주소를 공유하게 되어 레이어 4로 맵핑되어야 열 리턴던시로 처리 가능해진다. 그러므로 세 개의 폴트(#3, #4, #5)에 대한 ML의 값은 각각 1,1,4가 된다.
- [0025] 본 발명의 특징을 보다 상세히 이해할 수 있도록, 두 개의 레이어에서 각각 폴트들이 존재할 경우를 예로 들어 본 발명의 리턴던시 방법을 설명한다. 도 4 내지 도 7에 도시된 그림은 본 발명의 리턴던시 방법을 각 스텝별로 설명하기 위한 것이다. 또한 참고로, 각 폴트들은 검출 순서에 따라 번호가 매겨져 있다. 먼저 첫번째 스텝은 도 4에 도시된 것처럼 레이어 1에서 #1 폴트가 검출된 후, #2 폴트가 검출되었을 경우이다. 이들 폴트를 분석하여 보면 서로 같은 행에 자리잡고 있다. 그러므로 이들은 행 리턴던시로 처리되면 충분하고 맵핑은 이루어질 필요가 없다. 이에 따라 리턴던트 어드레스를 저장하는 저장 장치(RCAM)에는 이들 폴트에 대한 정보인 (LA, RA, CA, ML, RMF, CMF)의 값이 각각 (1,0,1,1,1,0), (1,0,3,1,1,0)로 저장된다. 도 4에서, 두 개의 폴트 모두 RMF의 값이 1인 것은 행으로 리페어되어야 함을 의미하며, ML=1인 것은 이들 폴트가 클러스터링 없이 원래의 레이어인 레이어 1에 머물러 있음을 의미한다. 이때에는 아직 나머지 폴트들이 검출되기 전이므로 어드레스 저장 장치(ACAM, Address Content Addressable Memory)도 비어 있는 상태이다. 참고로 어드레스 저장 장치(ACAM)의 R/CEF는 클러스터링에 의한 어드레스의 교환 방향이 행 방향인지 열 방향인지의 여부를 나타내는 플래그(Row/Column Exchange Flag) 신호이다.
- [0026] 다음 스텝에서 도 5에 도시된 것처럼 레이어 2의 (RA,CA)=(3,2)의 위치에서 세번째 폴트(#3)이 검출되었을 경우에는 이를 레이어 1의 폴트들, 즉 #1, #2 폴트와 비교, 분석한다. 분석 결과 어떠한 폴트들과도 행 또는 열 어드레스가 겹치지 않는다는 점이 판명되는데, 이러한 분석은 리턴던시를 분석하는 분석부에 의해 실행된다. 분석 결과, 클러스터링이 필요하지 않음이 판명되었으므로 도 5에 도시된 바와 같이 RCAM의 세번째 행에는 행 리턴던시나 열 리턴던시의 여부를 나타내는 플래그 신호(RMF, CMF)의 값도 (0,0)으로 기재된다.
- [0027] 다음 스텝에서, 도 6에서 도시된 바와 같이 네번째 폴트(#4)가 레이어 1의 (RA,CA)=(2,2)위치에서 검출되었을 경우에는 이를 분석하여 보면 세번째 폴트(#3)와 열 어드레스를 공유함을 알 수 있다. 이때는 #4 폴트를 레이어 1로부터 맵핑하여 레이어 2로 이동시키는 클러스터링을 행하여 열 리턴던시로 처리하는 것이 바람직하다. 즉, #4 폴트가 속한 행을 전부 레이어 2로 클러스터링하여야 열 리턴던시로 처리하는 것이 가능해진다. 이때는 클러스터링을 위해 #4 폴트가 레이어 1에서 맵핑되어 레이어 2로 이동되어야 하고 레이어 2는 맵드(mapped) 레이어가 된다. 맵핑을 위해서는 폴트 어드레스의 교환이 있어야 하므로 이 사실을 어드레스 저장 장치(ACAM)에 기재하고, R/CEF의 값도 0으로 기재한다. 그러므로 어드레스 저장 장치(ACAM)에서 #4 폴트를 나타내는 값은 (LA,RA,CA,ML,R/CEF)=(1,2,2,2,0)가 된다. 한편, 클러스터링이 끝난 #3, #4 폴트는 열 리턴던시로 처리해야 하므로 리턴던시 저장 장치(RCAM)에 저장된 #3의 열 머스트 플래그 신호(CMF)의 값은 1로 수정된다.
- [0028] 마지막 스텝으로 도 7에 도시된 것처럼, 다섯번째 폴트(#5)가 레이어 2의 (RA,CA)=(2,3)의 위치에서 검출되면 해당 폴트 정보를 리턴던시 저장 장치(RCAM)에 저장한다. 이때 #5 폴트는 #4 폴트에서 이미 교환된 위치 즉, 레이어2의 RA=2의 위치에 존재하는 것이므로 이를 반영하여 리턴던시 저장 장치(RCAM)의 ML의 값을 '1'로 저장된다. 이 스텝을 달리 설명하면 #4, #5 폴트들은 서로 레이어가 교환되어 맵핑된 것이고, #4 폴트는 열 리턴던시로 수리할 것이 이미 결정되었으므로 #5 폴트는 맵핑 후 행 리턴던시로 수리됨을 의미하는 것이다. 이로써 각 폴트들이 검출됨과 동시에 동적(dynamic) 클러스터링을 행하는 본 발명의 리턴던시 동작은 최소한의 시간을 소비하면서 마무리된다. 즉, 마지막 폴트가 검출됨과 동시에 클러스터링이 마무리되므로 각 폴트들에 대한 리턴던시 여부의 결정 또한 완료된다. 본 발명에서 클러스터링을 행하기 위한 일련의 동적 분석 과정들은 후술하여 기재될 리턴던시 분석부(310)에 의해 실행된다.
- [0029] 본 발명의 클러스터링 방법을 종래의 정적 클러스터링 방법과 서로 비교하여 보면 본 발명의 장점이 더욱 두드러지게 나타난다. 종래의 정적 클러스터링의 경우에는, 모든 폴트들이 검출되고 나서야 적절한 클러스터링이 시작된다. 그러므로 리턴던시 저장 장치(RCAM)에 다섯 개의 폴트들(#1~#5)가 저장된 다음에서야 #1,#2 폴트가 행 리턴던시로 결정되는 첫번째 스텝이 진행되고, 그 후 두번째 스텝에서는 #3 폴트가 레이어 1로 클러스터링되고, 다음의 세번째 스텝에서는 #3, #4 폴트가 열 리턴던시로 결정되고, 네번째 스텝에서는 #5 폴트의 처리를 행 리

던던시로 할 것인지, 아니면 열 리던던시로 할 것인지를 선택하게 된다. 그러므로 본 발명과는 달리, 종래의 기술에서는 첫번째 스텝 내지 네번째 스텝에 이르는 일련의 과정들이 추가로 필요하게 되므로 여기에 소요되는 시간 또한 추가로 부가된다.

[0030] 본 발명과 종래의 기술에 대하여 분석 시간을 직관적으로 알 수 있게 비교한 그래프를 도 8에 도시하였다. 전술한 바와 같이 본 발명은 폴트를 검출 또는 콜렉션함과 동시에 클러스터링이 이루어지므로 클러스터링에 필요한 시간이 절감되지만 종래의 기술에서는 폴트를 검출한 이후에 클러스터링이 이루어진다. 그러므로 종래의 기술에서는 셀프 테스트(BIST)에 걸리는 부가의 시간이 소요되어 리던던시의 실행 시간에서 차이가 있음을 알 수 있다.

[0031] 본 발명의 클러스터링 방법을 플로우 차트로 나타내면 도 9와 같이 표현된다.

[0032] 반도체 메모리에 대한 셀프 테스트(Built-In Self Test, BIST)가 시작되거나, 혹은 아직 끝나지 않았다면(S110 단계), 새로운 폴트가 있는지를 탐색하고(S120 단계), 셀프 테스트가 끝났다면 폴트 클러스터링을 종료하고 불량 셀을 리던던트 셀로 대체하는 동작이 시작된다. 새로 검출된 폴트가 이전에 검출된 폴트와 행 주소 또는 열 주소를 매칭되는지의 여부를 어드레스 저장 장치(ACAM)에서 확인한다(S130). 확인 결과 매칭되면 새로운 폴트의 레이어 번호(ML)를 수정하고(S140), 매칭되지 않으면 머스트 리페어 여부를 판단한다(S150). 머스트 리페어라고 판단되면, 즉, RMF의 값이 '1' 또는 CMF의 값이 '1'이라면 리던던시 저장 장치(RCAM)에 해당 정보를 저장한다(S170). 만약 머스트 리페어가 아닐 경우에는 해당 폴트가 소속된 레이어로부터 다른 레이어로 클러스터링 될지의 여부를 확인한다(S160). 확인 결과 클러스터링 될 수 있으면 어드레스 저장 장치(ACAM)에 해당 레이어 정보를 저장한다(S180). S180 단계에서는 맵드 레이어 번호(ML)에 바뀐 레이어 번호를 저장하고 행 방향의 클러스터링일 경우에는 R/CEF=0, 열 방향의 클러스터링일 경우에는 R/CEF=1을 기록한다. S160 단계에서 클러스터링 동작을 할 수 없는 경우에는 리던던시 저장 장치(RCAM)에 해당 정보를 저장하게 된다(S190).

[0033] 본 발명의 동적 폴트 클러스터링 장치는 도 10에 도시된 것과 같은 장치에 의해 실행될 수 있다. 당연하지만 이 장치는 본 발명의 방법을 실행할 수 있는 장치 가운데서 하나의 예를 든 것이다. 도 10에 도시된 본 발명의 장치는, 이진 정보를 저장하며 필요에 따라 여러 레이어로 구분될 수 있는 메모리 셀들 어레이(350), 고장난 셀을 대체하기 위해 마련된 글로벌 리던던시(340), 클러스터링을 위해 마련된 리던던시 저장 장치(330), 어드레스 저장 장치(320), 리던던시 분석부(310) 및 멀티플렉서(360)를 포함한다.

[0034] 어레이(350)는 복수개의 레이어로 구성된 것이 바람직하고, 레이어는 메모리 칩에 존재하는 전체 셀의 숫자를 적당한 용량별로 나누어 구분된 것을 의미하거나, 여러 개의 메모리 칩들이 적층되고 TSV(Through Silicon Via)에 의해 연결된, HBM(High Bandwidth Memory)와 같은 소자에서 각각의 칩에 속한 메모리 셀들의 집합을 의미하는 것일 수도 있다.

[0035] 글로벌 리던던시(340)은 고장난 메모리 셀을 대체하기 위하여 마련된 여분의 메모리 셀들의 집합이며, 행 방향의 리페어나 열 방향의 리페어를 구분하지 않고 대체할 수 있다.

[0036] 리던던시 저장 장치(330)는 고장난 메모리 셀, 즉 폴트들에 대한 정보를 담고 있는 것으로 각 폴트들이 속한 레이어 번호, 행 주소, 열 주소, 맵핑을 위한 맵드 레이어 번호, 행 방향의 리페어가 필요한지의 여부를 나타내는 행 머스트 플래그 및 열 방향의 리페어가 필요한지의 여부를 나타내는 열 머스트 플래그 신호 가운데 일부 또는 전부를 저장할 수 있다. 바람직하기로는 리던던시 저장 장치(330)는 내용 주소 메모리(CAM, Content Addressable Memory) 또는 이와 유사한 저장 장치가 사용될 수 있다.

[0037] 어드레스 저장 장치(320)는 검출된 폴트가 클러스터링을 통해 레이어 맵핑이 이루어지는 정보를 담고 있는 것으로, 각 폴트들이 속한 레이어 번호, 행 주소, 열 주소, 맵핑을 위한 맵드 레이어 번호 및 행 방향의 클러스터링인지 열 방향의 클러스터링인지의 여부가 저장되도록 구성되어 있다. 바람직하기로는 어드레스 저장 장치(320)는 내용 주소 메모리(CAM, Content Addressable Memory) 또는 이와 유사한 저장 장치가 사용될 수 있다.

[0038] 리던던시 분석부(310)은 본 발명에서 예로 든 일련의 분석 과정을 실행하는 구성이며 논리회로의 조합으로 구현될 수 있다.

[0039] 멀티플렉서(360)는 정상적인 메모리 셀이면 어레이(350)로부터 이진 정보가 입출력될 수 있도록 하고, 오류가 난 메모리 셀이면 이를 대체하여 글로벌 리던던시(340)로부터 이진 정보가 입출력될 수 있도록 선택적으로 동작하는 구성이다.

[0040] 도 11에는 본 발명에 의한 효과를 검증해보기 위하여 종래의 기술과 비교한 모의 실험 가운데 리던던시의 분석

시간을 비교한 그래프를 도시한 것으로, 수평축은 각 레이어당 폴트의 수를, 수직축은 분석 시간을 나타낸다. 메모리 셀의 크기는 1024×1024 이고, 레이어의 기수는 2, 폴트들은 기대값 $\lambda=20$ 인 프와송(Poisson) 확률분포를 가지며, 폴트의 유형은 싱글 폴트, 행 방향의 폴트, 열 방향의 폴트가 각각 60%, 20%, 20% 인 경우를 가정한 것이다.

[0041] 이를 참고로 하면, 본 발명의 동적 리턴던시 방법이 종래의 정적 리턴던시 방법에 비하여 분석 시간이 최소화됨을 알 수 있다. 특히 각 레이어에서 검출되는 폴트의 숫자가 많을수록 본 발명의 효과가 극명하게 드러난다. 예를 들어 레이어당 폴트의 수가 28개인 경우가 16개인 경우보다 절약되는 절대 시간이 더욱 크다. 이는 반도체 메모리의 집적도가 증가할수록 시험 시간도 급속히 증가하여, 시험에 따르는 비용도 증가하는 경향에 비추어 볼 때, 리턴던시의 분석 시간의 절약은 반도체 메모리의 양산에 있어서 매우 중요한 팩터로 작용한다. 도 12는 수리율(Repair Rate)을 비교한 도면으로 수평축은 각 레이어당 여분의 셀을, 수직축은 수리율을 나타내며, 수리율은 큰 차이가 없다는 점이 드러난다.

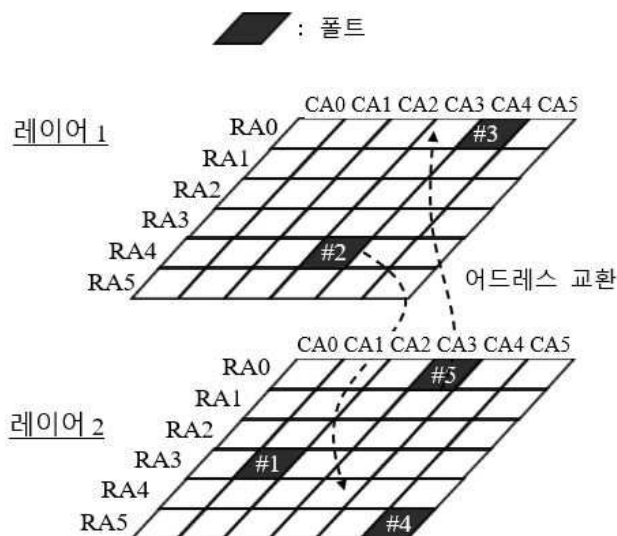
[0042] 본 발명의 폴트 클러스터링 방법을 적용하면 분석 시간은 절약되는 반면, 수리율에 있어서는 손해는 거의 생기지 않는 장점에 대한 추가의 검증을 해보기 위하여 폴트들의 유형이 서로 다양한 비율로 변화시켜 가면서 검증을 시도하였다. 예컨대 메모리 셀들의 크기가 2048×512 로 고정하고, 싱글 폴트, 행 방향의 폴트, 열 방향의 폴트의 비율을 각각 (0.6, 0.2, 0.2)에서 (0.6, 0.35, 0.05) 및 (0.6, 0.05, 0.35)등으로 변화시켜가면서 모의 실험을 하여도, 도 13 내지 도 15에 도시된 바와 같이 수리율의 손해는 크게 나타나지 않는다.

[0043] 조건을 달리하여 진행한 리턴던시의 분석 시간에 대한 또 다른 모의 실험 결과에서는 도 16에 도시한 바와 같이 종래의 기술에 대비하여 70% 이상의 시간 절약을 가져온다. 도 16의 수평축은 각 레이어당 폴트의 숫자가 각각 10개, 12개 및 14개로 가정하였고, 수직축은 분석 시간을 사이클(cycle)로 나타낸 것이다. 참고로 도 16의 모의 실험에서는, 메모리 셀들의 크기가 1024×1024 로 선택되었고, 두 개의 레이어 각각에 16개의 스페어를 처리할 수 있는 리턴던시가 마련되었고, 싱글 폴트, 행 방향의 폴트, 열 방향의 폴트의 비율이 (0.6, 0.2, 0.2)이며, 폴트는 Poisson 확률분포를 따른다고 가정한 것이다.

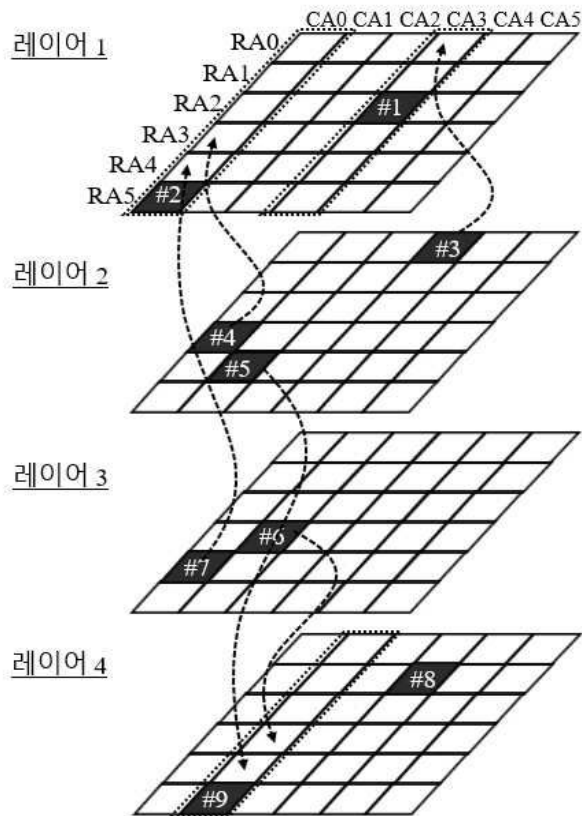
[0044] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

도면1



도면2



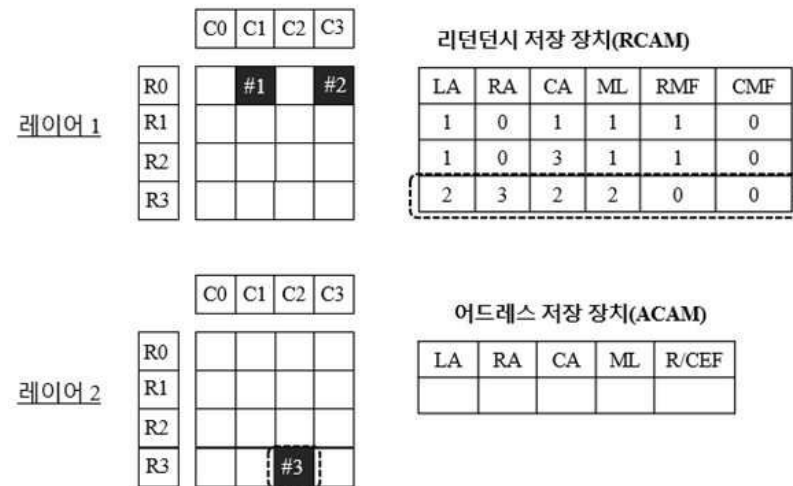
도면3

LA	RA	CA	ML	RMF	CMF
1	2	3	1	0	1
1	5	0	1	0	1
2	0	3	1	0	1
2	3	0	1	0	1
2	4	1	4	0	1
3	3	1	4	0	1
3	4	0	1	0	1
4	1	3	4	0	1
4	5	1	4	0	1

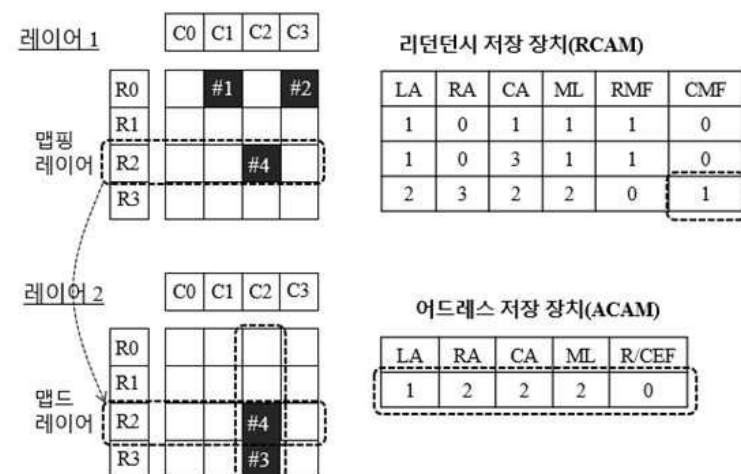
도면4



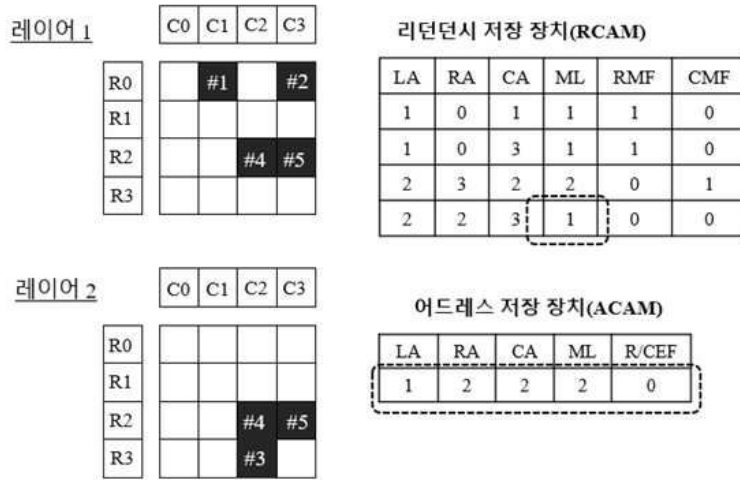
도면5



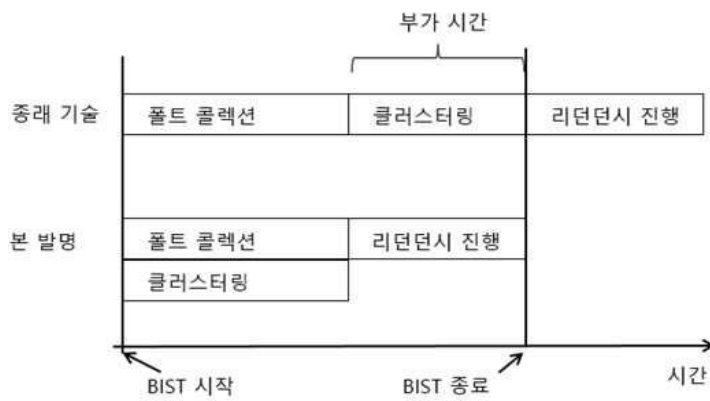
도면6



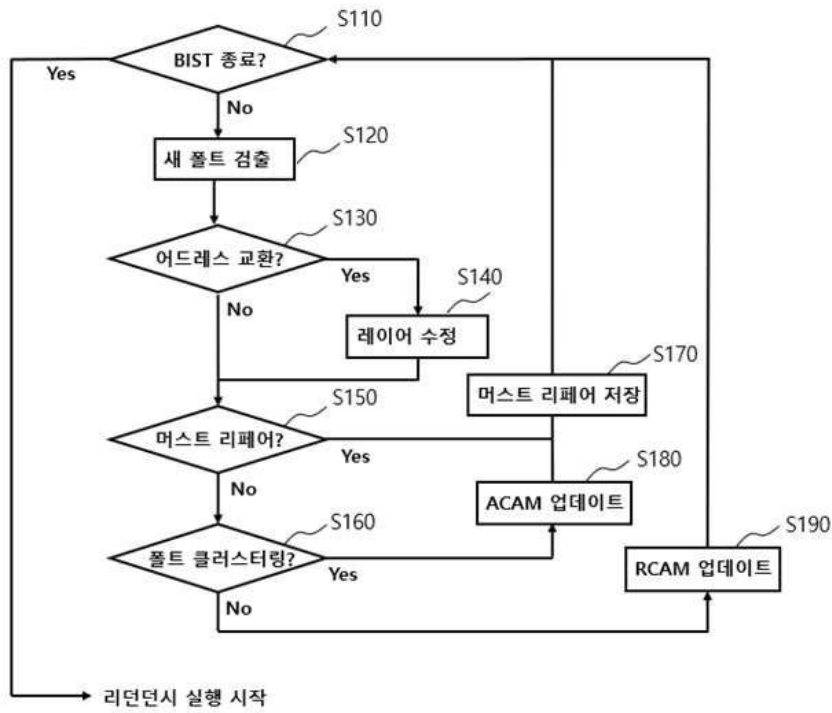
도면7



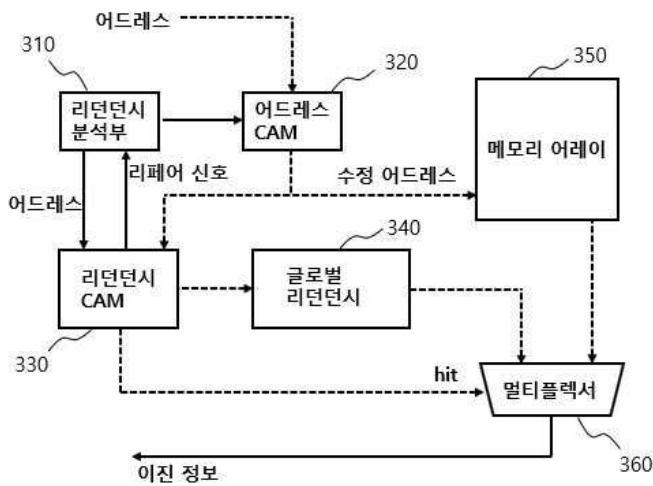
도면8



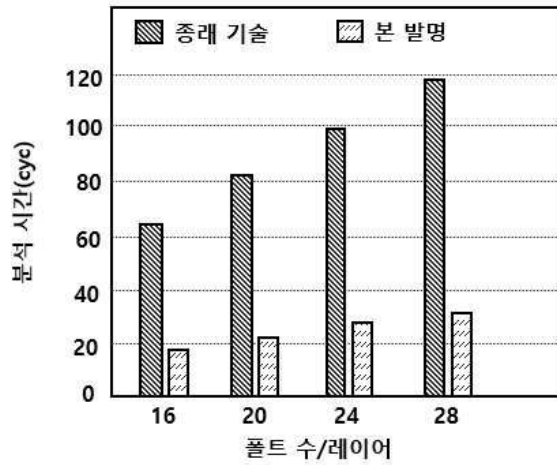
도면9



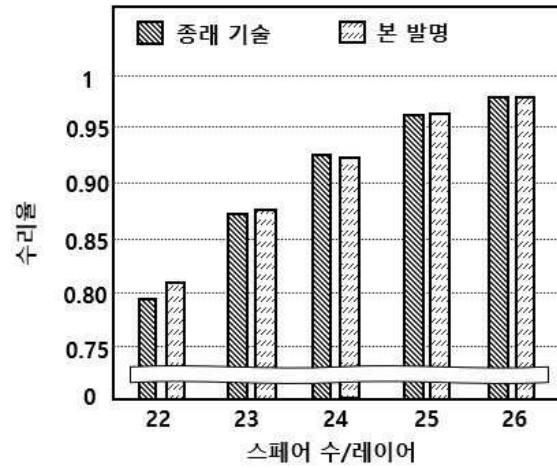
도면10



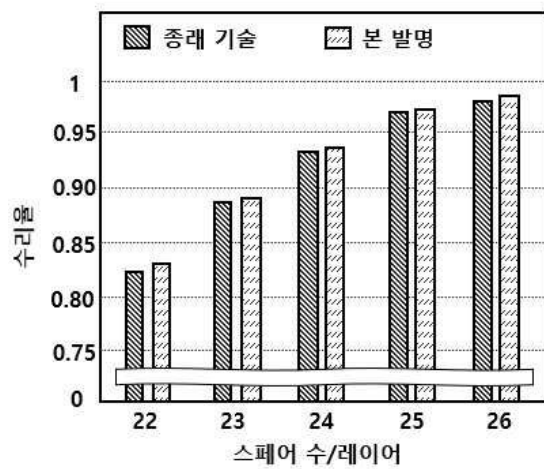
도면11



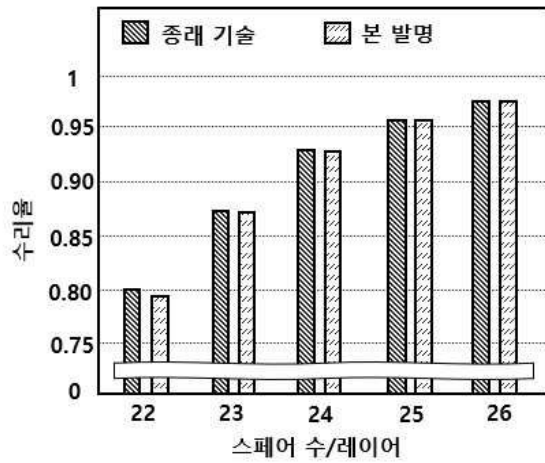
도면12



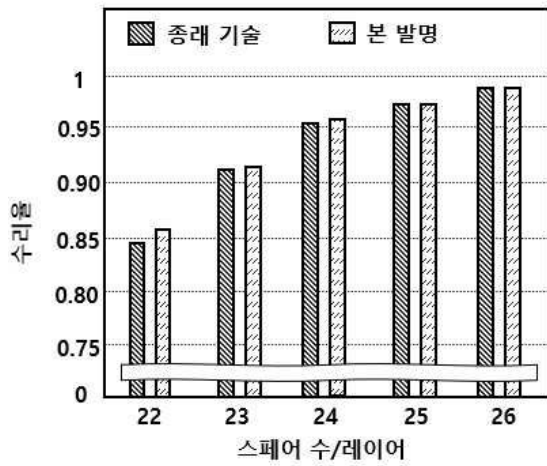
도면13



도면14



도면15



도면16

