(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3560696号
(P3560696)
(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年6月4日(2004.6.4)

(51)Int.Cl.[7]		F I		
H03L	7/099	H03L	7/08	F
H03B	5/08	H03B	5/08	A
H03B	5/20	H03B	5/20	A

請求項の数 5　(全 14 頁)

(21)出願番号　特願平7-173109
(22)出願日　平成7年7月10日(1995.7.10)
(65)公開番号　特開平9-23156
(43)公開日　平成9年1月21日(1997.1.21)
審査請求日　平成14年6月28日(2002.6.28)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100072604
弁理士　有我　軍一郎
(72)発明者　塩津　真一
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　玉村　雅也
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　大石　昇治
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
最終頁に続く

(54)【発明の名称】ＰＬＬ回路

(57)【特許請求の範囲】
【請求項１】
入力信号と出力信号の位相差に応じた制御電圧によって発振周波数を変化させ、該発振周波数の周期で変化を繰り返す信号を前記出力信号として出力するＶＣＯを含むＰＬＬと、
第１の制御信号に基づいて決定される計数期間、前記出力信号の変化を計数する第１の計数回路と、
前記第１の計数回路の計数値と所定の基準値とを比較し、前記第１の計数回路の計数値が前記基準値よりも小さい第１の状態及び前記第１の計数回路の計数値が前記基準値に到達した第２の状態を判定する比較／判定回路と、
電源オン後、基準クロックに基づいて前記計数期間を決定する前記第１の制御信号を生成するとともに、前記比較／判定回路の判定結果が前記第１の状態を示す場合は計数値の増加を指示し、前記比較／判定回路の判定結果が前記第２の状態を示す場合は計数値の保持を指示する第２の制御信号を生成する計数制御回路と、
前記第２の制御信号に基づいて計数値を増加又は維持させる第２の計数回路と、
前記第２の計数回路の計数値に基づいて前記ＶＣＯの発信周波数の変化に関する物理量を発生する物理量発生回路とを備え、
前記物理量発生回路は、前記第２の計数回路の計数値が増加したときに前記ＶＣＯの発振周波数を上昇させ得る物理量を発生し、前記第２の計数回路の計数値が変化しなかったときに前記ＶＣＯの発振周波数を保持させ得る物理量を発生することを特徴とするＰＬＬ回路。

【請求項２】
前記比較／判定回路は、前記第１の状態及び前記第２の状態に加えて、前記第１の計数回路の計数値が前記基準値よりも大きい第３の状態を判定し、
前記物理量発生回路は、さらに、前記比較／判定回路の判定結果が第３の状態のときに前記ＶＣＯの発振周波数を下降させ得る物理量を発生することを特徴とする請求項１記載のＰＬＬ回路。
【請求項３】
請求項１で初期状態として計数開始前にＶＣＯの発振周波数を最も遅くさせ得る物理量を発生することを特徴とする請求項１記載のＰＬＬ回路。
【請求項４】
請求項１で前記ＶＣＯの発振周波数を保持させ得る物理量を発生するまでは入力信号を遮断することを特徴とする請求項１記載のＰＬＬ回路。
【請求項５】
請求項１、２、３又は４で電源オン後、ＶＣＯの発振周波数が安定するまでは計数を行わないようにするためにパワーオンリセット回路を設けたことを特徴とする請求項１、２、３又は４記載のＰＬＬ回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＰＬＬ回路に関し、特に、自走周波数のロック周波数への合わせ込み技術に関する。
ＰＬＬ（Ｐｈａｓｅ　Ｌｏｃｋｅｄ　Ｌｏｏｐ　）は、二つの入力信号の位相差を検出する位相比較器（略称：ＰＣ）と、この位相差に応じた電圧（制御電圧）を発生するチャージポンプ（略称：ＣＰ）と、制御電圧に含まれる高周波成分を除去するとともに、ＰＬＬの同期特性や応答特性を決定するループフィルタ（略称：ＬＰ）と、ＬＰを通過した制御電圧によって発振周波数が変化する電圧制御発振器（略称：ＶＣＯ）とを基本構成とするものである。
【０００２】
入力信号が加わると、最初は同期状態にないため入力信号の周波数と位相はＶＣＯの自己発振の周波数（フリーラン周波数または自走周波数とも言う）と一致していない。このため同期は、まず周波数引き込み（Ｐｕｌｌ－ｉｎ　）過程で周波数が接近し、ついで位相同期（Ｌｏｃｋ－ｉｎ　）過程で同期が完了することになる。
入力信号とＶＣＯの周波数が異なる場合、ＰＣの出力には両信号の周波数差に対応したビート信号が発生するが、上記二つの過程を経て同期状態に至らせるには、このビート信号の周波数がある値以下でなければならない。言い換えれば、同期状態のＰＬＬの周波数（ロック周波数）と自走周波数とがかけ離れ過ぎている場合には、同期状態に至らせることができない。また、同期を保持する範囲（同期保持範囲）は、入力信号を自走周波数から徐々に遠ざけていき、同期が外れたときの高い方の周波数と低い方の周波数の間の範囲で規定されるが、ロック周波数と自走周波数のずれが大きい場合には、同期保持範囲に偏りが生じて動作不安定の原因となり、特に、入力信号が間欠する場合（例えば、データ信号のような場合）、同期が外れる等の不都合を招きやすい。
【０００３】
そこで、ＰＬＬの製造に際しては、自走周波数をできるだけ目標とするロック周波数に接近（望ましくは一致）させることが求められる。
【０００４】
【従来の技術】
図１０は、自走周波数のロック周波数への合わせ込みを考慮した第１の従来例のブロック図である。１はＰＣ、ＣＰ、ＬＰ及びＶＣＯを含むＰＬＬであり、ＶＣＯの制御入力には、電圧加算器２を介して、ＬＰの出力（制御電圧３）と可変抵抗４によって設定された補正電圧５との加算電圧が与えられている。

【０００５】
これによれば、可変抵抗４を調節することによって、自走周波数のロック周波数への合わせ込みを自由に行うことができ、冒頭の要求に応えることができる点で好ましいが、その調節を人手で行う必要があり、量産に不向きであるという不都合がある。
図１１は、第２の従来例のブロック図であり、いわゆる「２重ＰＬＬ方式」を採用した例である。１０は主ＰＬＬ、１１は副ＰＬＬで、いずれもＰＣ、ＣＰ、ＬＰ及びＶＣＯを備える点で共通し、主ＰＬＬ１１には第１従来例と同様の電圧加算器１３が、また、副ＰＬＬ１２にはｎ分周器（ＤＩＶと略す）１４が備えられている点で相違する。
【０００６】
副ＰＬＬ１２のロック周波数をｆＨｚとすると、ＤＩＶ１４によってｎ分周された周波数（ｆ／ｎ）の参照信号が（副ＰＬＬ１２の）ＰＣの一方の入力に加えられる。ＰＣの他方の入力にはクロック信号が加えられており、副ＰＬＬ１２のロック周波数（と位相）は、クロック信号の周波数と位相に正確に一致する。しかも、副ＰＬＬ１２の基準となる信号は、クロック信号、すなわち一定の周期で連続する信号で、データ信号のように間欠しないから、副ＰＬＬ１２のロック周波数と自走周波数の間のずれが多少大きくても同期保持範囲を広くすることができる。したがって、副ＰＬＬ１２の制御電圧１５を主ＰＬＬ１１のＶＣＯに入力することにより、主ＰＬＬ１１の自走周波数を、副ＰＬＬ１２の自走周波数にほぼ一致させることができ、後は入力信号の周波数や位相を微調整するだけで、主ＰＬＬ１１単独で同期状態を保つことができるようになる。
【０００７】
【発明が解決しようとする課題】
しかしながら、かかる「２重ＰＬＬ方式」のＰＬＬ回路にあっては、比較的大きな面積を必要とするＶＣＯが２個も必要で回路規模の増大を免れないうえ、二つのＶＣＯの発振周波数が干渉して有害なビート信号を発生したり、ジッタを発生したりするという問題点がある。
【０００８】
そこで、本発明は、一つのＶＣＯで、自走周波数のロック周波数への合わせ込みを自動化できる技術の提供を目的とする。
【０００９】
【課題を解決するための手段】
図１は本発明の原理構成図である。この図において、２０は入力信号と出力信号の位相差に応じた制御電圧によって発振周波数を変化させ、該発振周波数の周期で変化を繰り返す信号を前記出力信号として出力するＶＣＯ２１を含むＰＬＬ、２２は前記出力信号の変化を所定の期間計数する計数手段、２３は計数手段２２の計数期間を設定する計数期間設定手段、２４は計数手段２２の計数値（便宜的にＡ）と所定の基準値（便宜的にＢ）とを比較して計数値Ａが基準値Ｂよりも小さい（Ａ＜Ｂ）第１の状態、両者が一致する（Ａ＝Ｂ）第２の状態、計数値Ａが基準値Ｂよりも大きい（Ａ＞Ｂ）第３の状態を判定する比較／判定手段、２５は比較／判定手段２４の判定結果に応じてＶＣＯ２１の発振周波数の変化に関与する物理量を発生する物理量発生手段である。
【００１０】
物理量発生手段２５は、比較／判定手段２４の判定結果が第１の状態（Ａ＜Ｂ）のときにＶＣＯ２１の発振周波数を上昇させ得る物理量を発生し、比較／判定手段２４の判定結果が第２の状態（Ａ＝Ｂ）のときにＶＣＯ２１の発振周波数をそのときの周波数に保持させ得る物理量を発生し、さらに、比較／判定手段２４の判定結果が第３の状態（Ａ＞Ｂ）のときにＶＣＯ２１の発振周波数を下降させ得る物理量を発生する。
【００１１】
なお、一般にＰＬＬの自走周波数は電源投入時にゼロから立ち上がって所定の周波数に安定するから、安定に至るまでの間では前記第３の状態（Ａ＞Ｂ）となることはあり得ない。このため、第３の状態は必ずしも必須要件ではないが、何等かの理由で安定点（Ａ＝Ｂ）を通りすぎてしまうことが全くないとは言い切れないから、実用上の観点から要件に付

け加えておくことは望ましいことである。

【００１２】

初期状態として計数開始前にＶＣＯの発振周波数を最も遅くさせ得る物理量を発生させたり、判定結果が第２の状態のときにはＶＣＯの発振周波数をそのときの周波数に保持させ、その後は計数を行わず、周波数を確定させたりしてもよい。その際、周波数が確定するまでは入力信号を遮断させてもよい。又は、電源オン後、ＶＣＯの発振周波数が安定するまでは計数を行わないようにするために計数手段にパワーオンリセット回路を設けてもよい。

【００１３】

本発明では、ＰＬＬの出力信号が計数され、所定の計数期間毎にその計数値Ａと所定の基準値Ｂとが比較される。そして、Ａ＜ＢであればＶＣＯの発振周波数が上昇操作され、Ａ＝Ｂであればその時の周波数に保持される。したがって、ＰＬＬの自走周波数が所定の基準値Ｂに応じて自由にコントロールされるから、基準値Ｂを目標とするロック周波数に対応させておけば、一つのＶＣＯで、自走周波数のロック周波数への合わせ込を自動化できる。

【００１４】

【発明の実施の形態】

以下、本発明の実施例を図面に基づいて説明する。

図２～図９は本発明に係るＰＬＬ回路の一実施例を示す図である。

まず、構成を説明する。図２において、１００はパワーオン・リセット回路、２００はカウンタ制御回路、３００は第１カウンタ回路、４００は第２カウンタ回路、５００はＶＣＯ制御回路、６００はＰＬＬである。

【００１５】

パワーオン・リセット回路１００は、その構成例を図３に示すように、電源ＶＣＣとグランド間に抵抗１０１及びコンデンサ１０２を直列に接続し、インバータゲート１０３を介してノード１０４の論理と逆論理の信号（以下「$P_{ON/RST}$」）を端子１０５から取り出している。ここで、ノード１０４の電位（すなわちコンデンサ１０２の充電電位）は、電源投入直後はグランド電位（０Ｖ）であるが、その後、抵抗１０１の値とコンデンサ１０２の容量によって決まる時定数カーブに沿って漸次上昇し、最終的にはほぼＶＣＣ相当の電位に至るという経過をたどる。したがって、$P_{ON/RST}$は、電源投入時にＨ論理レベル（以下“Ｈ”と略記する）に立ち上がり、ノード１０４の電位がインバータゲート１０３の入力しきい値を越えた時点でＬ論理レベル（以下“Ｌ”と略記する）に立ち下がるという変化を示すことになる。立ち上がりから立ち下がりまでの時間（以下「パワーオン・リセット時間T_P」と言う）は、抵抗１０１の値とコンデンサ１０２の容量を調節することによって適宜に設定でき、このパワーオン・リセット時間は、ＶＣＯ６０１の動作が安定するのに充分な時間に合わせる。

【００１６】

カウンタ制御回路２００は、その構成例を図４に示すように、二つのフリップフロップ（以下「ＦＦ」と略記する）２０１、２０２と、二つのＮＯＲゲート２０３、２０４とで構成されている。

なお、カウンタ制御回路２００を説明する前に、本実施例で用いられているＦＦの動作を定義しておく。本実施例で使用するＦＦはすべて同一のタイプであり、未使用の端子を略しているものもあるが、「Ｓ」、「Ｑ」、「Ｑバー（図面は上付線であるが明細書中ではバーで表す）」、「Ｒ」、「Ｃ」及び「Ｄ」の各端子を有している。Ｓ端子は正論理のセット入力端子で、この端子の信号を“Ｈ”に立ち上げると、Ｑ端子に“Ｈ”、Ｑバー端子に“Ｌ”が出力される（以下「セット状態」と言う）。また、Ｒ端子は正論理のリセット入力端子で、この端子の信号を“Ｈ”に立ち上げると、Ｑ端子に“Ｌ”、Ｑバー端子に“Ｈ”が出力される（以下「リセット状態」と言う）。さらに、Ｄ端子はデータ入力端子、Ｃ端子はクロック入力端子で、現在のＤ端子の論理が次のＣ端子の信号変化に応答してＱ端子に出力される（すなわち、Ｄ端子の論理が１クロック遅れてＱ端子に現れる）。

【００１７】
カウンタ制御回路２００の左側（図面に対して；以下同様）のＦＦ２０１は、Ｓ端子に$P_{ON/RST}$が、また、Ｃ端子に所定の周波数（ＶＣＯ６０１のロック周波数ｆの１／ｎに相当する周波数）を有する基準クロック信号（以下「ＣＬＫ」と言う）が入力されており、Ｑ端子とＱバー端子からは逆相関係にある二つの信号（以下「S_{201}、S_{201x}」と言う）が取り出される。Ｑバー端子はＤ端子につながっており、現在のＱバー端子の論理が次のＣＬＫでＱ端子に現れるようになっている。したがって、ＦＦ２０１は、$P_{ON/RST}$の立ち上がり、すなわち電源投入時にセット状態となり、その後、ＣＬＫの周期毎にＱ端子とＱバー端子の論理を入れ替えるように動作するから、結局、S_{201}は、電源投入時に“Ｈ”となり、次のＣＬＫの立ち上がりで“Ｌ”（現在のＱバー端子の論理）になるとともに、以降、ＣＬＫの立ち上がり毎に→“Ｈ”→“Ｌ”→“Ｈ”→“Ｌ”……を繰り返す波形を示す（図９参照）。このS_{201}は、カウンタ制御回路２００を出て後述の第１カウンタ回路３００に入力され、また、S_{201}と逆相関係にあるS_{201x}は、後述のＮＯＲゲート２０４に入力される。

【００１８】
カウンタ制御回路２００の右上にあるＦＦ２０２のＲ端子には、$P_{ON/RST}$が入力されている。したがって、このＦＦ２０２は、電源投入時に一度だけリセット状態（Ｑ＝“Ｌ”、Ｑバー＝“Ｈ”）になる。なお、ＦＦ２０２のＳ端子には、ＮＯＲゲート２０３を介して$P_{ON/RST}$の反転信号が入力されているが、このＮＯＲゲート２０３の出力は、Ｑバー端子の論理（“Ｈ”）によって“Ｌ”に固定されているから、$P_{ON/RST}$が立ち下がってもＦＦ２０２はリセットされない。

【００１９】
ＦＦ２０２のＤ端子には常に“Ｈ”が入力されており、この“Ｈ”は、その後のＣ端子の論理（後述の第１カウンタ回路３００の出力信号S_{303}）の立ち上がりタイミングでＱ端子に出力される。Ｑ端子はＮＯＲゲート２０４の一方入力につながっており、このＮＯＲゲート２０４の他方入力には、S_{201x}が加えられている。ここで、ＮＯＲゲート２０４の出力信号を便宜的にS_{204}と呼ぶことにすると、このS_{204}は、ＦＦ２０２のＱ端子の論理が“Ｌ”である限り、言い換えれば、Ｃ端子の論理（後述の第１カウンタ回路３００の出力信号S_{303}）が立ち上がらない限り、S_{201x}とは逆相の波形すなわちS_{201}と同じ波形で変化する（図９参照）。

【００２０】
以上の説明をまとめると、カウンタ制御回路２００は、電源投入時に“Ｈ”になった後、ＣＬＫの立ち上がり毎に論理を反転する信号（S_{201}）を生成する第１の機能、及び、このS_{201}と同相の波形を有するが、後述する第１カウンタ回路３００の出力S_{303}が“Ｈ”になった後は“Ｌ”を維持する信号（S_{204}）を生成する第２の機能を備えている。

【００２１】
次に、「計数手段」及び「比較／判定手段」としての第１カウンタ回路３００を説明する（図５）。第１カウンタ回路３００は、３個のＦＦ３０１～３０３と、２個のＥＸＯＲゲート３０４、３０５と、１個のＯＲゲート３０６とからなり、全体でｎビットカウンタ（ここではｎ＝４だから４ビットカウンタ；ｎは「基準値」に相当）を構成している。すなわち、第１カウンタ回路３００は、入力信号（ＶＣＯ６０１の出力信号S_{VCO}）をｎ回（ここでは４回）カウントしたときに、その出力信号S_{303}を“Ｈ”にする機能を有している。

【００２２】
以下、第１カウンタ回路３００の動作を検証する。まず、電源が投入されると、カウンタ制御回路２００からのS_{201}が立ち上がり、これに伴って、三つのＦＦ３０１～３０３がリセットされ、その結果、三つのＦＦ３０１～３０３のＱ端子がすべて“Ｌ”になる（カウント値CT_A＝０）。今、三つのＦＦ３０１～３０３のＱバー端子はすべて“Ｈ”であり、左端のＦＦ３０１のＤ端子には自身のＱバー端子の論理（“Ｈ”）が、また、

中央のＦＦ３０２のＤ端子にはＥＸＯＲゲート３０４の出力論理（“Ｌ”）が、さらに、右端のＦＦ３０３のＤ端子にはＥＸＯＲゲート３０５の出力論理（“Ｌ”）が入力されている。▲１▼S_{VCO}が立ち上がると、三つのＦＦ３０１～３０３のＱ端子には直前のＤ端子の論理が現れ、その結果、それぞれのＱ端子には左から順番に“Ｈ”、“Ｌ”、“Ｌ”が出力され、CT_Aが「１」になる。このとき、左端のＦＦ３０１のＤ端子には自身のＱバー端子の論理（“Ｌ”）が、また、中央のＦＦ３０２のＤ端子にはＥＸＯＲゲート３０４の出力論理（“Ｈ”）が、さらに、右端のＦＦ３０３のＤ端子にはＥＸＯＲゲート３０５の出力論理（“Ｌ”）が入力されている。▲２▼再びS_{VCO}が立ち上がると、三つのＦＦ３０１～３０３のそれぞれのＱ端子には、左から順番に“Ｌ”、“Ｈ”、“Ｌ”が出力され、CT_Aが一つアップして「２」になる。このとき、左端のＦＦ３０１のＤ端子には自身のＱバー端子の論理（“Ｈ”）が、また、中央のＦＦ３０２のＤ端子にはＥＸＯＲゲート３０４の出力論理（“Ｈ”）が、さらに、右端のＦＦ３０３のＤ端子にはＥＸＯＲゲート３０５の出力論理（“Ｌ”）が入力されている。▲３▼再びS_{VCO}が立ち上がると、三つのＦＦ３０１～３０３のそれぞれのＱ端子には、左から順番に“Ｈ”、“Ｈ”、“Ｌ”が出力され、CT_Aが一つアップして「３」になる。このとき、左端のＦＦ３０１のＤ端子には自身のＱバー端子の論理（“Ｌ”）が、また、中央のＦＦ３０２のＤ端子にはＥＸＯＲゲート３０４の出力論理（“Ｈ”）が、さらに、右端のＦＦ３０３のＤ端子にはＥＸＯＲゲート３０５の出力論理（“Ｌ”）が入力されている。ここまでが発明の要旨に記載の「第１の状態」に相当する。

【００２３】

▲４▼再びS_{VCO}が立ち上がると、三つのＦＦ３０１～３０３のそれぞれのＱ端子には、左から順番に“Ｌ”、“Ｌ”、“Ｈ”が出力され、CT_Aが一つアップして「４」になる。すなわち、この段階で、発明の要旨に記載の「第２の状態」となり、第１カウンタ回路３００の出力S_{303}が“Ｌ”から“Ｈ”に変化することになる。

【００２４】

ここで、三つのＦＦ３０１～３０３のリセットは、S_{201}の立ち上がり毎に行われる。S_{201}の最初の立ち上がりは、上述したように電源投入時であるが、２回目以降の立ち上がりはＣＬＫの立ち上がりに同期して行われる。図９において、Ｔａは、ＣＬＫの１回目の立ち上がり（イ）から２回目の立ち上がり（ロ）までの期間である。Ｔａ内のS_{VCO}の立ち上がり数は、図の場合「３」である。すなわち、Ｔａ内では第１カウンタ回路３００のCT_Aが最大値（ｎ＝４）に到達する前にS_{201}が立ち上がっているから、CT_Aは「３」になった後「０」にリセットされている。CT_Aが最大値（ｎ）に達する前にリセットされるのは、Ｔａ内のS_{VCO}の立ち上がり数がCT_Aの最大値（ｎ）に満たないからである。Ｔａの長さはＣＬＫの一周期長（「計数期間設定手段」に相当）に一致し、且つ、ＣＬＫの周波数はＶＣＯ６０１のロック周波数ｆの１／ｎに一致している。したがって、CT_Aが最大値（ｎ）に達する前にリセットされてしまう場合は、そのときのＶＣＯ６０１の発振周波数がロック周波数ｆよりも低い周波数で自走（フリーラン）している場合である。

【００２５】

Ｔａ後のＣＬＫ一周期間では、S_{201}が“Ｈ”になっている。これは、既に説明したカウンタ制御回路２００のＦＦ２０１の働きによる。S_{201}の“Ｈ”期間をＴｂとすると、このＴｂでは第１カウンタ回路３００のカウント動作は行われない。第１カウンタ回路３００の三つのＦＦ３０１～３０３の各Ｒ端子に“Ｈ”が印加され続けるからである。

【００２６】

Ｔｂでは、第２カウンタ回路４００のカウント動作が行われる。図６は第２カウント回路４００の構成図であるが、この構成は第１カウント回路３００とほぼ同じで、違いは、三つのＦＦ４０１～４０３が$P_{ON/RST}$でリセットされる点と、S_{204}をカウントする点と、三つのＦＦ４０１～４０３のすべてのＱ端子の論理を外に取り出している点だけである。したがって、詳しい回路動作については、上述した第１カウンタ回路３００の

説明を参照するものとする。

【００２７】

第２カウンタ回路４００は、要するに、電源投入時（$P_{ON/RST}$の立ち上がり時）に一度だけリセットされた後、カウント制御回路２００からのS_{204}が立ち上がる度に、そのカウント値CT_Bを１つアップするように動作するというものである。カウント値CT_Bは、三つのＦＦ４０１～４０３のＱ端子から取り出される３ビットの信号（S_{401}、S_{402}、S_{403}）列で表される（但しS_{401}がＬＳＢ）。期間Ｔａでは、S_{401}＝“Ｌ”、S_{402}＝“Ｌ”、S_{403}＝“Ｌ”であるからCT_B＝０となり、期間Ｔｂ及びそれ以降では、S_{401}＝“Ｈ”、S_{402}＝“Ｌ”、S_{403}＝“Ｌ”であるからCT_B＝１となる。

【００２８】

ここで、S_{204}の立ち上がり条件は、カウンタ制御回路２００のＦＦ２０２のＱ端子の論理が“Ｌ”で、且つ、カウンタ制御回路２００のＦＦ２０１のＱバー端子の論理が立ち下がったときである。カウンタ制御回路２００のＦＦ２０２のＱ端子の論理は、第１カウンタ回路３００の出力（S_{303}）の論理で決まる。S_{303}が“Ｌ”である限り、言い換えれば、第１カウンタ回路３００のカウント値（CT_A）が最大値（ｎ）に達しない限り、カウンタ制御回路２００のＦＦ２０２のＱ端子の論理は、“Ｌ”を維持する。したがって、S_{204}は、第１カウンタ回路３００のカウント値（CT_A）が最大値（ｎ）に達しない限り、ＣＬＫの１周期置きに立ち上がるから、結局、第２カウンタ回路４００は、第１カウンタ回路３００のカウント値（CT_A）が最大値（ｎ）に達するまでの間、ＣＬＫの１周期置きにそのカウント値（CT_B）を一つずつアップするように動作する。

【００２９】

第２カウンタ回路４００のカウント値CT_B（S_{401}、S_{402}、S_{403}）は、ＶＣＯ制御回路５００に入力される。第２カウンタ回路４００とＶＣＯ制御回路５００は「物理量発生手段」としての機能を有している。図７において、ＶＣＯ制御回路５００は、いずれも一対の差動トランジスタ５０１、５０２と定電流源５０３とからなる三つの定電流回路５０４～５０７で構成されており、三つの定電流回路５０４～５０７の各定電流i_1、i_2、i_3の値は、１：２：４の関係に設定してある。すなわち、i_1×４＝i_2×２＝i_3の関係である。各定電流回路５０４～５０６の一方の差動トランジスタ５０２のコレクタを共通にしてＶＣＣに接続し、また、他方の差動トランジスタ５０１のコレクタを共通にして外部に引き出すとともに、抵抗５０７を介してＶＣＣに接続している。V_{REF}は基準電圧（“Ｈ”よりも低く“Ｌ”よりも高い電圧）であり、S_{401}、S_{402}、S_{403}の電位がV_{REF}を上回ったときに、対応するトランジスタ５０１がオンし、そのオンしたトランジスタ５０１と抵抗５０７を通して定電流i_1、i_2、i_3が流れるようになっている。i_tはそのときに抵抗５０７に流れる電流を表している。

【００３０】

S_{401}がV_{REF}を上回ったときは、左端の定電流回路５０４のトランジスタ５０１がオンしてi_t＝i_1となり、S_{402}がV_{REF}を上回ったときは、中央の定電流回路５０５のトランジスタ５０１がオンしてi_t＝i_2となり、S_{403}がV_{REF}を上回ったときは、右端の定電流回路５０６のトランジスタ５０１がオンしてi_t＝i_3となる。さらに、S_{401}とS_{402}がV_{REF}を上回ったときは、左端と中央の定電流回路５０４、５０５のトランジスタ５０１がオンしてi_t＝i_1＋i_2となり、S_{402}とS_{403}がV_{REF}を上回ったときは、中央と左端の定電流回路５０５、５０６のトランジスタ５０１がオンしてi_t＝i_2＋i_3となり、S_{401}とS_{403}がV_{REF}を上回ったときは、左端と右端の定電流回路５０４、５０６のトランジスタ５０１がオンしてi_t＝i_1＋i_3となる。次表１は、以上の動作をまとめたものである。表からも理解されるように、３ビットの信号（S_{401}～S_{403}）の論理の組み合わせに応じて、i_1×０からi_1×７まで変

化する電流i_tを生成できる。言うまでもなく、i_tの変化数（段数）は、信号のビット数に依存する。４ビット若しくはそれ以上に増やすことにより、７倍以上の高い倍率で、または、より高い分解能で変化させることができる。
（以下余白）
【００３１】

表１

S_{401}	S_{402}	S_{403}	i_t	i_1に対して
“L”	“L”	“L”	0	0倍
“H”	“L”	“L”	i_1	1倍
“L”	“H”	“L”	i_2	2倍
“H”	“H”	“L”	i_1+i_2	3倍
“L”	“L”	“H”	i_3	4倍
“H”	“L”	“H”	i_1+i_3	5倍
“L”	“H”	“H”	i_2+i_3	6倍
“H”	“H”	“H”	$1_1+1_2+1_3$	7倍

抵抗５０７の両端には、i_tに比例した電圧降下が生じる。この電圧降下分は$i_t=i_1\times0$のときに最低（０Ｖ）、$i_t=i_1\times7$のときに最大となる。したがって、トランジスタ５０１の各コレクタ電位は、$i_t=i_1\times0$のときにほぼＶＣＣ相当の最大値、$i_t=i_1\times7$のときに最小値となるような変化傾向を示すこととなる。V_{500}はトランジスタ５０１の各コレクタ電位であり、このV_{500}は次に述べるＶＣＯ６０１の発振周波数補正に用いられ、発明の要旨に記載の「物理量」に相当する。なお、ここでの物理量は“電圧量”であるが、これはＶＣＯ６０１のタイプが電圧制御型であるからである。電流制御型であれば、当然ながら物理量は電流量になる。
【００３２】
図８はＶＣＯ６０１の一例構成図である。なお、ここではエミッタ結合型マルチバイブレータ方式のＶＣＯを示すが、これに限定されないことはもちろんである。
図８において、６０２は本体部、６０３は補正部である。本体部６０２は、一対のトランジスタ６０４、６０５のエミッタ同士をコンデンサ６０６で接続して基本形エミッタ結合マルチバイブレータを構成するとともに、このマルチバイブレータの動作に必要な各種周辺回路で構成されている。周辺回路は、特に限定しないが、マルチバイブレータの一対のトランジスタ６０４、６０５を非飽和領域（能動領域とも言う）で動作させて同マルチバイブレータの動作周波数を高めるためのレベルシフト回路（トランジスタ６０７、６０８及びダイオード６０９、６１０）と、マルチバイブレータの電流源としての定電流回路（トランジスタ６１１～６１４及び抵抗６１５～６１８）と、前段のＬＰ（図２参照）からの制御電圧V_{LP}に応じて定電流回路の動作点（トランジスタ６１１～６１４のベース電位）を上下調節するエミッタホロワ回路（トランジスタ６１９及び抵抗６２０）である。なお、６２１、６２０は負荷抵抗であり、右側の負荷抵抗６２２の下端（トランジスタ６０５のコレクタ）から出力信号S_{VCO}を取り出している。
【００３３】
一方、本実施例に特有の構成の一つである補正部６０３は、本体部６０２の定電流回路及びエミッタホロワ回路とほぼ同等の構成を有しており、本体部６０２のマルチバイブレー

タに対する第２の電流源として機能する。すなわち、補正部６０３は、ＶＣＯ制御回路５００の出力電圧V_{500}に応じた大きさのエミッタ電位を発生するエミッタホロワ回路（トランジスタ６２３及び抵抗６２４）と、このエミッタ電位によって加減調節される定電流を発生する定電流回路（トランジスタ６２５～６２８及び抵抗６２９～６３２）とから構成されている。

【００３４】

ここで、補正部６０３がない場合のＶＣＯ６０１の動作を説明する。まず、マルチバイブレータの一対のトランジスタ６０４、６０５のうち、便宜的に左側（６０４）がオン、右側（６０５）がオフと仮定する。ＶＣＣ＝＋５Ｖとすると、左側のトランジスタ６０４のベース電圧は、＋５Ｖ－０．７Ｖ＝＋４．３Ｖとなり、同トランジスタ６０４のエミッタ電圧は、＋４．３Ｖ－０．７Ｖ＝＋３．６Ｖになるから、同トランジスタ６０４のエミッタから反対側のトランジスタ６０５のエミッタへと電流Ｉが流れ、この電流Ｉによってコンデンサ６０６が充電される（但し、０．７Ｖはトランジスタのベース－エミッタ間電圧V_{BE}；以下同様）。そして、この充電電位に応答してトランジスタ６０５のエミッタ電位が低下し、ベース電圧との電位差が０．７Ｖを越えると、トランジスタ６０４がオフ、トランジスタ６０５がオンに転じ、トランジスタ６０５のコレクタ電位（出力電圧S_{VCO}）が反転する。以下、この動作（一対のトランジスタ６０４、６０５の交互オンオフ動作）を周期Ｔで繰り返すことになる。コンデンサ６０６の充電時間ｔは、

$t = C2V_{cm} / I$ ……（１）

で与えられる。Ｃはコンデンサ６０６の容量、V_{cm}はコンデンサ６０６の充電電圧（Ｖｃ）の最大値である。V_{cm}はV_{BE}と等値であり、（１）式は、

$t = C2V_{BE} / I$ ……（２）

のようになる。したがって、周期Ｔ（＝２ｔ）は、

$T = 4V_{BE}C / I$ ……（３）

となる。（３）式において、ＣとV_{BE}を一定とすると、ＴはＩによって制御され、また、制御電圧V_{LP}とＩの間には、$gm = I / V_{LP}$（ｇｍ：トランジスタの相互コンダクタンス）の関係があるから、（３）式は、

$T = 4V_{BE}C / gmV_{LP}$ ……（４）

となり、ＶＣＯ６０１の出力信号S_{VCO}の周波数ｆは、

$f = 1 / T = gmV_{LP} / 4V_{BE}C$ ……（５）

で求めることができる。

【００３５】

本実施例の補正部６０３は、ＶＣＯ制御回路５００の出力信号V_{500}に応じてコンデンサ６０６の充電電圧（Ｖｃ）を補正する。例えば、上表１において、S_{401}～S_{403}がすべて“Ｌ”の場合（図９のCT_B＝０の期間を参照）には、V_{500}はＶＣＣ相当の電位であるから、補正部６０３の電流が増え、マルチバイブレータのコンデンサ６０６に流れ込む電流Ｉが減らされる結果、コンデンサ６０６の充電時間ｔが長くなり、結局、ＶＣＯ６０１の出力信号S_{VCO}の周波数ｆが低くなるように制御される。一方、S_{401}だけが“Ｈ”になった場合（図９のCT_B＝１の期間を参照）は、V_{500}はＶＣＣ相当の電位よりも一段低い電位になる。したがって、補正部６０３の電流は、S_{401}～S_{403}がすべて“Ｌ”の場合よりも一段少なくなり、マルチバイブレータのコンデンサ６０６に流れ込む電流Ｉが若干増える結果、コンデンサ６０６の充電時間ｔが少し短くなり、結局、ＶＣＯ６０１の出力信号S_{VCO}の周波数ｆが一段高くなる。

【００３６】

すなわち、図９のCT_B＝０の期間では、ＶＣＯ６０１は、設定された最低の周波数（少なくとも、ＣＬＫの一周期内に第１カウンタ回路３００のカウント最大値ｎを確実に下回る周期数となる周波数であればよい）で発振し、次のCT_B＝１の期間では、ＶＣＯ６０１は、上記最低周波数よりも一段高い周波数で発振することになる。今、この一段高い周波数の、ＣＬＫの一周期内における周期数を便宜的に「４」と考える。上述したよう

に、第１カウンタ回路３００は、ＣＬＫの一周期内におけるS_{VCO}の立ち上がり回数（言い換えれば周期数）をカウントし、そのカウント値が最大値（ｎ）に達したときに出力信号S_{303}を“Ｈ”にする。そして、カウンタ制御回路２００は、信号S_{303}の“Ｈ”を受けて、その出力信号S_{204}を“Ｌ”に固定するのであるから、結局、第２カウンタ回路４００は、そのときのカウント値（CT_B＝１）を保持し、S_{401}～S_{403}の論理がそのままの状態で維持される結果、ＶＣＯ６０１の自走周波数が上記の「一段高い周波数」に制御される。したがって、この「一段高い周波数」はＣＬＫ周波数ｆのｎ倍に一致しているから、ＣＬＫ周波数ｆをＶＣＯ６０１のロック周波数の１／ｎとしておけば、複数のＶＣＯを備えることなく、しかも人手を煩わすことなく、ＶＣＯ６０１の自走周波数をロック周波数に正確に合わせ込むことができる。なお、上記実施例では、ｎの数を「４」としたが、これ以外の値でもよいことはもちろんである。ｎの数を大きくするほど、合わせ込み精度を向上できる。

【００３７】

また、上記実施例では、ＶＣＯ６０１の周波数を低い方から高い方へと一方向に制御している。これは、電源投入直後におけるＶＣＯ６０１の周波数変化の傾向、すなわち、ほぼ０Ｈｚから徐々に立ち上がって所定の自走周波数に至るという変化に対応させたからであるが、これに逆向きの制御態様も加えておくことは好ましい。きわめて可能性は少ないものの合わせ込みの過程で、ＶＣＯ６０１の周波数が目標周波数を通りすぎてしまうことが全くないとは言い切れないからであり、こうした事態にも対処できるようにしておくことは、実用上の観点で望ましいことである。

【００３８】

【発明の効果】

本発明によれば、一つのＶＣＯで、自走周波数のロック周波数への合わせ込みを自動化できる技術を提供できる。

【図面の簡単な説明】

【図１】本発明の原理構成図である。

【図２】一実施例の全体ブロック図である。

【図３】パワーオン・リセット回路の構成図である。

【図４】カウンタ制御回路の構成図である。

【図５】第１カウンタ回路の構成図である。

【図６】第２カウンタ回路の構成図である。

【図７】ＶＣＯ制御回路の構成図である。

【図８】ＶＣＯの構成図である。

【図９】一実施例の各部波形タイミングチャートである。

【図１０】第１従来例の構成図である。

【図１１】第２従来例の構成図である。

【符号の説明】

ＣＬＫ：基準クロック（計数期間設定手段）

３００：第１カウンタ回路（計数手段、比較／判定手段）

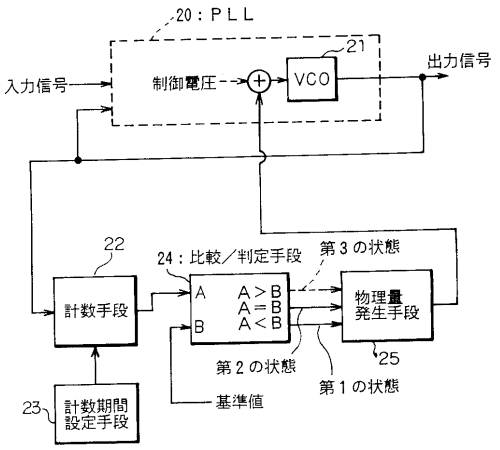
４００：第２カウンタ回路（物理量発生手段）

６０１：ＶＣＯ

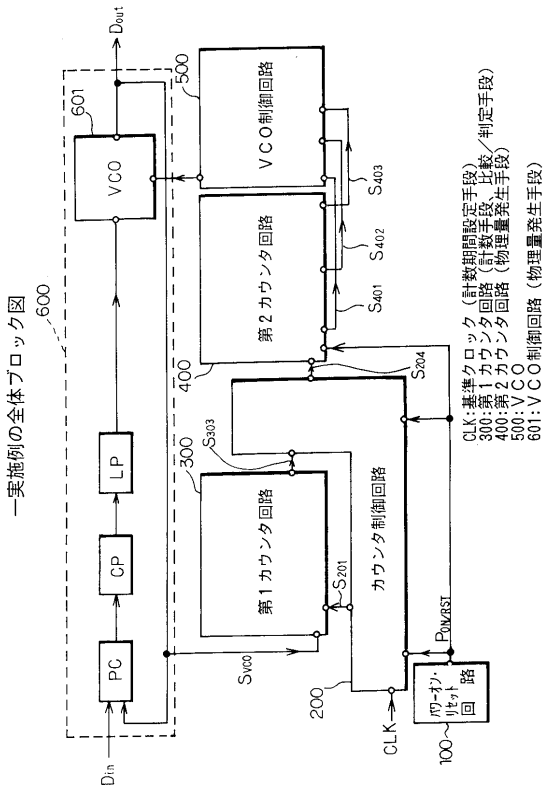
５００：ＶＣＯ制御回路（物理量発生手段）

【図１】

本発明の原理構成図

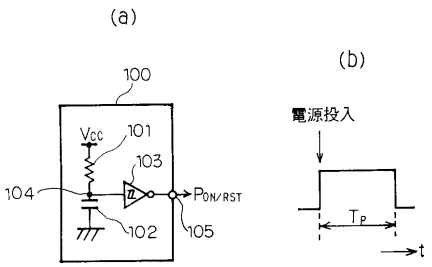


【図２】

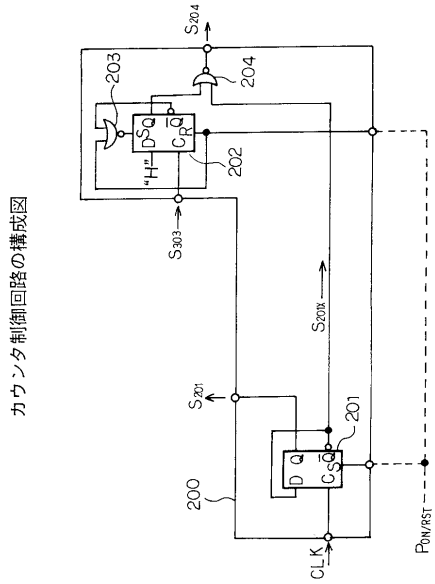


【図３】

パワーオン・リセット回路の構成図

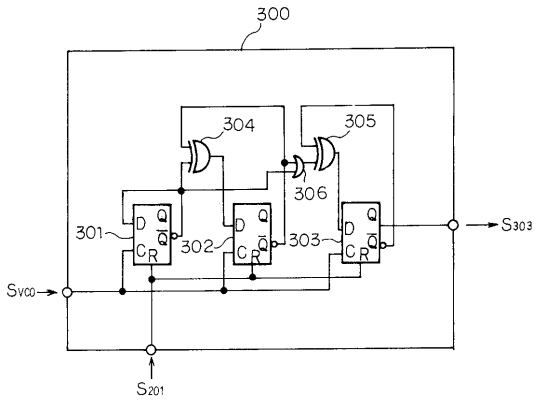


【図４】



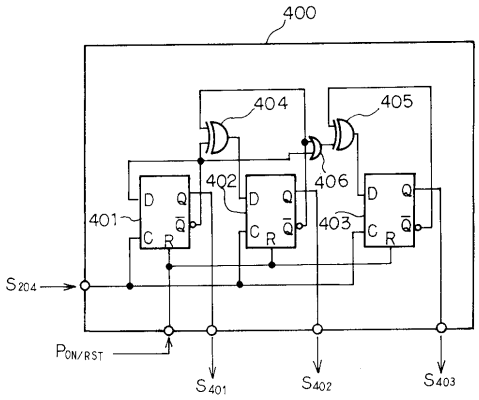
【図５】

第１カウンタ回路の構成図



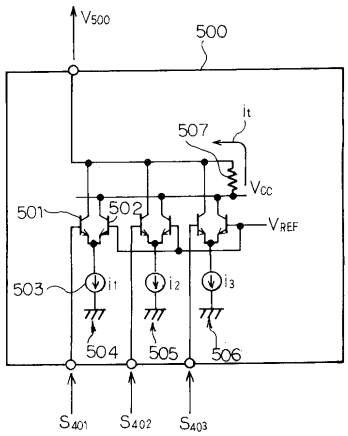
【図６】

第２カウンタ回路の構成図



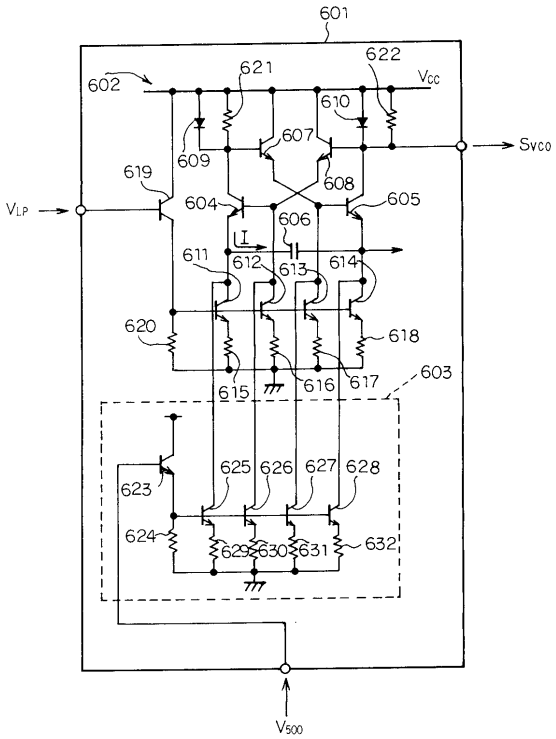
【図７】

ＶＣＯ制御回路の構成図

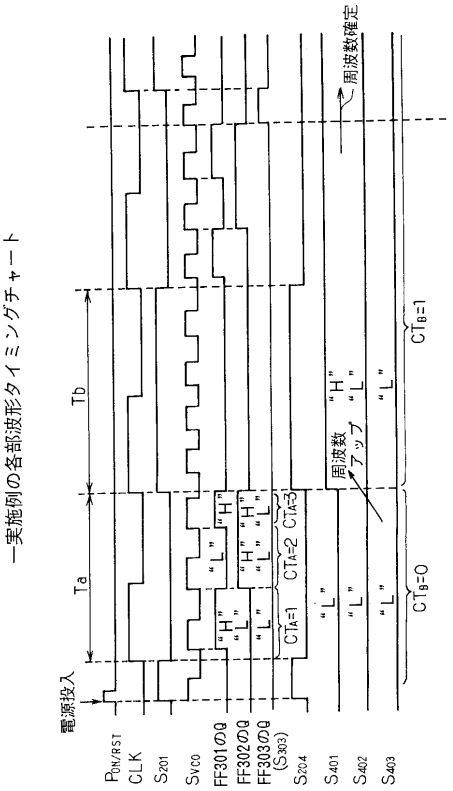


【図８】

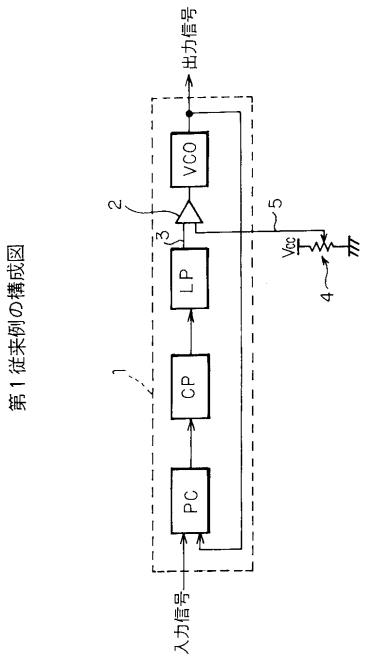
ＶＣＯの構成図



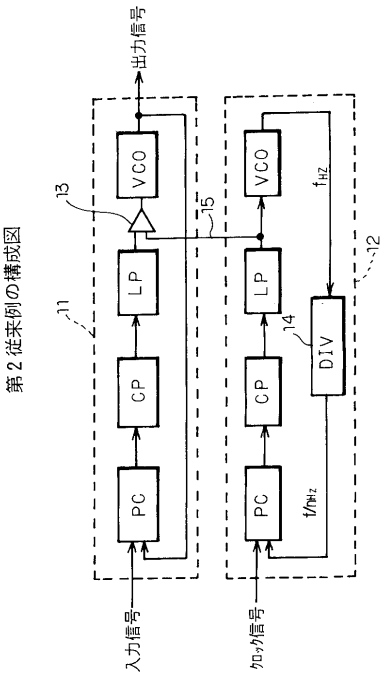
【図９】


実施例の各部波形タイミングチャート
電源投入
Ta
Tb
PON/RST
CLK
S201
SVCO
FF301のQ
FF302のQ
FF303のQ
(S303)
S204
S401
S402
S403
"H"
"L"
CTA=1
CTA=2
CTA=3
CTB=0
CTB=1
周波数アップ
周波数確定

【図１０】


第１従来例の構成図
入力信号
PC
CP
LP
VCO
出力信号
Vcc
1
2
3
4
5

【図１１】


第２従来例の構成図
入力信号
クロック信号
PC
CP
LP
VCO
DIV
出力信号
f/NHz
fHZ
11
12
13
14
15

フロントページの続き

審査官　清水　稔

(56)参考文献　米国特許第０４５９０４４０（ＵＳ，Ａ）
特開平０７－０９５１０９（ＪＰ，Ａ）
特開平０６－２９１６５０（ＪＰ，Ａ）
米国特許第０４５８０１０７（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03L 7/099
H03B 5/08
H03B 5/20