



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I879552 B

(45)公告日：中華民國 114 (2025) 年 04 月 01 日

(21)申請案號：113116776

(22)申請日：中華民國 112 (2023) 年 11 月 07 日

(51)Int. Cl. : **G11C11/401 (2006.01)****G11C7/24 (2006.01)****G11C8/20 (2006.01)****G11C8/00 (2006.01)**

(30)優先權：2023/09/13 美國

18/367,602

(71)申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

新北市泰山區南林路 98 號

(72)發明人：楊吳德 YANG, WU-DER (TW)

(74)代理人：陳長文；馮博生

(56)參考文獻：

TW 200926172A

審查人員：林宥辰

申請專利範圍項數：15 項 圖式數：5 共 37 頁

(54)名稱

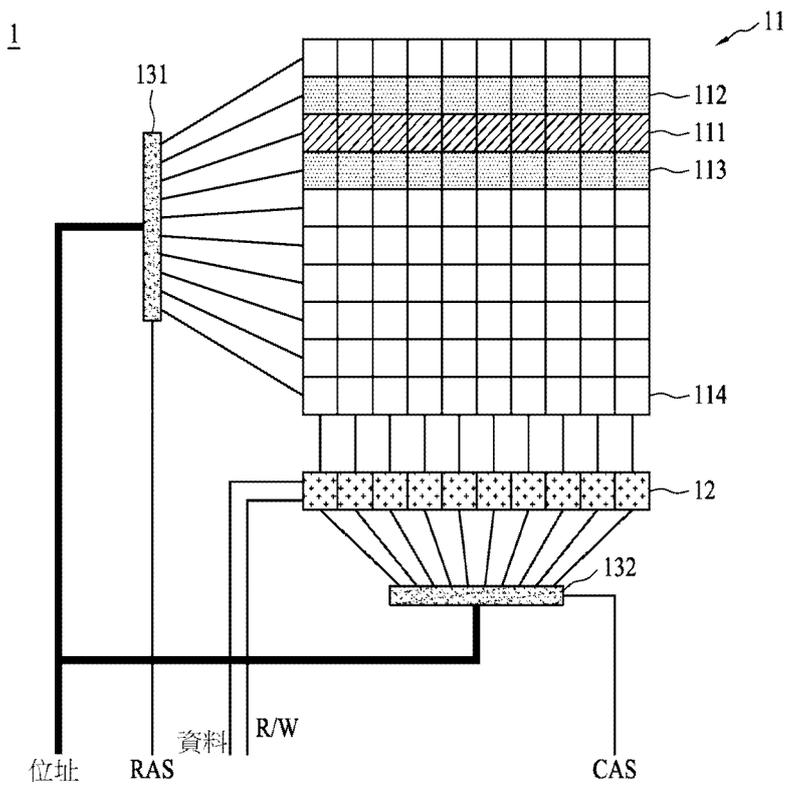
記憶體元件及其保護方法

(57)摘要

本揭露提供一種記憶體元件及其保護方法。該記憶體元件包括一記憶體單元陣列，包括多條字元線；一控制器，經配置以響應於一更新訊號在一第一更新週期期間更新多條字元線的其中至少一條；一隨機數產生器，經配置以產生一第一數；一計數器，電性耦接到該隨機數產生器並經配置以接收該第一數作為該計數器的一初始值，其中該計數器經配置以響應於該更新訊號而開啟；以及一位址暫存器，電性耦接到該計數器並經配置以儲存當該計數器遞減至零時有效的一第一字元線的一位址。該控制器經配置以在一第二更新週期期間存取該位址暫存器以獲得該第一字元線的該位址並保護一第二字元線，其中該第二字元線的一位址與該第一字元線的該位址相鄰。該控制器經配置在該第二更新週期期間更新一第三字元線，其中該第三字元線的一位址與該第一字元線的一位址分開。

A memory device and a method for protecting the same are provided. The memory device includes a plurality of word lines, a controller configured to refresh one of the plurality of word lines during a first refresh cycle in response to a refresh signal, a random number generator configured to generate a first number, a counter configured to receive the first number as an initial value of the counter and start counting from the initial value in response to the refresh signal. The counting of the counter is triggered by an access signal indicative of an access to one of the plurality of word lines. The controller is configured to obtain an address of a first word line that is accessed when the counter reaches zero, and refresh a second word line during a second refresh cycle, wherein an address of the second word line is adjacent to the address of the first word line. The controller is configured to refresh a third word line during the second refresh cycle, wherein an address of the third word line is apart from the address of the first word line.

指定代表圖：



符號簡單說明：

- 1: 記憶體元件
- 11: 記憶體單元陣列
- 12: 感測放大器
- 111~114: 記憶體列
- 131: 列位址解碼器
- 132: 行位址解碼器
- CAS: 行位址選通
- RAS: 列位址選通
- R/W: 讀/寫訊號

【圖1】



I879552

【發明摘要】

【中文發明名稱】

記憶體元件及其保護方法

【英文發明名稱】

MEMORY DEVICES AND METHODS FOR PROTECTING THE SAME

【中文】

本揭露提供一種記憶體元件及其保護方法。該記憶體元件包括一記憶體單元陣列，包括多條字元線；一控制器，經配置以響應於一更新訊號在一第一更新週期期間更新多條字元線的其中至少一條；一隨機數產生器，經配置以產生一第一數；一計數器，電性耦接到該隨機數產生器並經配置以接收該第一數作為該計數器的一初始值，其中該計數器經配置以響應於該更新訊號而開啟；以及一位址暫存器，電性耦接到該計數器並經配置以儲存當該計數器遞減至零時有效的一第一字元線的一位址。該控制器經配置以在一第二更新週期期間存取該位址暫存器以獲得該第一字元線的該位址並保護一第二字元線，其中該第二字元線的一位址與該第一字元線的該位址相鄰。該控制器經配置在該第二更新週期期間更新一第三字元線，其中該第三字元線的一位址與該第一字元線的一位址分開。

【英文】

A memory device and a method for protecting the same are provided. The memory device includes a plurality of word lines, a controller configured to refresh one of the plurality of word lines during a first refresh cycle in response to a refresh signal, a random number generator

configured to generate a first number, a counter configured to receive the first number as an initial value of the counter and start counting from the initial value in response to the refresh signal. The counting of the counter is triggered by an access signal indicative of an access to one of the plurality of word lines. The controller is configured to obtain an address of a first word line that is accessed when the counter reaches zero, and refresh a second word line during a second refresh cycle, wherein an address of the second word line is adjacent to the address of the first word line. The controller is configured to refresh a third word line during the second refresh cycle, wherein an address of the third word line is apart from the address of the first word line.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 1:記憶體元件
- 11:記憶體單元陣列
- 12:感測放大器
- 111~114:記憶體列
- 131:列位址解碼器
- 132:行位址解碼器
- CAS:行位址選通
- RAS:列位址選通
- R/W:讀/寫訊號

【發明說明書】

【中文發明名稱】

記憶體元件及其保護方法

【英文發明名稱】

MEMORY DEVICES AND METHODS FOR PROTECTING THE
SAME

【技術領域】

【0001】 本申請案是2023年11月7日申請之第11214852號申請案的分割案，第11214852號申請案主張2023年9月13日申請之美國正式申請案第18/367,602號的優先權及益處，該美國正式申請案之內容以全文引用之方式併入本文中。

【0002】 本揭露關於一種記憶體元件及其保護方法。特別是有關於一種包括用於保護一字元線的一保護電路的記憶體元件。

【先前技術】

【0003】 動態隨機存取記憶體(DRAM)是一種隨機存取記憶體，它將資料的每一位元儲存在一單獨的電容器中。最簡單的DRAM單元包含一個電晶體以及一個電容器。如果電荷儲存在電容器中，則根據所使用的慣例，該單元被稱為儲存一邏輯高。如果不存在電荷，則稱該單元儲存一邏輯低。由於電容器中的電荷隨時間消耗，因此DRAM系統需要額外的更新電路來週期性地更新儲存在電容器中的電荷。由於電容器只能儲存非常有限的電荷量，為了快速區分邏輯1和邏輯0之間的差異，通常每個位元使用兩個位元線(bit line, BL)，其中位元線對中的第一位被稱為位元線真(bit line true, BLT)，另一個是位元線補數(bit line complement, BLC)。

【0004】 列鎚擊(row hammer)是DRAM中的一種意外且不受歡迎的副作用，會帶來安全問題，當記憶體單元透過電荷洩漏進行電性互動時，就會發生列鎚擊，可能會更改原始記憶體存取中未被定址的附近記憶體列(字元線)的內容。列鎚擊可以由特定的記憶體存取模式啟動，該模式會多次快速啟動相同的記憶體列(字元線)。因此，連接到相鄰字元線的記憶體單元可能會經歷電荷洩漏並且可能難以保留原始內容直到下一個週期性更新週期。惡意操作者可以利用列鎚擊效應改變附近記憶體行的內容，導致裝置故障。因此，需要開發一種保護記憶體(特別是字元線)的裝置以緩解所描述的問題。

【0005】 上文之「先前技術」說明僅提供背景技術，並未承認上文之「先前技術」說明揭示本揭露之標的，不構成本揭露之先前技術，且上文之「先前技術」之任何說明均不應作為本案之任一部份。

【發明內容】

【0006】 本揭露之一實施例提供一種記憶體元件。該記憶體元件包括一記憶體單元陣列，包括多條字元線；一控制器，經配置以響應於一更新訊號在一第一更新週期期間更新多條字元線的其中至少一條；一隨機數產生器，經配置以產生一第一數；一計數器，電性耦接到該隨機數產生器並經配置以接收該第一數作為該計數器的一初始值，其中該計數器經配置以響應於該更新訊號而開啟；以及一位址暫存器，電性耦接到該計數器並經配置以儲存當該計數器遞減至零時有效的一第一字元線的一位址。該控制器經配置以在一第二更新週期期間存取該位址暫存器以獲得該第一字元線的該位址並保護一第二字元線，其中該第二字元線的一位址與該第一字元線的該位址相鄰。

【0007】 本揭露之另一實施例提供一種記憶體元件。該記憶體元件包括多條字元線；一控制器，經配置以響應於一更新訊號在一第一更新週期期間更新該多條字元線其中之一；一隨機數產生器，經配置以產生一第一數；一計數器，經配置以接收該第一數作為該計數器的一初始值，並響應於該更新訊號從該初始值開始計數。該計數器的計數由指示對該多條字元線其中之一的一存取的一存取訊號所觸發。該控制器經配置以獲得當該計數器達到零時被存取的一第一字元線的一位址，並在一第二更新週期期間更新一第二字元線，其中該第二字線的一位址與該第一字元線的該位址相鄰。該控制器經配置在該第二更新週期期間更新一第三字元線，其中該第三字元線的一位址與該第一字元線的一位址分開。

【0008】 本揭露之另一實施例提供一種記憶體元件的保護方法。該保護方法，其中該記憶體元件包括多條字元線。該保護方法包括響應於一更新訊號在一第一更新週期期間更新該多條字元線中的一第一字元線；藉由一隨機數產生器產生一第一數；響應於該更新訊號而藉由該計數器開始從該第一數開始倒數；藉由一控制器取得該計數器倒數至零時所存取的一第二字元線的一位址；藉由響應於該更新訊號更新該第三字元線以在一第二更新週期期間保護該第三字元線，其中該第三字元線的一位址與該第二字元線的該位址相鄰。

【0009】 本揭露的實施例提供了一種具有用於選擇和保護易受攻擊的一字元線的一保護電路的記憶體元件。具體地，記憶體元件的保護電路可以保護字元線(記憶體單元)免受列錘擊。列錘擊是透過快速啟動相同的記憶體列來啟動的，使得相鄰的未啟動的記憶體列可能洩漏電荷。本保護電路提供隨機數產生器和計數器，以隨機選擇和保護易受攻擊的記憶體

列。計數器可以經配置以從隨機數產生器產生的隨機數開始倒數。當計數器達到零時，可以獲得被啟動的記憶體列的一位址。換句話說，從更新週期之間啟動的記憶體列中選擇記憶體列。在這種情況下，選擇池包括在更新週期之間啟動的記憶體列。由於與被啟動的記憶體列相鄰的記憶體列更有可能遭受列錘擊效應，因此它們在隨後的更新週期中受到保護。

【0010】 通常，觸發列錘擊所需的啟動等級無法在兩個更新週期內完成。舉例來說，具有8192列的記憶體元件在更新週期之間可以經歷大約170次啟動，而在同一列上啟動列錘擊所需的啟動次數可能是10000或更多。因此，在每個更新週期中，對易受列錘擊效應所影響的附加記憶體列進行保護，可防止其損壞，以便增強記憶體元件的安全性和效能。

【0011】 上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可相當容易地利用下文揭示之概念與特定實施例可作為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之申請專利範圍所界定之本揭露的精神和範圍。

【圖式簡單說明】

【0012】 藉由參考詳細描述以及申請專利範圍而可以獲得對本揭露更完整的理解。本揭露還應理解為與圖式的元件編號相關聯，而圖式的元件編號在整個描述中代表類似的元件。

圖1是結構示意圖，例示本揭露一些實施例的記憶體元件。

圖2是結構示意圖，例示本揭露一些實施例的記憶體元件。

圖3是結構示意圖，例示本揭露一些實施例的沿時間線在更新週期之間啟動字元線。

圖3A是結構示意圖，例示本揭露一些實施例的沿著時間線在更新週期之間的每次啟動時所存取的字元線位址。

圖3B是結構示意圖，例示本揭露一些實施例的在沿時間線的更新週期之間的每次啟動時所存取的字元線位址。

圖3C是結構示意圖，例示本揭露一些實施例的沿著時間線在更新週期之間的每次啟動時所存取的字元線位址。

圖4是結構示意圖，例示本揭露一些實施例的記憶體元件中所包含的移位暫存器。

圖5是流程示意圖，例示本揭露一些實施例之記憶體元件的保護方法。

【實施方式】

【0013】 以下描述了組件和配置的具體範例，以簡化本揭露之實施例。當然，這些實施例僅用以例示，並非意圖限制本揭露之範圍。舉例而言，在敘述中第一部件形成於第二部件之上，可能包含形成第一和第二部件直接接觸的實施例，也可能包含額外的部件形成於第一和第二部件之間，使得第一和第二部件不會直接接觸的實施例。另外，本揭露之實施例可能在許多範例中重複參照標號及/或字母。這些重複的目的是為了簡化和清楚，除非內文中特別說明，其本身並非代表各種實施例及/或所討論的配置之間有特定的關係。

【0014】 應當理解，儘管這裡可以使用術語第一，第二，第三等來描述各種元件、部件、區域、層或區段(sections)，但是這些元件、部

件、區域、層或區段不受這些術語的限制。相反，這些術語僅用於將一個元件、組件、區域、層或區段與另一個區域、層或區段所區分開。因此，在不脫離本發明進步性構思的教導的情況下，下列所討論的第一元件、組件、區域、層或區段可以被稱為第二元件、組件、區域、層或區段。

【0015】 本文中使用的術語僅是為了實現描述特定實施例之目的，而非意欲限制本發明。如本文中所使用，單數形式「一(a)」、「一(an)」，及「該(the)」意欲亦包括複數形式，除非上下文中另作明確指示。將進一步理解，當術語「包括(comprises)」及/或「包括(comprising)」用於本說明書中時，該等術語規定所陳述之特徵、整數、步驟、操作、元件，及/或組件之存在，但不排除存在或增添一或更多個其他特徵、整數、步驟、操作、元件、組件，及/或上述各者之群組。

【0016】 應當理解，在本揭露的描述中，使用的術語「大約」(about)改變本揭露的成分、組成或反應物的數量，意指例如藉由用於製備濃縮物或溶液的典型測量以及液體處理程序而可能發生的數量變化。再者，在測量程序中的疏忽錯誤、用於製造組合物或實施方法之成分的製造、來源或純度的差異等可能會導致變化。在一方面，術語「大約」(about)是指在報告數值的10%以內。在另一個方面，術語「大約」(about)是指在報告數值的5%以內。進而，在另一方面，術語「大約」(about)是指在所報告數值的10、9、8、7、6、5、4、3、2或1%以內。

【0017】 圖1是結構示意圖，例示本揭露一些實施例的記憶體元件1。記憶體元件1可以包括一記憶體單元陣列11、多個感測放大器12、一系列位址解碼器131和一行位址解碼器132。在一些實施例中，記憶體元件1可以是一DRAM。

【0018】請參考圖1，記憶體單元陣列11可以包含多個行和列。每行記憶體單元可以共用一條位元線或一對位元線。每列記憶體單元可以共用一條字元線。在一些實施例中，單一記憶體單元可以包括一電容器和一電晶體，並且經配置以在其中儲存一位元的資料。電容器的充電狀態(充電或放電)可確定記憶體單元是否儲存「1」或「0」作為二進位值。

【0019】在一些實施例中，應用於一矩陣的記憶體單元陣列11的儲存位址可以表示為列位址和行位址，其由列位址解碼器131和行位址解碼器132處理。當列位址解碼器131選擇特定列(例如，記憶體列114)用於讀取操作(此選擇也稱為列啟動)時，來自特定列中的所有記憶體單元的位元可傳送到感測放大器12中。在一些實施例中，一個感測放大器12專用於每一行記憶體單元以暫時保存資料。在一些實施例中，行位址解碼器132可以從感測放大器12中選擇準確的位元。在一些實施例中，感測放大器12可以經配置以響應於讀/寫訊號R/W來接收或發送資料。寫入操作以類似的方式對位址進行解碼，但可以重寫整列以更改單個位元的值。

【0020】由於資料位元儲存在具有自然放電率的電容器中，儲存在記憶體單元陣列11中的狀態可能會隨著時間的推移而遺失，因此需要定期重寫(充電)所有記憶體單元以保存訊息，該過程稱為更新。每個記憶體更新週期可以更新一列或多列記憶體單元，並且所有記憶體單元可以在連續的週期內重複更新。這種記憶體更新可以透過多種方式來完成。在一些實施例中，記憶體更新可以透過不同模式的訊號來進行，例如列位址選通(RAS)更新、列位址選通之前的行位址選通(CAS-before-RAS)更新(也稱為簡稱CBR更新)，還有隱藏更新。

【0021】為了觸發列錘擊效應，相同的記憶體列111在高頻重複地

啟動。當記憶體列111的啟動頻率和次數足夠時，相鄰的未啟動記憶體列112和113可能洩漏電荷，使得儲存在其中的資料/內容可能遺失。

【0022】 本保護電路提供一隨機數產生器和一計數器(其詳細描述請參閱圖2)，以隨機選擇並保護一易受攻擊的記憶體列。計數器可以經配置以從隨機數產生器產生的隨機數開始倒數。當計數器減至零時，即可獲得已啟動的記憶體列(例如記憶體列111)的位址。換句話說，從更新週期之間啟動的記憶體列中選擇記憶體列。與啟動的記憶體列111相鄰的記憶體列112和113更容易受到列鏈擊效應的影響，因此它們在隨後的更新週期中受到保護。在一些實施例中，易受攻擊的記憶體列112和113以及計畫更新記憶體列114可以在隨後的更新週期中被更新。

【0023】 圖2是結構示意圖，例示本揭露一些實施例的記憶體元件2。請參考圖2，記憶體元件2可以包括一記憶體單元陣列21、一控制器22、一隨機數產生器23、一計數器24和一位址暫存器25。在一些實施例中，記憶體元件2可以是一動態隨機存取記憶體(DRAM)。在一些實施例中，隨機數產生器23、計數器24和位址暫存器25可以包含在記憶體元件2的一保護電路中。

【0024】 在一些實施例中，記憶體單元陣列21可以包含多條字元線。在一些實施例中，記憶體單元陣列21可以包括被存取的一目標字元線211、靠近目標字元線211的兩個易受攻擊的相鄰字元線212和213、以及普通字元線214。普通字元線214可以位於陣列21中的任何位置。舉例來說，普通字元線214可以是一邊緣字元線或位於另外兩條字元線之間。在一個實施例中，普通字元線214可以與目標字元線211分離，並且在另一實施例中，普通字元線214與目標字元線211相鄰(圖未示)。

【0025】 控制器22可以經配置以響應於一更新訊號RS在一第一更新週期期間更新至少一個字元線。在一些實施例中，更新訊號RS可以是一RAS更新指令或CBR更新指令。控制器22可經配置以在一個更新週期期間更新一條或多條字元線。在一些實施例中，控制器22可以經配置以同時更新一條、兩條、三條、四條或更多條字元線。在一些實施例中，控制器22可以經配置以逐個週期而更新整個記憶體單元陣列21。

【0026】 隨機數產生器23可以經配置以產生一第一數234。第一數字234可以是一正整數。在一些實施例中，第一數234可以是二進位的。第一數234可以大於2位元。舉例來說，第一個數234可以是8位元。也就是說，第一數234可以在0到256的範圍內。

【0027】 請參考圖2，隨機數產生器可以包括邏輯閘231和232以及一移位暫存器233。

【0028】 在一些實施例中，邏輯閘231可以具有一第一輸入端子、一第二輸入端子和一輸出端子。在一些實施例中，邏輯閘231可以經配置以透過第一輸入端子和第二輸入端子而接收一第一時脈訊號CLKA和一第二時脈訊號CLKB。在一些實施例中，第一時脈訊號CLKA的頻率與第二時脈訊號CLKB的頻率不同。邏輯閘231可以經配置以響應於第一時脈訊號CLKA和第二時脈訊號CLKB而產生一第三時脈訊號CLKC。在一些實施例中，邏輯閘231可以經由邏輯閘231的輸出端子而輸出第三時脈訊號CLKC。

【0029】 邏輯閘231可以是OR、AND、XOR、XNOR或其他閘類型。在另一實施例中，邏輯閘231和232可以是其他類型的邏輯閘(圖未示)。

【0030】 在一些實施例中，與第一時脈訊號CLKA和第二時脈訊號CLKB相比，第三時脈訊號CLKC可以是不可預測的，因為其基於響應於第一時脈訊號CLKA和第二時脈訊號CLKB的一預定計算。舉例來說，如果邏輯閘231是XOR閘的話，則原則上，僅當兩個輸入值不同時，兩個輸入XOR的輸出才為真，而無論輸入值為何，如果它們相等，則輸出為假。基於XOR閘的這種計算，第三時脈訊號CLKC可以具有不均勻的頻率。

【0031】 在一些實施例中，邏輯閘232可以具有電性連接到邏輯閘231的一第一輸入端子、一第二輸入端子和一輸出端子。邏輯閘232的第二輸入端子和輸出端子均電性連接至移位暫存器233。邏輯閘232可以經配置以經由邏輯閘232的第一輸入端子而接收第三時脈訊號CLKC。在一些實施例中，邏輯閘232的第二輸入端子可以經配置以接收與從移位暫存器233輸出的第一數234相關聯的一位元值。邏輯閘232可以經配置以響應於第三時脈訊號CLKC和與第一數234相關聯的位元值來產生一第四時脈訊號CLKD。在一些實施例中，邏輯閘232可以經由邏輯閘232的輸出端子而輸出第四時脈訊號CLKD。

【0032】 邏輯閘232可以是OR、AND、XOR、XNOR或其他閘類型。在一些實施例中，邏輯閘231和232可以是相同或不同類型。舉例來說，邏輯閘231和232都可以是異或(XOR)閘。在另一實施例中，邏輯閘231和232可以是其他類型的邏輯閘(圖未示)。

【0033】 在一些實施例中，透過將與第一數234相關聯的位元值回傳到邏輯閘232，第四時脈訊號CLKD可以比第三時脈訊號CLKC更難以預測。

【0034】 移位暫存器233可以包括電性連接到邏輯閘232的輸出端子的一第一輸入端子、經配置以接收一第五時脈訊號CLKE的一第二輸入端子、以及連接到計數器24的一輸出端子。在一些實施例中，移位暫存器233是8位元暫存器。因此，移位暫存器233的輸出端子可以具有8位元(如圖2所示)。在其他實施例中，移位暫存器233可以多於或少於8位元。

【0035】 在一些實施例中，移位暫存器233的第一輸入端子可以經配置以接收第四時脈訊號CLKD。在一些實施例中，移位暫存器233的第一輸入端子可以是資料端子。在一些實施例中，移位暫存器233的第二輸入端子可以是時脈端子。

【0036】 移位暫存器233可以經配置以響應於第四時脈訊號CLKD和第五時脈訊號CLKE來產生第一數234。在一些實施例中，移位暫存器233的輸出端子可經配置以響應於第四時脈訊號CLKD而輸出第一數234。

【0037】 移位暫存器233的輸出端子可連接至邏輯閘232的第二輸入端子，使得與第一數234相關聯的位元值回饋至邏輯閘232。舉例來說，移位暫存器233的輸出端子的3位元可以連接至邏輯閘232的第二輸入端子。在一些實施例中，邏輯閘232可以經配置以響應於第三時脈訊號CLKC和位元值(例如，以3位元輸出的位元值)來產生第四時脈訊號CLKD。第四時脈訊號CLKD可以與從移位暫存器233輸出的目前數相關聯。

【0038】 移位暫存器233可以經配置以響應於作為資料輸入的第四時脈訊號CLKD和作為時脈輸入的第五時脈訊號CLKE來產生一隨機數(即，第一數234)。透過將與第一數234相關聯的位元值回饋到邏輯閘232，隨機數產生器23可以是非偽的。因此，第一個數234可能更難預

測。因此，可以提高記憶體元件2的安全性。

【0039】 計數器24可以電性耦接到隨機數產生器23。計數器24可以經配置以接收第一個數234作為計數器24的一初始值。在一些實施例中，計數器24經配置以響應於從控制器22接收到的更新訊號RS而開啟。換句話說，計數器24可以經配置以響應於更新訊號RS而開始倒數。計數器24可以經配置以從初始值(即，第一數234)遞減(倒數)。

【0040】 在一些實施例中，計數器24可以經配置以響應於一存取訊號而遞減，藉此提供對多條字元線其中之一的存取的通知。

【0041】 位址暫存器25可以電性耦接到計數器24。位址暫存器25可以經配置以當計數器24遞減至零時獲得啟動的一第一字元線211(或目標字元線211)的位址，並且儲存該位址。

【0042】 控制器22可以經配置以在一第二更新週期期間存取位址暫存器25以獲得第一字元線的位址並保護第二字源線212/213(即，相鄰的字元線212或213)。為了保護第二字元線212/213，控制器可以經配置以響應於更新訊號在第二更新週期期間更新第二字元線212/213。在一些實施例中，第二更新週期在第一更新週期之後。舉例來說，第二更新週期是第一更新週期的下一個更新週期。在一些實施例中，第二字元線212/213的位址與第一字元線211的位址相鄰。

【0043】 控制器22可經配置以在一個更新週期期間更新一條或多條字元線。在一些實施例中，控制器22可以經配置以同時更新一條、兩條、三條、四條或更多條字元線。控制器22可以經配置以在同一更新週期期間更新相鄰的字元線212和213。在一些實施例中，除了第二字元線212/213之外，控制器22還可以經配置以響應於更新訊號RS在第二更新週期期間

更新第三字元線214，其中第三字元線214的位址與第一字元線211的位址分開。

【0044】 在一些實施例中，控制器22可以經配置以更新與目標字元線211相鄰的一個字元線以及與目標字元線211分離的另一字元線。舉例來說，字元線212和字元線214可以在第二更新週期期間被更新。在一些實施例中，在一個更新週期中，控制器22可以經配置以更新兩條正常字元線(例如字元線214)和兩條高風險字元線(例如易受攻擊的字元線212和213)，其由隨機數產生器23和計數器24所決定。

【0045】 在本揭露中，當計數器24遞減至零時，可以得到有效的第一字元線211(或目標字元線211)的位址。在這種情況下，可以從在兩個更新週期之間啟動的那些字元線中隨機地選擇要保護的字元線的位址。

【0046】 圖3是結構示意圖，例示本揭露一些實施例的沿時間線在更新週期之間啟動字元線。

【0047】 請參考圖3，沿著時間線(即，x軸)，一時間段 T_{CBR} 位於第一更新週期 CBR 與一第二更新週期 $\text{CBR}+1$ 之間。在一些實施例中，第二更新週期 $\text{CBR}+1$ 緊接著第一更新週期 CBR 。在一些實施例中，在第一更新週期 CBR 與第二更新週期 $\text{CBR}+1$ 之間發生 N 次啟動(act_1 、 act_2 、 act_3 、...、 act_{N-1} 、 act_N)。每個啟動 act_1 、 act_2 、 act_3 、 act_{N-1} 和 act_N 表示對字元線的一存取。舉例來說，時間段 T_{act} 可以在啟動 act_1 和 act_2 之間。在一些實施例中，時間段 T_{act} 可以是存取一字元線(例如第一啟動 act_1)的最小必要時間。

【0048】 為了清楚闡述本揭露，以具有8k條字元線的記憶體陣列為例。記憶體陣列可以包括8192條字線。在一些實施例中，更新所有字元

線(即，8192條字元線)的時間可以是64ms。在這種情況下，時間週期 T_{CBR} ，即更新每條字元線所需的時間，可以計算為 $64\text{ms}/8192$ ，因此時間週期 T_{CBR} 將為 $7.8125\mu\text{s}$ 。換句話說，對於總共8k字元線，兩個更新週期共享的時間週期 T_{CBR} 可以是 $7.8125\mu\text{s}$ 。假設時間週期 T_{act} 為 45.75ns ，則兩個更新週期之間的最大存取次數 N_{max} 可以根據公式 $N_{max} = \frac{T_{CBR}}{T_{act}}$ 計算而得到。因此，最大存取次數 N_{max} 可為 $7.8125\mu\text{s}/45.75\text{ns}=170.765\approx 170$ ，使得圖3中的 N 為170。在這個實施例中，在兩個更新週期之間可以有170條字元線被存取。據此，計數器24接收到的第一數234可被調變為小於一預定數(例如，在本實施例中為170)。

【0049】 在一些實施例中，第一數234可以小於預定數，該預定數與用於存取字元線的時間週期 T_{act} 以及第一更新週期 CBR 與第二更新週期 $CBR+1$ 之間的時間週期 T_{CBR} 相關聯。在一些實施例中，計數器24可以經配置以當第一數234大於預定數時重設初始值。舉例來說，計數器24的初始值可以藉由重設為零或減去小於預定數的一常數來重設。因此，計數器24可以從0到預定數(即，兩個更新週期之間的最大存取次數)範圍內的初始值開始倒數，並且當遞減至零時，可以選擇一字元線在下一個更新週期期間受到保護。

【0050】 圖3A是結構示意圖，例示本揭露一些實施例的沿著時間線在更新週期 CBR 與 $CBR+1$ 之間的每次啟動時所存取的字元線位址。

【0051】 請參考圖3A，在每次啟動 act_1 、 act_2 、 act_3 、 act_4 、...和 act_N 時存取字元線位址 $WL1$ 。在這種情況下，無論計數器24的初始值為何，位址暫存器25都儲存被存取次數最多的字元線位址 $WL1$ 。換句話說，字元線位址 $WL1$ 可能是最有可能的攻擊目標。因此，

選擇與待保護字元線位址WL1相鄰的字元線可以有效防止列錘擊效應。

【0052】 圖3B是結構示意圖，例示本揭露一些實施例的在沿時間線的更新週期CBR與CBR+1之間的每次啟動時所存取的字元線位址。

【0053】 請參考圖3B，在啟動act_1處存取字元線位址WL1。在啟動act_2處存取字元線位址WL2。在啟動act_3處存取字元線位址WL1。在啟動act_4處存取字元線位址WL2。在啟動act_N處存取字元線位址WL2。意即，僅存取字元線位址WL1和WL2。在這種情況下，無論計數器24的初始值為何，位址暫存器25都儲存存取次數最多的字元線位址WL1或WL2。在一些實施例中，字元線位址WL1和WL2作為目標的可能性均為50%。換句話說，字元線位址WL1和WL2可能是最有可能的攻擊目標。因此，選擇與字元線位址WL1或WL2相鄰的字元線進行保護，可以有效防止列錘擊效應。

【0054】 圖3C是結構示意圖，例示本揭露一些實施例的沿著時間線在更新週期CBR與CBR+1之間的每次啟動時所存取的字元線位址。

【0055】 請參考圖3C，在啟動act_1處存取字元線位址WL1。在啟動act_2處存取字元線位址WL2。在啟動act_3處存取字元線位址WL3。在啟動act_4處存取字元線位址WL1。在啟動act_N-1處存取字元線位址WL2。在啟動act_N處存取字元線位址WL3。在一些實施例中，字元線位址WL1、WL2和WL3被重複地依序存取。意即，在更新週期之間僅存取字元線位址WL1、WL2和WL3。在這種情況下，位址暫存器25儲存字元線位址WL1、WL2和WL3其中之一。在一些實施例中，字元線位址WL1、WL2和WL3的易損性可以是大約33.33%(即，三分之一)。換句話說，字元線位址WL1、WL2和WL3可能是最有可能的攻擊目標。因此，

選擇與字元線位址WL1、WL2或WL3相鄰的字元線進行保護，可以有效防止列錘擊效應。

【0056】 圖4是結構示意圖，例示本揭露一些實施例的記憶體元件中所包含的移位暫存器233。

【0057】 請參考圖4，移位暫存器233可以包含一個或多個正反器2330、2331、...、2335、2336和2337。在一些實施例中，正反器2330、2331、...、2335、2336和2337可以是任何類型的正反器，例如D正反器。在一些實施例中，8位元移位暫存器233可以包括八個正反器2330、2331、...、2335、2336和2337。在一些實施例中，移位暫存器233可以是串列輸入並列輸出配置。

【0058】 正反器2330、2331、...、2335、2336和2337中的每一個可以有一資料端子、一時脈端子、一重設端子和一輸出端子。在一些實施例中，正反器2330、2331、...、2335、2336和2337的時脈端子連接並經配置以接收時脈訊號CLKE(如圖2所示)。也就是說，正反器2330、2331、...、2335、2336和2337可以以時脈訊號CLKE的給定時脈頻率進行操作。正反器2330、2331、...、2335、2336和2337的重設端子連接並經配置以接收一重設訊號。在一些實施例中，正反器2330、2331、...、2335、2336和2337可以響應於重設訊號而被重設。在一些實施例中，正反器2330、2331、...、2335、2336和2337中的每一個可以具有一設定端子(圖未示)。

【0059】 在一些實施例中，正反器2337的資料端子D7可以經配置以接收時脈訊號CLKD(如圖2所示)。響應於時脈訊號CLKD和CLKE，正反器2337的輸出端子B7可以經配置以輸出一位元值Bit7，以傳送至計數器

24和觸發器2336的資料端子D6。響應於位元值Bit7和時脈訊號CLKE，正反器2336的輸出端子B6可以經配置以輸出一位元值Bit6，以傳送至計數器24和正反器2335的資料端子D5。響應於位元值Bit6和時脈訊號CLKE，正反器2335的輸出端子B5可以經配置以輸出一位元值Bit5，以傳送至計數器24和正反器2334的資料端子D4(圖未示)。在一些實施例中，省略的正反器2334、2333和2332可以以類似正反器2336和2335的方式設置在正反器2335和2331之間。響應於在正反器2331的資料端子D1處接收到的位元值Bit2和時脈訊號CLKE，正反器2331的輸出端子B1可經配置以輸出一位元值Bit1以傳送至計數器24和正反器2330的資料端子D0。響應於位元值Bit1和時脈訊號CLKE，正反器2330的輸出端子B0可以經配置以輸出一位元值Bit0以傳送至計數器24。

【0060】 移位暫存器233的資料輸入是串列的。一旦資料輸入，它可以在每個輸出端子同時讀出，或者可以移出。每個輸入位元在N個時脈週期後向下到達第N個輸出，藉此形成並行輸出。位元值Bit7、Bit6、Bit5、...、Bit1和Bit0可以形成8位元形式的第一數234。請往回參考圖2，移位暫存器233的輸出端子可以連接到邏輯閘232的第二輸入端子，使得與第一數234相關聯的位元值回饋到邏輯閘232。在一些實施例中，回饋的位元值可以是圖4所示的位元值Bit7、Bit6、Bit5、...、Bit1和Bit0其中之一。

【0061】 移位暫存器233可以經配置以響應於資料訊號(即，時脈訊號CLKD)和時脈訊號CLKE來產生一隨機數(例如第一數234)。不可預測的時脈訊號CLKC是基於非同步時脈訊號CLKA和CLKB透過邏輯閘231所產生的。此外，時脈訊號CLKD可能更不可預測，因為它是基於不可預測

的時脈訊號CLKC和與第一個數234相關聯的回饋位元值所產生的。在這種情況下，時脈訊號CLKD可能更加難以預測。在沒有任何偽演算法的情況下，隨機數產生器23可以經配置以產生一更不可預測的數。因此，受保護的字元線位址不能被潛在的攻擊者預測或確定。

【0062】 圖5是流程示意圖，例示本揭露一些實施例之記憶體元件的保護方法。在一些實施例中，方法5保護包含在記憶體元件中的一字元線。在一些實施例中，記憶體元件可以包括多條字元線。

【0063】 在步驟51中，可以響應於一更新訊號在一第一更新週期期間更新多條字元線中的一第一字元線。在一些實施例中，記憶體元件的控制器可以響應於更新訊號而在每個更新週期中更新一條或多條字元線。

【0064】 在步驟52中，可以由一隨機數產生器產生一第一數。在一些實施例中，隨機數產生器可以經配置以基於不同訊號產生一隨機數。

【0065】 在步驟53中，藉由計數器而可以響應於更新訊號從第一數開始倒數。在一些實施例中，響應於更新訊號，計數器可以經配置以開啟來開始計數。計數器可以從第一個數開始倒數。在一些實施例中，每個倒數都會由指示對一條字元線的一存取的一存取訊號進行觸發。

【0066】 在步驟54中，藉由控制器可以取得當計數器倒數到零時所存取的一第二字元線的一位址。在一些實施例中，當計數器達到零時，可以獲得第二字元線的位址並將其儲存在一位址暫存器中。控制器可以經配置以存取位址暫存器並獲得第二字元線的位址。

【0067】 在步驟55中，可以藉由響應於更新訊號而更新第三字元線來在一第二更新週期期間保護第三字元線，其中第三字元線的一位址與第二字元線的位址相鄰。

【0068】 列錘擊效應的實現往往會高頻地存取一條或多條目標字元線。對目標字元線的大量存取動作會導致與目標字元線相鄰的字元線上出現列錘擊效應。也就是說，在列錘擊效應下，即使附近的字元線沒有被存取，附近的字元線的內容也會受到電荷洩漏的影響。

【0069】 本揭露提供一種記憶體元件，其能夠判斷字元線是否容易受到列錘擊的影響，並相應地保護與目標字元線相鄰的字元線。與經歷重複存取的目標字元線相鄰的字元線因此可以更新以保護其中的內容。

【0070】 本揭露之一實施例提供一種記憶體元件。該記憶體元件包括一記憶體單元陣列，包括多條字元線；一控制器，經配置以響應於一更新訊號在一第一更新週期期間更新多條字元線的其中至少一條；一隨機數產生器，經配置以產生一第一數；一計數器，電性耦接到該隨機數產生器並經配置以接收該第一數作為該計數器的一初始值，其中該計數器經配置以響應於該更新訊號而開啟；以及一位址暫存器，電性耦接到該計數器並經配置以儲存當該計數器遞減至零時有效的一第一字元線的一位址。該控制器經配置以在一第二更新週期期間存取該位址暫存器以獲得該第一字元線的該位址並保護一第二字元線，其中該第二字元線的一位址與該第一字元線的該位址相鄰。該控制器經配置在該第二更新週期期間更新一第三字元線，其中該第三字元線的一位址與該第一字元線的一位址分開。

【0071】 本揭露之另一實施例提供一種記憶體元件的保護方法。該保護方法，其中該記憶體元件包括多條字元線。該保護方法包括響應於一更新訊號在一第一更新週期期間更新該多條字元線中的一第一字元線；藉由一隨機數產生器產生一第一數；響應於該更新訊號而藉由該計數器開始從該第一數開始倒數；藉由一控制器取得該計數器倒數至零時所存取的一

第二字元線的一位址；藉由響應於該更新訊號更新該第三字元線以在一第二更新週期期間保護該第三字元線，其中該第三字元線的一位址與該第二字元線的該位址相鄰。

【0072】 本揭露的實施例提供了一種具有用於選擇和保護易受攻擊的一字元線的一保護電路的記憶體元件。具體地，記憶體元件的保護電路可以保護字元線(記憶體單元)免受列錘擊。列錘擊是透過快速啟動相同的記憶體列來啟動的，使得相鄰的未啟動的記憶體列可能洩漏電荷。本保護電路提供隨機數產生器和計數器，以隨機選擇和保護易受攻擊的記憶體列。計數器可以經配置以從隨機數產生器產生的隨機數開始倒數。當計數器達到零時，可以獲得被啟動的記憶體列的一位址。換句話說，從更新週期之間啟動的記憶體列中選擇記憶體列。在這種情況下，選擇池包括在更新週期之間啟動的記憶體列。由於與被啟動的記憶體列相鄰的記憶體列更有可能遭受列錘擊效應，因此它們在隨後的更新週期中受到保護。

【0073】 通常，觸發列錘擊所需的啟動等級無法在兩個更新週期內完成。舉例來說，具有8192列的記憶體元件在更新週期之間可以經歷大約170次啟動，而在同一列上啟動列錘擊所需的啟動次數可能是10000或更多。因此，在每個更新週期中，對易受列錘擊效應所影響的附加記憶體列進行保護，可防止其損壞，以便增強記憶體元件的安全性和效能。

【0074】 雖然已詳述本揭露及其優點，然而應理解可進行各種變化、取代與替代而不脫離申請專利範圍所定義之本揭露的精神與範圍。例如，可用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

【0075】 再者，本申請案的範圍並不受限於說明書中所述之製程、

機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可自本揭露的揭示內容理解可根據本揭露而使用與本文所述之對應實施例具有相同功能或是達到實質上相同結果之現存或是未來發展之製程、機械、製造、物質組成物、手段、方法、或步驟。據此，此等製程、機械、製造、物質組成物、手段、方法、或步驟包含於本申請案之申請專利範圍內。

【符號說明】**【0076】**

- 1:記憶體元件
- 2:記憶體元件
- 5:保護方法
- 11:記憶體單元陣列
- 12:感測放大器
- 21:記憶體單元陣列
- 22:控制器
- 23:隨機數產生器
- 24:計數器
- 25:位址暫存器
- 51~55:步驟
- 111~114:記憶體列
- 131:列位址解碼器
- 132:行位址解碼器
- 211:字元線

212:字元線

213:字元線

214:字元線

231:邏輯閘

232:邏輯閘

233:移位暫存器

234:第一數

2330、2331、2332、2333、2334、2335、2336、2337:正反器

act_1、act_2、act_3、act_4、act_N-1、act_N:啟動

B0~B7:輸出端子

Bit0~Bit7:位元值

CAS:行位址選通

CBR:第一更新週期

CBR+1:第二更新週期

CLKA:第一時脈訊號

CLKB:第二時脈訊號

CLKC:第三時脈訊號

CLKD:第四時脈訊號

CLKE:第五時脈訊號

D0~D7:資料端子

RAS:列位址選通

RS:更新訊號

R/W:讀/寫訊號

T_{act} :時間段

T_{CBR} :時間段

WL1:字元線位址

WL2:字元線位址

WL3:字元線位址

【發明申請專利範圍】

【請求項1】

一種記憶體元件，包括：

多條字元線；

一控制器，經配置以響應於一更新訊號在一第一更新週期期間更新該多條字元線其中之一；

一隨機數產生器，經配置以產生一第一數；

一計數器，經配置以接收該第一數作為該計數器的一初始值，並響應於該更新訊號從該初始值開始計數，其中該計數器的計數由指示對該多條字元線其中之一的一存取的一存取訊號所觸發，

其中該控制器經配置以獲得當該計數器達到零時被存取的一第一字元線的一位址，並在一第二更新週期期間更新一第二字元線，其中該第二字元線的一位址與該第一字元線的該位址相鄰，

其中該控制器經配置在該第二更新週期期間更新一第三字元線，其中該第三字元線的一位址與該第一字元線的一位址分開。

【請求項2】

如請求項1所述之記憶體元件，其中該第一數為正整數。

【請求項3】

如請求項2所述之記憶體元件，其中該第一數小於一第一預定數，其中該第一預定數與用於存取該些字元線的一第一時間段以及在該第一更新週期與該第二更新週期之間的一第二時間段相關聯。

【請求項4】

如請求項3所述之記憶體元件，其中該計數器經配置以當該第一數大

於該第一預定數時重置該初始值。

【請求項5】

如請求項4所述之記憶體元件，更包含：

一位址暫存器連接至該計數器，其中該位址暫存器用以獲得並儲存當該計數器遞減至零時有效的該第一字元線的該位址。

【請求項6】

一種記憶體元件的保護方法，其中該記憶體元件包括多條字元線，該保護方法包含：

響應於一更新訊號在一第一更新週期期間更新該多條字元線中的一第一字元線；

藉由一隨機數產生器產生一第一數；

響應於該更新訊號而藉由一計數器開始從該第一數開始倒數；

藉由一控制器取得該計數器倒數至零時所存取的該多條字元線中的一第二字元線的一位址；

藉由響應於該更新訊號更新該多條字元線中的一第三字元線以在一第二更新週期期間保護該第三字元線，其中該第三字元線的一位址與該第二字元線的該位址相鄰。

【請求項7】

如請求項6所述之保護方法，其中該計數器的倒數由指示對該多條字元線其中之一的一存取的一存取訊號所觸發。

【請求項8】

如請求項6所述之保護方法，其中該隨機數產生器包含：

一移位暫存器，包括：

一第一輸入端子；以及

一輸出端子，用以輸出該第一數；以及

一第一邏輯閘，經配置以接收一第一時脈訊號和關於該第一數的一位元值，該第一邏輯閘用以響應於該第一時脈訊號和該位元值而產生一第二時脈訊號並傳輸該第二時脈訊號至該移位暫存器的該第一輸入端子，

其中該移位暫存器用以響應於該第二時脈訊號來產生該第一數。

【請求項9】

如請求項8所述之保護方法，其中該隨機數產生器更包含：

一第二邏輯閘，經配置以接收一第三時脈訊號和一第四時脈訊號，以及響應於該第三時脈訊號與該第四時脈訊號產生該第一時脈訊號，其中該第一時脈訊號的頻率不同於該第二時脈訊號的頻率。

【請求項10】

如請求項8所述之保護方法，其中該第一數是二進位且大於2位元。

【請求項11】

如請求項8所述之保護方法，其中該第一邏輯閘是XOR閘。

【請求項12】

如請求項6所述之保護方法，更包含：

在該第二更新週期期間，藉由響應於該更新訊號更新一第四字元線，其中該第四字元線的一位址與該第二字元線的該位址分開。

【請求項13】

如請求項6所述之保護方法，其中更新該第四字元線包含對該第一字元線充電。

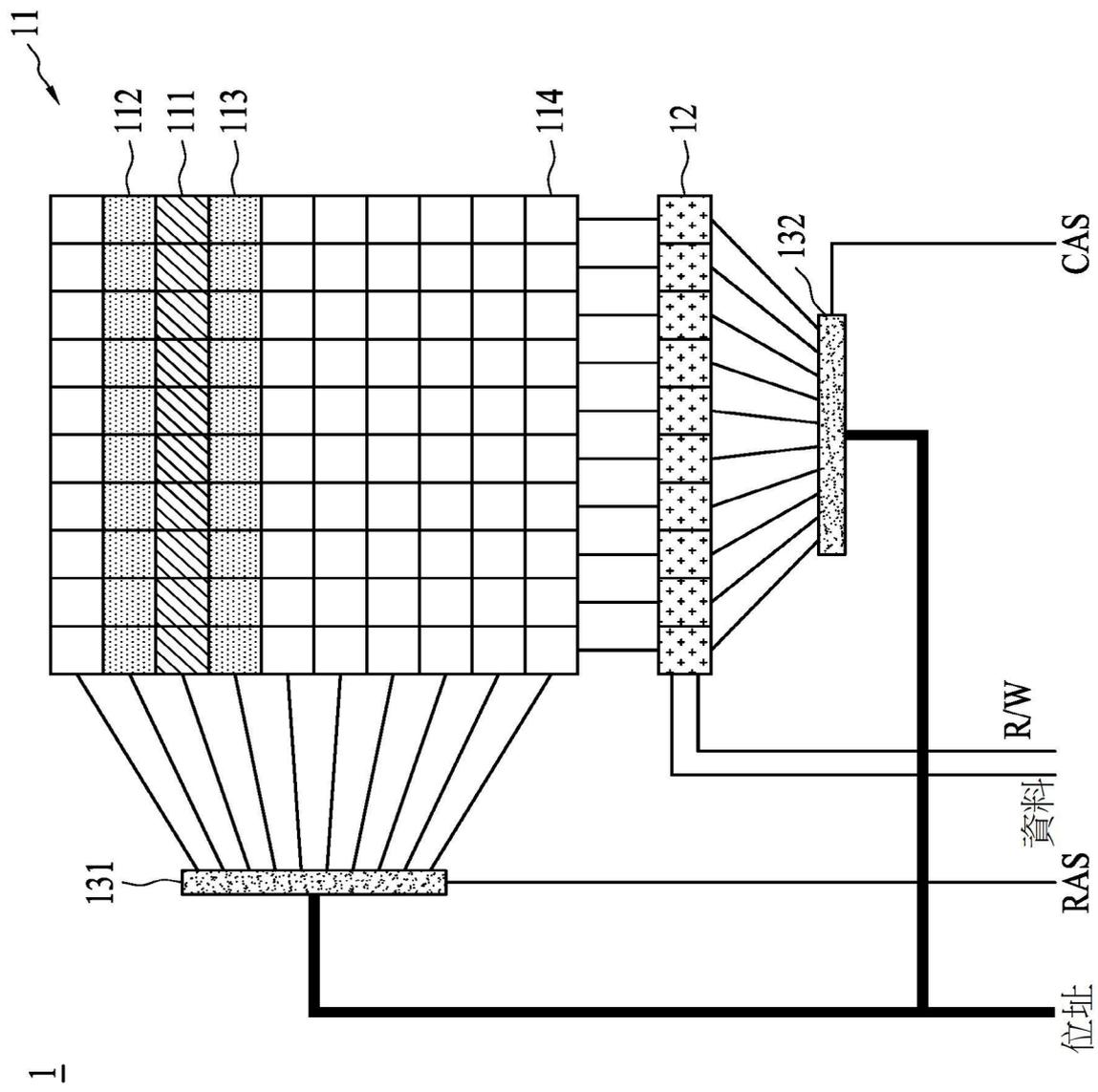
【請求項14】

如請求項6所述之保護方法，其中該第一數為正整數。

【請求項15】

如請求項14所述之保護方法，其中該第一數小於一第一預定數，其中該第一預定數與用於存取一字元線的一第一時間段以及在該第一更新週期與該第二更新週期之間的一第二時間段相關聯。

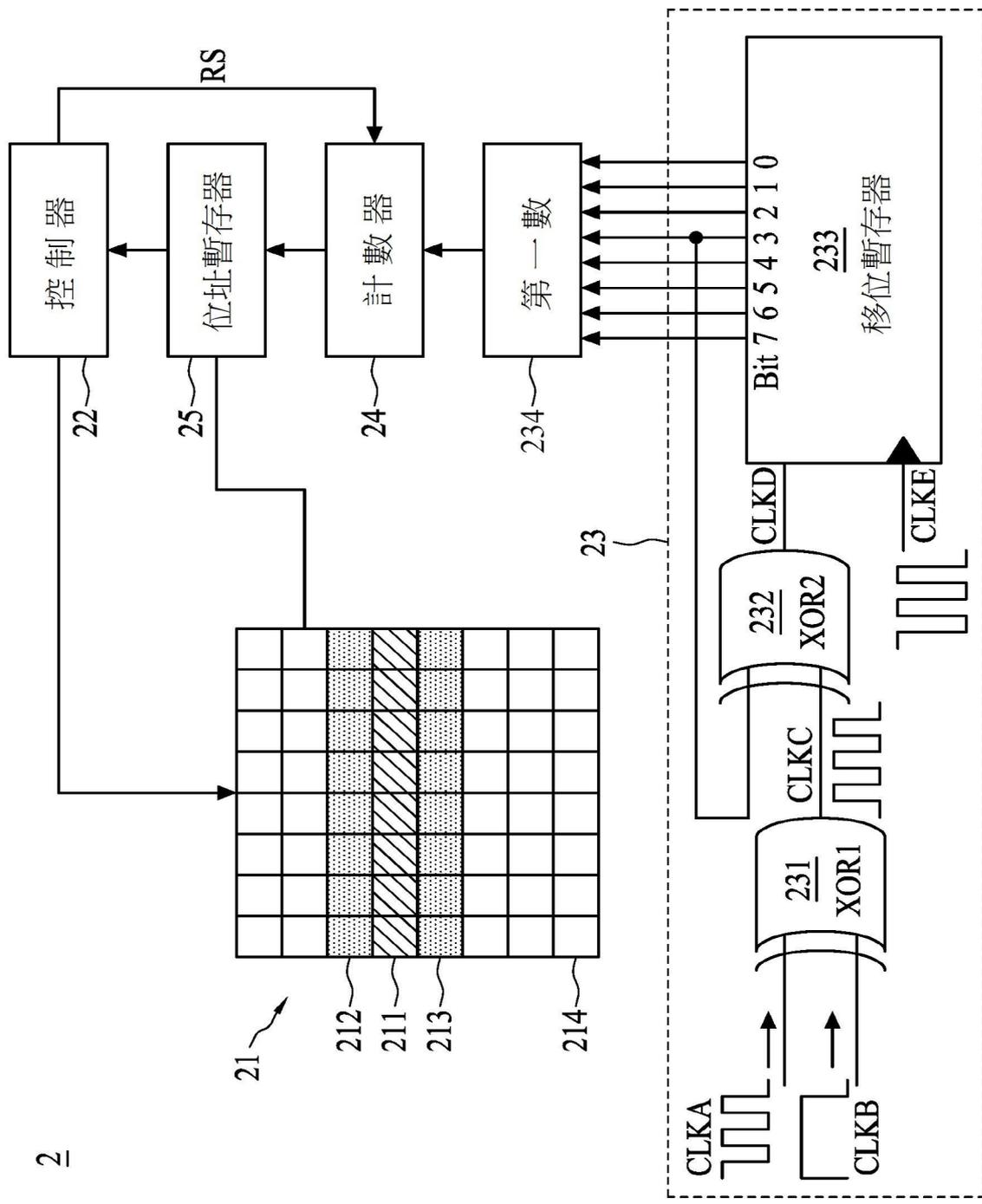
【發明圖式】



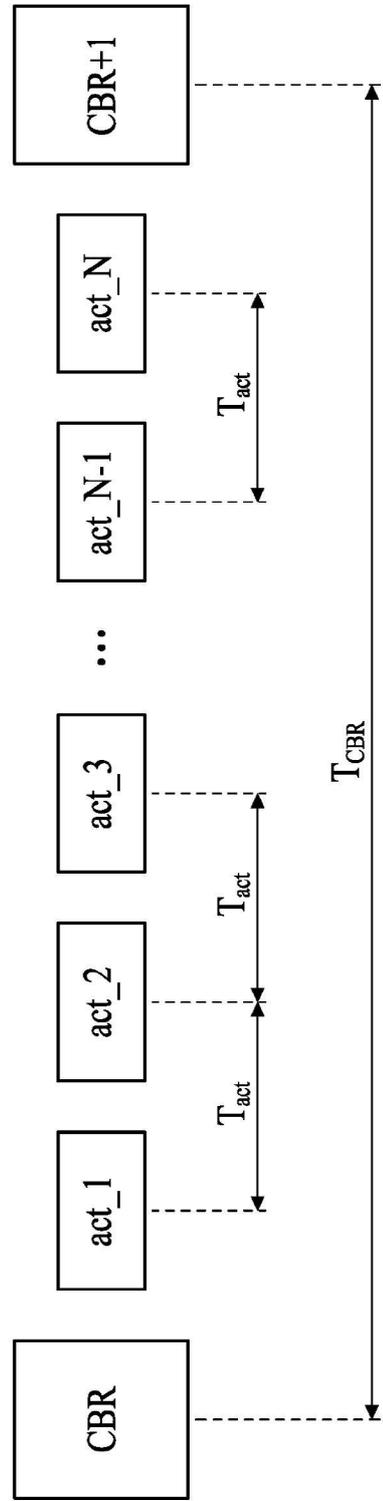
【圖1】

1

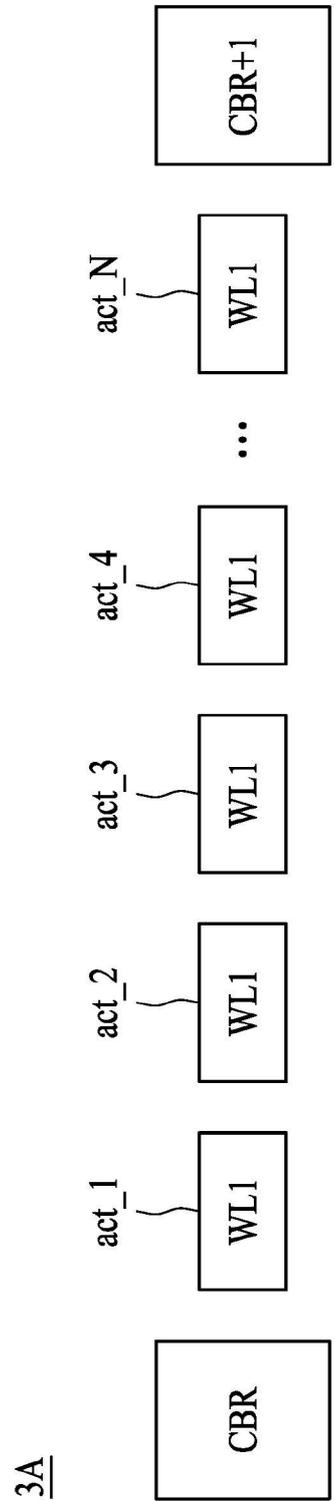
2



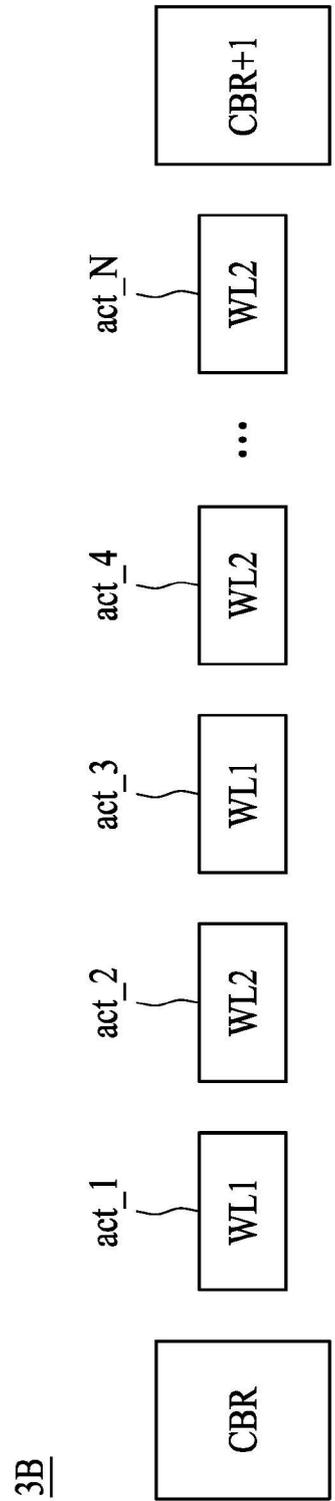
【圖2】



【圖3】

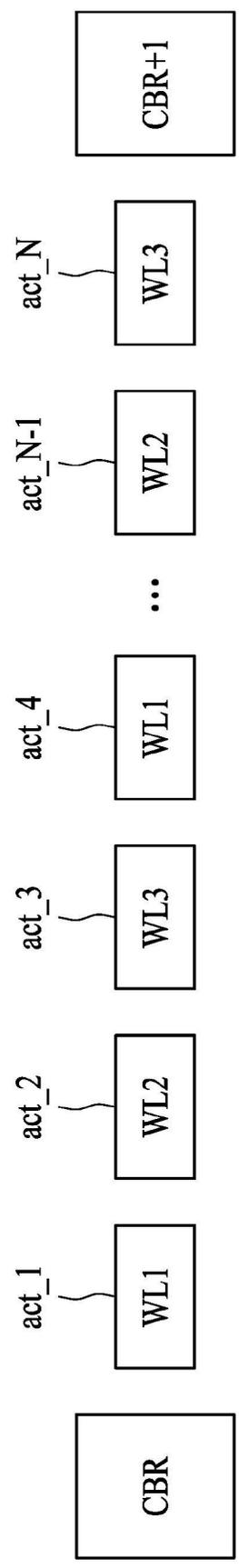


【圖3A】



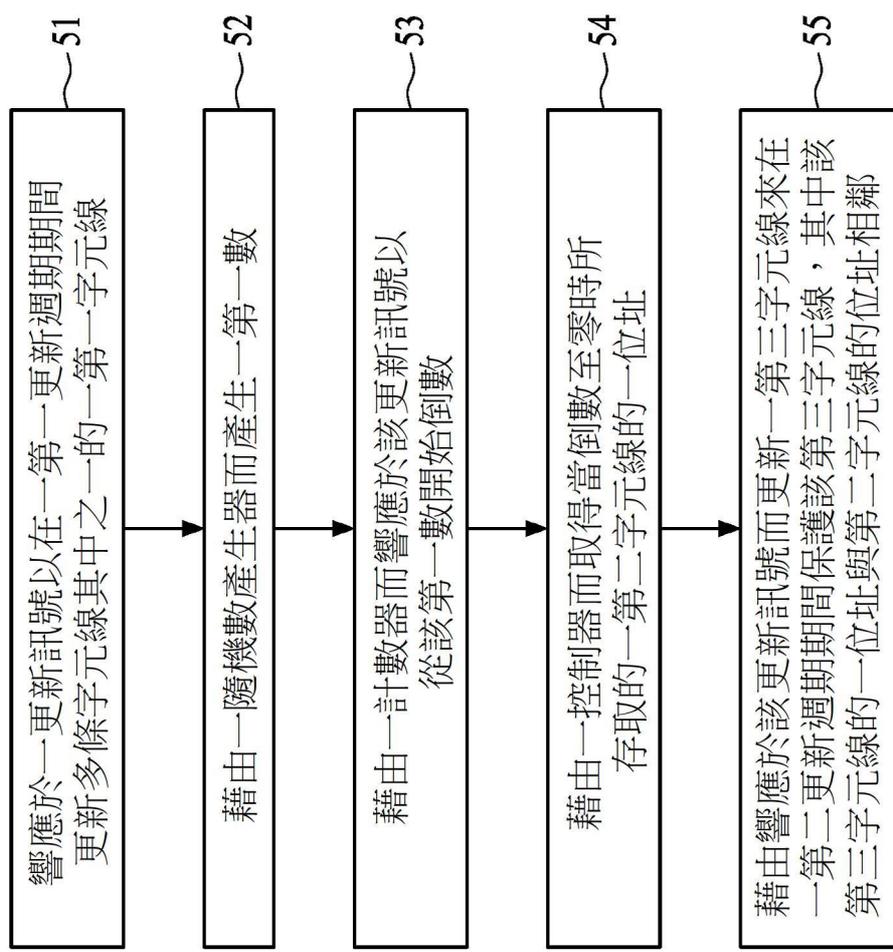
【圖3B】

3C



【圖3C】

5 ↗



【圖5】