

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-10236

(P2016-10236A)

(43) 公開日 平成28年1月18日(2016.1.18)

(51) Int.Cl.		F I		テーマコード (参考)		
H02H	7/20	(2006.01)	H02H	7/20	B	5G004
H02H	3/24	(2006.01)	H02H	3/24	A	5G053

審査請求 未請求 請求項の数 7 O L (全 22 頁)

(21) 出願番号	特願2014-129574 (P2014-129574)	(71) 出願人	000004709
(22) 出願日	平成26年6月24日 (2014. 6. 24)		株式会社ノーリツ
		(74) 代理人	110001195
			特許業務法人深見特許事務所
		(72) 発明者	▲崎▼石 智也
			兵庫県神戸市中央区江戸町93番地 株式会社ノーリツ内
		(72) 発明者	八島 崇
			兵庫県神戸市中央区江戸町93番地 株式会社ノーリツ内
		(72) 発明者	長谷川 敏明
			兵庫県神戸市中央区江戸町93番地 株式会社ノーリツ内

最終頁に続く

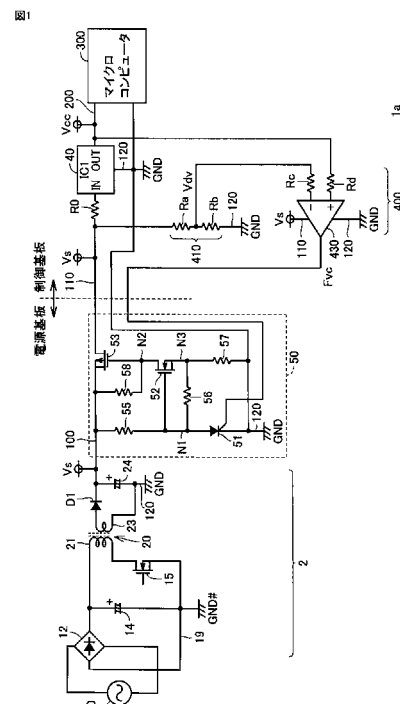
(54) 【発明の名称】 制御装置

(57) 【要約】

【課題】複数の電源電圧を使用する制御装置において、マイクロコンピュータの電源電圧の異常時に、マイクロコンピュータを確実に停止させるための電源構成を提供する。

【解決手段】電力変換回路2は、外部電源10からの交流電圧を電源電圧Vsに供給して電源配線100に供給する。電圧レギュレータ40は、電源配線110の入力電圧を降圧して、マイクロコンピュータ300の電源電圧Vccを生成する。電圧異常検知回路400は、電源電圧Vccの異常時に異常検知信号Fvcを発生する。電圧遮断回路50は、異常検知信号Fvcの発生に応じて、マイクロコンピュータ300の処理を伴うことなく作動して、電源配線100および110の電流経路を遮断する。電源配線110に対する電源電圧Vsの供給を停止することにより、マイクロコンピュータ300が動作不可となる電圧領域まで、電源電圧Vccを低下できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

負荷を制御するためのマイクロコンピュータと、
第 1 の電源電圧を伝達するための第 1 の電源配線と、
前記第 1 の電源配線の前記第 1 の電源電圧を降圧して第 2 の電源電圧を生成する電圧調整回路と、

前記電圧調整回路によって生成された前記第 2 の電源電圧を前記マイクロコンピュータへ供給するための第 2 の電源配線と、

前記第 1 の電源電圧に応じて変化する電圧と前記第 2 の電源電圧に応じて変化する電圧との比較に基づいて、前記第 2 の電源電圧の異常を検知するための異常検知回路と、

前記異常検知回路が前記第 2 の電源電圧の異常を検知したときに、前記マイクロコンピュータによる処理を伴うことなく作動するように構成された電圧低下回路とを備え、

前記電圧低下回路は、作動時に、前記電圧調整回路に入力される前記第 1 の電源配線の電圧を低下させることによって、前記マイクロコンピュータが動作不可となる電圧領域まで前記第 2 の電源電圧を低下させる、制御装置。

【請求項 2】

外部電源からの電圧を前記第 1 の電源電圧に変換して前記第 1 の電源配線に出力するための電力変換回路をさらに備え、

前記電圧低下回路は、前記電力変換回路と前記第 1 の電源配線との間に配置されて、作動時に前記電力変換回路と前記第 1 の電源配線の間の電流経路を遮断する一方で、非作動時に前記電力変換回路と前記第 1 の電源配線の間に電流経路を形成するように構成される、請求項 1 記載の制御装置。

【請求項 3】

外部電源からの電圧を前記第 1 の電源電圧に変換して前記第 1 の電源配線に出力する電力変換動作を実行するための電力変換回路をさらに備え、

前記電圧低下回路は、作動時に前記電力変換回路による前記電力変換動作を停止させるように構成される、請求項 1 記載の制御装置。

【請求項 4】

外部電源からの電圧を前記第 1 の電源電圧に変換して前記第 1 の電源配線に出力する電力変換動作を実行するための電力変換回路をさらに備え、

前記電力変換回路は、

前記第 1 の電源電圧のフィードバック信号に基づいて前記電力変換回路からの出力電圧を制御するための制御回路を含み、

前記電圧低下回路は、作動時に、前記制御回路へ入力される前記フィードバック信号を、前記電力変換回路の出力電圧を低下させるように変換する、請求項 1 記載の制御装置。

【請求項 5】

外部電源からの電圧を前記第 1 の電源電圧に変換して前記第 1 の電源配線に出力する電力変換動作を実行するための電力変換回路をさらに備え、

前記第 1 の電源電圧のフィードバック信号に基づいて前記電力変換回路からの出力電圧を制御するための制御回路を含み、

前記制御回路は、回路内の過電流発生時に前記電力変換動作を停止する機能を有し、

前記電圧低下回路は、作動時に、前記制御回路へ入力される前記フィードバック信号を、前記電力変換回路内に過電流を発生させるように変換する、請求項 1 記載の制御装置。

【請求項 6】

外部電源からの交流電圧を直流電圧に変換して出力するための、前記交流電圧の振幅よりも高い直流電圧を発生する昇圧機能を有する昇圧回路と、

前記昇圧回路の出力電圧を前記第 1 の電源電圧に変換して前記第 1 の電源配線に出力する電力変換動作を実行するための電力変換回路をさらに備え、

前記昇圧回路は、前記昇圧機能がオンされたときに第 1 の電圧を出力する一方で、前記昇圧機能がオフされたときには前記第 1 の電圧よりも低い第 2 の電圧を出力するように構

10

20

30

40

50

成され、

前記電力変換回路は、回路内の過電流発生時に前記電力変換動作を停止する機能を有し

、

前記電圧低下回路は、作動時に前記昇圧回路の前記昇圧機能をオフするように構成される、請求項 1 記載の制御装置。

【請求項 7】

前記第 1 の電源配線に介挿接続されたヒューズ素子をさらに備え、

前記電圧低下回路は、作動時に、前記ヒューズ素子の溶断電流を前記ヒューズ素子に流通させるように動作する、請求項 1 記載の制御装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

この発明は、制御装置に関し、より特定のには、複数の電源電圧を使用する制御装置における電源電圧の異常時処理に関する。

【背景技術】

【0002】

複数の電源電圧を使用する装置における電源電圧監視装置が、特開平 4 - 276564 号公報（特許文献 1）および特開 2002 - 82139 号公報（特許文献 2）に記載されている。

【0003】

20

特許文献 1 には、複数の電源電圧のうちの 1 つの電源電圧を用いて、他の電源電圧の異常を監視するための監視回路の構成が記載されている。特に、特許文献 1 では、当該 1 つの 1 つの電源電圧の分圧比が異なる分圧電圧を 2 個のコンパレータにそれぞれ入力することで、他の電源電圧の異常を検出する構成が開示されている。

【0004】

特許文献 2 には、2 個のコンパレータに対して同一の負電圧を異なる極性の入力端子に inputs する回路構成が開示されている。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献 1】特開平 4 - 276564 号公報

【特許文献 2】特開 2002 - 82139 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

複数の電源電圧を使用する制御装置において、特に、負荷を制御するためのマイクロコンピュータの電源電圧が変動すると、負荷制御に影響が生じる虞がある。

【0007】

一般的に、マイクロコンピュータに対しては、電源電圧の動作保障電圧範囲が、スペック値として予め設定されている。しかしながら、電源電圧の変動レベルによっては、電源電圧が動作保障電圧範囲外となっても、マイクロコンピュータが必ず動作を停止するとは限らない。このような動作時は、変動した電源電圧の下でのマイクロコンピュータによる制御によって、負荷の動作が通常と異なることが懸念される。

40

【0008】

この発明はこのような課題を解決するためになされたものであって、この発明の目的は、複数の電源電圧を使用する制御装置において、マイクロコンピュータの電源電圧の異常時に、マイクロコンピュータを確実に停止させるための電源構成を提供することである。

【課題を解決するための手段】

【0009】

本発明による制御装置は、負荷を制御するためのマイクロコンピュータと、第 1 および

50

第 2 の電源配線と、電圧調整回路と、異常検知回路と、電圧低下回路を備える。第 1 の電源配線は、第 1 の電源電圧を伝達する。電圧調整回路は、第 1 の電源配線の第 1 の電源電圧を降圧して第 2 の電源電圧を生成する。第 2 の電源配線は、電圧調整回路によって生成された第 2 の電源電圧をマイクロコンピュータへ供給する。異常検知回路は、第 1 の電源電圧に応じて変化する電圧と第 2 の電源電圧に応じて変化する電圧との比較に基づいて、第 2 の電源電圧の異常を検知する。電圧低下回路は、異常検知回路が第 2 の電源電圧の異常を検知したときに、マイクロコンピュータによる処理を伴うことなく作動するように構成される。電圧低下回路は、作動時に、電圧調整回路に入力される第 1 の電源配線の電圧を低下させることによって、マイクロコンピュータが動作不可となる電圧領域まで第 2 の電源電圧を低下させる。

10

【 0 0 1 0 】

上記制御装置によれば、マイクロコンピュータの動作電源である第 2 の電源電圧の異常が異常検知回路によって検知されると、マイクロコンピュータによる処理を伴うことなく電圧低下回路を作動することによって、電圧調整回路に入力される第 1 の電源電圧が低下される。これにより、電圧調整回路から出力される第 2 の電源電圧を、マイクロコンピュータが動作不可となる電圧領域まで低下させることができる。したがって、第 2 の電源電圧の異常時に、第 1 の電源電圧の低下を通じて、マイクロコンピュータの動作を確実に停止することができる。特に、マイクロコンピュータによる処理を伴うことなく、電圧低下回路を作動することができるので、マイクロコンピュータの動作が不安定となっても、マイクロコンピュータの動作を確実に停止させるように第 2 の電源電圧を低下することができる。

20

【 0 0 1 1 】

好ましくは、制御装置は、電力変換回路をさらに備える。電力変換回路は、外部電源からの電圧を第 1 の電源電圧に変換して第 1 の電源配線に出力するように構成される。電圧低下回路は、電力変換回路と第 1 の電源配線との間に配置されて、作動時に電力変換回路と第 1 の電源配線の間の電流経路を遮断する一方で、非作動時に電力変換回路と第 1 の電源配線の間に電流経路を形成するように構成される。

【 0 0 1 2 】

このようにすると、第 2 の電源電圧の異常時には、マイクロコンピュータによる処理を伴うことなく、電力変換回路からの電圧供給を遮断することができる。この結果、第 1 の電源配線から電圧調整回路に入力される電圧を低下することによって、第 2 の電源電圧を確実に低下させてマイクロコンピュータの動作を停止することができる。

30

【 0 0 1 3 】

また好ましくは、制御装置は、電力変換回路をさらに備える。電力変換回路は、外部電源からの電圧を第 1 の電源電圧に変換して第 1 の電源配線に出力する電力変換動作を実行するように構成される。電圧低下回路は、作動時に電力変換回路による電力変換動作を停止させるように構成される構成される。

【 0 0 1 4 】

このようにすると、第 2 の電源電圧の異常時には、マイクロコンピュータによる処理を伴うことなく、電力変換回路による第 1 の電源電圧の出力を停止させることができる。これにより、第 1 の電源配線から電圧調整回路に入力される電圧が低下することを通じて、第 2 の電源電圧を低下することができるので、電圧供給を遮断するための追加回路を配置することなく、第 2 の電源電圧の異常時にマイクロコンピュータの動作を確実に停止することができる。

40

【 0 0 1 5 】

あるいは好ましくは、制御装置は、電力変換回路をさらに備える。電力変換回路は、外部電源からの電圧を第 1 の電源電圧に変換して第 1 の電源配線に出力する電力変換動作を実行するように構成される。電力変換回路は、第 1 の電源電圧のフィードバック信号に基づいて電力変換回路からの出力電圧を制御するための制御回路を含む。電圧低下回路は、作動時に、制御回路へ入力されるフィードバック信号を、電力変換回路の出力電圧を低下

50

させるように変換する。

【 0 0 1 6 】

このようにすると、第 2 の電源電圧の異常時には、マイクロコンピュータによる処理を伴うことなく、電力変換回路による第 1 の電源電圧の制御のためのフィードバック信号の変換によって、電力変換回路の出力電圧を低下することができる。これにより、第 1 の電源配線から電圧調整回路に入力される電圧を低下することができるので、電圧供給を遮断するための追加回路を配置することなく第 2 の電源電圧を低下することができる。

【 0 0 1 7 】

あるいは好ましくは、制御装置は、電力変換回路をさらに備える。電力変換回路は、外部電源からの電圧を第 1 の電源電圧に変換して第 1 の電源配線に出力する電力変換動作を実行するように構成される。電力変換回路は、第 1 の電源電圧のフィードバック信号に基づいて電力変換回路からの出力電圧を制御するための制御回路を含む。制御回路は、回路内の過電流発生時に電力変換動作を停止する機能を有する。電圧低下回路は、作動時に、制御回路へ入力されるフィードバック信号を、電力変換回路内に過電流を発生させるように変換する。

10

【 0 0 1 8 】

このようにすると、第 2 の電源電圧の異常時には、マイクロコンピュータによる処理を伴うことなく、第 1 の電源電圧の制御のためのフィードバック信号を電圧上昇動作が継続されるように変換することによって、電力変換回路を過電流の発生によって停止することができる。これにより、第 1 の電源配線から電圧調整回路に入力される電圧を低下することを通じて、第 2 の電源電圧を低下することができる。この結果、電圧供給を遮断するための追加回路を配置することなく、第 2 の電源電圧の異常時にマイクロコンピュータの動作を確実に停止することができる。

20

【 0 0 1 9 】

また好ましくは、制御装置は、昇圧回路および電力変換回路をさらに備える。昇圧回路は、外部電源からの交流電圧を直流電圧に変換して出力する。昇圧回路は、交流電圧の振幅よりも高い直流電圧を発生する昇圧機能を有する。電力変換回路は、昇圧回路の出力電圧を第 1 の電源電圧に変換して第 1 の電源配線に出力する電力変換動作を実行するように構成される。昇圧回路は、昇圧機能がオンされたときに第 1 の電圧を出力する一方で、昇圧機能がオフされたときには第 1 の電圧よりも低い第 2 の電圧を出力するように構成される。電力変換回路は、回路内の過電流発生時に電力変換動作を停止する機能を有する。電圧低下回路は、作動時に昇圧回路の昇圧機能をオフするように構成される。

30

【 0 0 2 0 】

このようにすると、昇圧回路を備えた構成の制御装置において、第 2 の電源電圧の異常時には、マイクロコンピュータによる処理を伴うことなく、昇圧回路における昇圧を停止することによって、電力変換回路を過電流の発生により停止することができる。この結果、第 1 の電源配線から電圧調整回路に入力される電圧を低下することを通じて、第 2 の電源電圧を低下することができる。これにより、電圧供給を遮断するための追加回路を配置することなく、第 2 の電源電圧の異常時にマイクロコンピュータの動作を確実に停止することができる。

40

【 0 0 2 1 】

好ましくは、制御装置は、第 1 の電源配線に介挿接続されたヒューズ素子をさらに備える。電圧低下回路は、作動時に、ヒューズ素子の溶断電流をヒューズ素子に通流させるように動作する。

【 0 0 2 2 】

このようにすると、第 2 の電源電圧の異常時には、マイクロコンピュータによる処理を伴うことなく、ヒューズ素子を溶断することによって、第 1 の電源配線から電圧調整回路への電圧供給を遮断することができる。この結果、電圧調整回路から出力される第 2 の電源電圧を低下することができるので、より確実に第 2 の電源電圧の異常時にマイクロコンピュータの動作を停止することができる。

50

【発明の効果】

【0023】

この発明によれば、複数の電源電圧を使用する制御装置において、マイクロコンピュータの電源電圧の異常時に、マイクロコンピュータによる処理を伴うことなく、マイクロコンピュータを確実に停止させることができる。

【図面の簡単な説明】

【0024】

【図1】本発明の実施の形態1に従う制御装置の概略構成を説明するための回路図である。

【図2】本実施の形態2に従う制御装置の構成を説明するための概略的な回路図である。

10

【図3】本実施の形態3に従う制御装置の構成を説明するための概略的な回路図である。

【図4】本実施の形態3の変形例に従う制御装置の構成を説明するための概略的な回路図である。

【図5】本実施の形態4に従う制御装置の構成を説明するための概略的な回路図である。

【図6】本発明の実施の形態5に従う制御装置の主要部の構成を説明するための回路図である。

【図7】本発明の実施の形態5の変形例に従う制御装置の主要部の構成を説明するための回路図である。

【発明を実施するための形態】

【0025】

20

以下に、本発明の実施の形態について図面を参照して詳細に説明する。なお以下では、図中の同一または相当部分には同一符号を伏し、その説明は原則的に繰返さないものとする。

【0026】

[実施の形態1]

図1は、本発明の実施の形態1に従う制御装置の概略構成を説明するための回路図である。

【0027】

図1を参照して、実施の形態1に従う制御装置1aは、電力変換回路2と、電圧レギュレータ40と、電圧遮断回路50と、マイクロコンピュータ300とを有する。制御装置1aは、図示しない負荷をマイクロコンピュータ300によって制御する。図1に示すように、制御装置1aは、電源基板および制御基板に分けて実装することができる。両基板に分割して実装する場合には、電源基板および制御基板の間での電気的コンタクトは、図示しないコネクタによって確保することができる。

30

【0028】

電力変換回路2は、ダイオードブリッジ12と、平滑コンデンサ14、24と、トランジスタ15と、トランス20と、ダイオードD1とを有する。ダイオードブリッジ12は、図示しないコンセント等を経由して、外部電源10と電気的に接続される。外部電源10は、代表的には100VACないし200VACの商用系統電源である。

【0029】

40

ダイオードブリッジ12は、外部電源10からの交流電圧を整流する。平滑コンデンサ14は、ダイオードブリッジ12によって整流された電圧を平滑する。この結果、平滑コンデンサ14は、外部電源10による交流電圧の振幅相当の直流電圧（たとえば、140V程度）を保持する。

【0030】

トランジスタ15は、周期的にオンオフされて、平滑コンデンサ14に保持された直流電圧を、パルス状の交流電圧に変換する。トランジスタ15によって生成された交流電圧は、トランス20の一次側巻線21に印加される。

【0031】

二次側巻線23には、一次側巻線21および二次側巻線23の巻数比に従って振幅が変

50

換された、一次側巻線 2 1 の交流電圧と同一周波数の交流電圧が出力される。トランジスタ 1 5 によってスイッチングされた交流電圧をトランス 2 0 によって伝達することにより、トランス 2 0 を小型化することができる。

【 0 0 3 2 】

二次側巻線 2 3 に出力された交流電圧は、ダイオード D 1 および平滑コンデンサ 2 4 によって、電源配線 1 0 0 および接地配線 1 2 0 間の直流電圧 V_s に変換される。以下では、直流電圧 V_s を電源電圧 V_s とも称する。電源電圧 V_s は、たとえば、15 V 程度に制御される。トランジスタ 1 5 のオンオフ制御により、一次側巻線 2 1 に入力される交流電圧の実効値を調整することによって、電源電圧 V_s を制御することができる。

【 0 0 3 3 】

電源電圧 V_s を供給するための電源配線 1 0 0 は、電圧遮断回路 5 0 を経由して、電源配線 1 1 0 と接続される。後述するように、電圧遮断回路 5 0 は、電圧異常検知回路 4 0 からの検知信号 $F_v c$ によって直接制御されて、作動ないし非作動とされる。電圧異常検知回路 4 0 0 は、電源基板および制御基板のいずれに搭載することも可能である。電圧異常検知回路 4 0 0 を制御基板に搭載した場合には、図示しないコネクタを経由して、電源基板上の電圧遮断回路 5 0 へ検知信号 $F_v c$ 伝達することができる。

【 0 0 3 4 】

また、電源基板の二次側巻線 2 3 および制御基板の間では、接地配線 1 2 0 (接地電圧 GND) は電氣的に共通である。一方で、一次側巻線 2 1 と接続された回路群の接地配線 1 9 (接地電圧 GND) は、接地配線 1 2 0 と電氣的に絶縁されている。

【 0 0 3 5 】

電圧遮断回路 5 0 の非作動時 (通常時) には、トランジスタ 5 3 のオンにより、電源配線 1 0 0 および 1 1 0 は電氣的に接続される。これにより、電源配線 1 1 0 によって電源電圧 V_s が伝達される。すなわち、電源電圧 V_s は、電源配線 1 0 0 , 1 1 0 によって、制御装置 1 a の素子または回路に電源電圧として供給される。

【 0 0 3 6 】

一方で、電圧遮断回路 5 0 の作動時には、トランジスタ 5 3 のオフにより、電源配線 1 0 0 および 1 1 0 は電氣的に切り離される。このとき、電源配線 1 1 0 に対する電源電圧 V_s 供給は停止される。

【 0 0 3 7 】

制御基板において、電源配線 1 1 0 は、電流制限抵抗 R_0 を経由して、電圧レギュレータ 4 0 の入力 (IN) ノードと接続される。電圧レギュレータ 4 0 は、入力 (IN) ノードの直流電圧を降圧して、出力 (OUT) ノードから電源電圧 V_{cc} を出力する。電源電圧 V_{cc} は、電圧レギュレータ 4 0 によって、たとえば 5 V に制御される。電圧レギュレータ 4 0 の出力 (OUT) ノードは、電源配線 2 0 0 と接続される。電源配線 2 0 0 は、電源電圧 V_{cc} を、マイクロコンピュータ 3 0 0 を始めとする、制御装置 1 a の回路ないし素子へ供給する。なお、図示を省略しているが、電源配線 1 1 0 と接地配線 1 2 0 との間および電源配線 2 0 0 と接地配線 1 2 0 との間には平滑コンデンサが配置されている。

【 0 0 3 8 】

このように、電源電圧 V_s が「第 1 の電源電圧」に対応し、電源配線 1 1 0 は「第 1 の電源配線」に対応する。また、マイクロコンピュータ 3 0 0 に供給される電源電圧 V_{cc} は「第 2 の電源電圧」に対応し、電源配線 2 0 0 は「第 2 の電源配線」に対応する。また、電圧遮断回路 5 0 は「電圧低下回路」の一態様に対応する。

【 0 0 3 9 】

ここで、電源電圧 V_{cc} が変動した場合におけるマイクロコンピュータ 3 0 0 による負荷 (図示せず) の制御について考える。たとえば、図 1 の構成において、電圧レギュレータ 4 0 の入出力ノード間が短絡すると、マイクロコンピュータ 3 0 0 の電源である電源電圧 V_{cc} が上昇してしまう。

【 0 0 4 0 】

一般的に、マイクロコンピュータ 3 0 0 に対しては、電源電圧の動作保障電圧範囲が、

10

20

30

40

50

スペック値として予め設定されている。したがって、電源電圧 V_{cc} が動作保障電圧範囲を外れたときには、マイクロコンピュータ 300 が動作を停止することによって負荷の動作も停止される。

【0041】

しかしながら、電源電圧 V_{cc} が動作保障電圧範囲外となっても、マイクロコンピュータ 300 が必ず動作を停止するとは限らない。このような場合には、電源電圧 V_{cc} の変動により、マイクロコンピュータ 300 による負荷の制御に影響を与える虞がある。

【0042】

したがって、電源電圧 V_{cc} の異常を検知するための監視機能を設ける必要がある。このため、制御装置 1a は、さらに、電圧異常検知回路 400 を備える。電圧異常検知回路 400 は、分圧回路 410 と、コンパレータ 430 とを有する。電圧異常検知回路 400 は、「異常検知回路」に対応する。

10

【0043】

分圧回路 410 は、電源配線 110 および接地配線 120 の間に直列接続された抵抗素子 R_a および R_b を有する。抵抗素子 R_a 、 R_b の電気抵抗値についても R_a 、 R_b で表記すると、分圧回路 410 による分圧比 D_k (V_{dv} / V_s) は、 $D_k = R_a / (R_a + R_b)$ で示される。

【0044】

分圧回路 410 による分圧電圧 V_{dv} ($V_{dv} = V_s \times D_k$) は、抵抗素子 R_c を経由して、コンパレータ 430 に入力される。一方、コンパレータ 430 のもう一方の入力端子は、抵抗素子 R_d を経由して、電源配線 200 と接続される。さらに、コンパレータ 430 は、電源配線 110 および接地配線 120 と接続されて、電源電圧 V_s により動作する。

20

【0045】

この結果、コンパレータ 430 は、分圧電圧 V_{dv} と電源電圧 V_{cc} とを比較して、電圧比較結果に基づく検知信号 F_{vc} を出力する。検知信号 F_{vc} は、論理ハイレベル（以下、「Hレベル」とも表記する）または、論理ローレベル（以下、「Lレベル」とも表記する）のいずれかに設定される。検知信号 F_{vc} の Hレベルは電源電圧 V_s であり、Lレベルは接地電圧 GND である。

【0046】

コンパレータ 430 は、 $V_{cc} > V_{dv}$ のときには、検知信号 F_{vc} を Hレベルに設定する。一方で、 $V_{cc} < V_{dv}$ のときには、コンパレータ 430 は、検知信号 F_{vc} を Lレベルに設定する。たとえば、抵抗素子 R_a 、 R_b の抵抗値に応じて、電源電圧 V_{cc} が所定の判定電圧 V_t ($V_t = V_{dv}$) よりも上昇したときに、検知信号 F_{vc} を Hレベルに設定する。

30

【0047】

このように、電圧異常検知回路 400 は、電源電圧 V_{cc} の異常（以下、単に「 V_{cc} 異常」とも称する）を検知すると、検知信号 F_{vc} を Hレベルに設定する。一方で、 V_{cc} 異常が検知されないときには、検知信号 F_{vc} は Lレベルに維持される。

【0048】

以下では、図 1 の電圧異常検知回路 400 のように、電源電圧 V_{cc} が上昇したとき ($V_{cc} > V_t$) に V_{cc} 異常を検知する構成を例示する。ただし、この例とは反対に、電源電圧 V_{cc} が判定電圧よりも低下したときに、検知信号 F_{vc} を Hレベルに設定するようにしてもよい。あるいは、コンパレータ 430 を複数個設けることにより、電源電圧 V_{cc} が一定範囲から上昇または低下したときに、検知信号 F_{vc} を Hレベルに設定して V_{cc} 異常を検出する構成とすることも可能である。実施の形態 1 に従う制御装置 1a では、電圧異常検知回路 400 からの検知信号 F_{vc} は、電圧遮断回路 50 へ入力される。

40

【0049】

次に、電圧遮断回路 50 の構成および動作を説明する。

電圧遮断回路 50 は、サイリスタ 51 と、トランジスタ 52、53 と、抵抗素子 55 ~

50

58を有する。

【0050】

P型のトランジスタ53は、電源配線100および110の間に電氣的に接続される。トランジスタ53のゲート（制御電極）は、ノードN2と接続される。抵抗素子58は、電源配線100およびノードN2の間に接続される。

【0051】

N型のトランジスタ52は、ノードN2およびN3の間に接続される。トランジスタ52のゲート（制御電極）は、ノードN1と接続される。抵抗素子55は、電源配線100およびノードN1の間に接続され、抵抗素子56はノードN1およびN3の間に接続される。抵抗素子57は、接地配線120とノードN3の間に接続される。

10

【0052】

サイリスタ51は、ノードN1および接地配線120の間に、ノードN1から接地配線120に向かう順方向として接続される。サイリスタ51のゲートには、電圧異常検知回路400からの検知信号Fvcが入力される。

【0053】

Vcc異常の非検知時には、検知信号FvcがLレベルに維持されるので、電圧遮断回路50は非作動となる。電圧遮断回路50の非作動時には、サイリスタ51はオフ状態を維持する。このとき、トランジスタ52がオンされるように、抵抗素子55～57の抵抗値は設計される。さらに、抵抗素子57、58の抵抗値は、トランジスタ52のオン時に、ノードN2（トランジスタ53のゲート）の電圧が、電源電圧Vsからしきい値電圧を超えて低下するように設計される。これにより、トランジスタ52のオンに応じてトランジスタ53がオンすることにより、電源配線100および110の間に電流経路が形成される。これにより、制御基板の電源配線110に対して電源電圧Vsが供給される。

20

【0054】

電圧レギュレータ40は、電圧遮断回路50の非作動時には、電源配線110に供給された電源電圧Vsを降圧して、マイクロコンピュータ300の電源電圧Vccを所定の電圧レベル（たとえば、5V程度）に制御することができる。

【0055】

これに対して、Vcc異常が検知されて検知信号FvcがHレベルに設定されると電圧遮断回路50が作動されて、サイリスタ51はオンする。抵抗素子55の抵抗値は、サイリスタ51のオン時に、ノードN1の電圧がトランジスタ52をオフする電圧となるように設計される。これにより、サイリスタ51がオンするとともにトランジスタ52がオフする。これに応じて、ノードN2は、抵抗素子58を経由して電源配線100（電源電圧Vs）と接続されるので、トランジスタ53はオフされる。

30

【0056】

この結果、電圧遮断回路50の作動時、すなわち、Vcc異常の検知時には、サイリスタ51のオンおよびトランジスタ52のオフに応じてトランジスタ53がオフすることにより、電源配線100および110の間の電流経路が遮断される。これにより、制御基板の電源配線110に対する電源電圧Vsの供給が停止される。

【0057】

サイリスタ51は、一旦オンすると通過電流が0になるまでオン状態を維持する。したがって、検知信号Fvcが一旦Hレベルに設定されると、電源電圧Vsが低下するまでの間、サイリスタ51はオン状態に維持されて、トランジスタ53による電流経路の遮断が維持される。

40

【0058】

したがって、電圧異常検知回路400によってVcc異常が検知されると、電圧遮断回路50の作動によって電源配線110への電圧供給が停止される。これにより、電源配線110から電圧レギュレータ40へ入力電圧が低下するので、電圧レギュレータ40から出力される電源電圧Vccが低下する。最終的には、電圧レギュレータ40の出力電圧が0（接地電圧GND）となることにより、電源電圧Vccを0（接地電圧GND）まで低

50

下することができる。すなわち、電圧遮断回路 50 は、電源電圧 V_s の低下を通じて電源電圧 V_s を低下させるように動作する。

【0059】

このように、実施の形態 1 に従う制御装置 1a によれば、電圧異常検知回路 400 が V_{cc} 異常を検知すると、マイクロコンピュータ 300 による処理を伴うことなく、検知信号 F_{vc} に応じて電圧遮断回路 50 を作動させることにより、電源配線 110 に対する電源配線 100 からの電源電圧 V_s の供給を遮断することができる。この結果、電源配線 110 の電圧を低下させることにより、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることにより、マイクロコンピュータ 300 の動作を確実に停止することができる。

10

【0060】

特に、マイクロコンピュータ 300 による処理を伴うことなく、電源電圧 V_{cc} を低下させる動作を起動することができるので、マイクロコンピュータ 300 の動作が暴走等によって不安定となっても、マイクロコンピュータ 300 の動作を確実に停止させることができる。

【0061】

[実施の形態 2]

以下では、実施の形態 1 で説明した、電源電圧 V_{cc} の異常検知時にマイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させるための電源構成のバリエーションを説明する。

20

【0062】

図 2 は、本実施の形態 2 に従う制御装置の構成を説明するための概略的な回路図である。

【0063】

図 2 を図 1 と比較して、実施の形態 2 に従う制御装置 1b では、実施の形態 1 に従う制御装置 1a に対して、電源基板側の構成が異なる。具体的には、トランス 20 の二次側巻線 23 において、図 1 に示した電圧遮断回路 50 の配置が省略されている。なお、電圧遮断回路 50 が配置されない構成では、図 1 における電源配線 100 および 110 を区別する必要がない。したがって、以下では、電力変換回路 2 は、電源配線 110 に対して電源電圧 V_s を供給するものとする。

30

【0064】

さらに、制御装置 1b では、電圧遮断回路 50 に代えて、検知信号 F_{vc} に応じて、電源電圧 V_s の低下を通じて電源電圧 V_s を低下させるための電圧低下回路 70 が配置されている。

【0065】

また、図 2 では、電力変換回路 2 について、図 1 では省略された、トランジスタ 15 のオンオフを制御するための構成が記載されている。まず、この構成について説明する。

【0066】

トランス 20 には、一次側巻線 22 がさらに設けられている。一次側巻線 22 には、一次側巻線 21 および 22 の巻数比に従って振幅が変換された、一次側巻線 21 の交流電圧と同一周波数の交流電圧が出力される。一次側巻線 21 および 22 の間では、接地配線 19 (接地電圧 GND) は共通である。一次側巻線 22 に出力された交流電圧は、ダイオード D_2 および平滑コンデンサ 62 によって、電源配線 65 および接地配線 19 間の直流電圧 V_d に変換される。直流電圧 V_d は、トランジスタ 15 のオンオフによる電力変換回路 2 の電力変換動作を制御するための制御 IC (integrated Circuit) の電源電圧として用いられる。

40

【0067】

制御 IC 60 は、電源電圧 V_s を制御するために、トランジスタ 15 のオンオフを制御するための制御信号を発生する。この制御信号は、トランジスタ 15 のゲートへ入力される。

50

【 0 0 6 8 】

たとえば、制御 IC 60 は、電源電圧 V_s が目標値（たとえば、15 V）よりも低下したときには、一次側巻線 21 に入力される交流電圧の実効値を増加するように、トランジスタ 15 のオンオフを制御する。反対に、制御 IC 60 は、電源電圧 V_s が目標値（たとえば、15 V）よりも上昇したときには、一次側巻線 21 に入力される交流電圧の実効値を減少させるように、トランジスタ 15 のオンオフを制御する。たとえば、トランジスタ 15 による交流電圧を発生するための周期的なオンオフ制御において、オン期間の幅を増減することによって、交流電圧の実効値を増減することができる。

【 0 0 6 9 】

また、トランジスタ 15 の通過電流を検出するための電流検出抵抗 16 が、トランジスタ 15 および接地配線 19 の間に接続される。制御 IC 60 は、電流検出抵抗 16 における電圧降下量に基づいて、トランジスタ 15 の通過電流を検出することができる。

【 0 0 7 0 】

さらに、制御 IC 60 は、ラッチ端子 61 を有する。ラッチ端子 61 に所定以上の電圧が印加されると、制御 IC 60 は、トランジスタ 15 のスイッチング動作を停止する。すなわち、トランジスタ 15 がオフに維持される。一旦、ラッチ端子 61 に所定以上の電圧が印加されると、制御 IC 60 は、ラッチ機能により、電源電圧 V_d の低下によってリセットされるまでの間、トランジスタ 15 をオフに維持する動作を継続するように構成されている。

【 0 0 7 1 】

トランジスタ 15 がオフ状態に維持されると、一次側巻線 21 には、平滑コンデンサ 14 によって保持された直流電圧が印可される。これにより、一次側巻線 22 および二次側巻線 23 には、電圧が生じなくなる。したがって、電力変換回路 2 による電力変換が停止されて、電源電圧 V_s の生成が停止される。

【 0 0 7 2 】

電圧低下回路 70 は、電圧遮断回路 50 と同様に、電圧異常検知回路 400 からの検知信号 F_{vc} に応じて、マイクロコンピュータ 300 による処理を伴うことなく作動する。電圧低下回路 70 は、トランジスタ 71 と、抵抗素子 72 と、フォトカプラ 75 とを有する。フォトカプラ 75 は、電流通流時に発光するフォトダイオード 75a と、フォトダイオード 75a の発光に応じてオンするフォトリンジスタ 75b とを有する。

【 0 0 7 3 】

抵抗素子 72、フォトダイオード 75a およびトランジスタ 71 は、電源配線 110 および接地配線 120 の間に直列に接続されている。トランジスタ 71 のベース（制御電極）には、検知信号 F_{vc} が入力される。フォトリンジスタ 75b は、電源配線 65 およびラッチ端子 61 の間に接続される。

【 0 0 7 4 】

検知信号 F_{vc} が L レベルのとき（ V_{cc} 正常時）には、トランジスタ 71 がオフされるので、フォトダイオード 75a には電流が流れないため、フォトリンジスタ 75b はオフ状態に維持される。このため、ラッチ端子 61 は、電源配線 65 から電氣的に切り離されるので、ラッチ機能はオンされない。したがって、トランジスタ 15 は、電源電圧 V_s を目標値に制御するようにオンオフを制御される。

【 0 0 7 5 】

これに対して、 V_{cc} 異常が検知されて、検知信号 F_{vc} が H レベルに設定されると、電圧低下回路 70 が作動する。電圧低下回路 70 の作動時には、トランジスタ 71 がオンされることにより、フォトダイオード 75a に電流が流れる。このため、フォトダイオード 75a の発光に応じて、フォトリンジスタ 75b がオンする。ラッチ端子 61 は、電源配線 65 と電氣的に接続されることによって、所定以上の電圧を印可される。

【 0 0 7 6 】

これにより、制御 IC 60 のラッチ機能がオンされて、トランジスタ 15 をオフ状態に維持する動作、すなわち、電力変換回路 2 での電力変換を停止する動作が継続的に実行さ

10

20

30

40

50

れる。この結果、電力変換回路 2 による電源電圧 V_s の生成が停止されることにより、電源配線 110 から電圧レギュレータ 40 へ入力電圧が低下するので、電圧レギュレータ 40 から出力される電源電圧 V_{cc} が低下する。最終的には、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることができる。

【0077】

このように、実施の形態 2 に従う制御装置 1b においては、電圧異常検知回路 400 からの検知信号 F_{vc} に応じて電圧低下回路 70 を作動させて、制御 IC 60 のラッチ機能により、電源配線 110 に対する電力変換回路 2 からの電源電圧 V_s の供給を停止することができる。この結果、実施の形態 1 と同様に、検知信号 F_{vc} に応じて電源配線 110 の電圧を低下させることにより、マイクロコンピュータ 300 による処理を伴うことなく、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることができる。すなわち、マイクロコンピュータ 300 の動作を確実に停止することができる。

10

【0078】

なお、実施の形態 2 に従う制御装置 1b では、電圧遮断回路 50 (図 1) よりも構成素子数の少ない電圧低下回路 70 の配置によって、実施の形態 1 に従う制御装置 1a と同様に、 V_{cc} 異常の検知時にマイクロコンピュータ 300 の動作を確実に停止することができるので、装置の小型化の点で有利である。

【0079】

[実施の形態 3]

20

図 3 は、本発明の実施の形態 3 に従う制御装置の概略構成を説明するための回路図である。

【0080】

図 3 および図 2 を参照して、実施の形態 3 に従う制御装置 1c は、実施の形態 2 に従う制御装置 1b と比較して、電圧低下回路 70 に代えて電圧低下回路 90 を含む。また、電力変換回路 2 について、図 7 では記載を省略した、トランジスタ 15 のオンオフによって電源電圧 V_s を制御するための詳細な構成が記載されている。具体的には、制御 IC 60 の制御入力端子 63 に接続された V_s 検出回路 80 が示されている。

【0081】

V_s 検出回路 80 は、シャントレギュレータ 82 と、抵抗素子 83, 84 と、フォトカブラ 85 とを有する。フォトカブラ 85 は、電流通流時に発光するフォトダイオード 85a と、フォトダイオード 85a の発光に応じてオンするフォトトランジスタ 85b とを有する。

30

【0082】

抵抗素子 83 および 84 は、電源配線 110 および接地配線 120 の間に直列に接続される。抵抗素子 83 および 84 による電源電圧 V_s の分圧電圧が、シャントレギュレータ 82 のリファレンス (R) 端子に入力される。フォトダイオード 85a は、電源配線 110 および接地配線 120 の間に、シャントレギュレータ 82 と直列に接続される。

【0083】

制御 IC 60 側において、フォトカブラ 85 のフォトトランジスタ 85b は、電源配線 65 および接地配線 19 の間に、抵抗素子 64 と直列に接続される。抵抗素子 64 は、制御 IC 60 の制御入力端子 63 と接地配線 19 の間に接続される。制御 IC 60 は、制御入力端子 63 の電圧に基づいて、フォトトランジスタ 85b のオン/オフを検出することができる。

40

【0084】

V_s 検出回路 80 において、電源配線 110 の電圧 (電源電圧 V_s) が基準よりも上昇すると、シャントレギュレータ 82 によって、カソード (K) 端子およびアノード (A) 端子間に電流が生じる。これに応じて、フォトダイオード 85a が発光することにより、フォトトランジスタ 85b がオンする。

【0085】

50

一方で、電源配線 110 の電圧（電源電圧 V_s ）が基準よりも低下すると、シャントレギュレータ 82 のカソード（K）端子およびアノード（A）端子間に電流は生じない。したがって、フォトダイオード 85a は発光せず、フォトトランジスタ 85b はオンされる。このように、 V_s 検出回路 80 の動作によって、制御入力端子 63 には、 V_s 上昇時には H レベル電圧（ V_d ）が入力される一方で、 V_s 低下時には L レベル電圧（ GND ）が入力される。このように、 V_s 検出回路 80 は、電源電圧 V_s のフィードバック信号を制御 IC 60 へ入力する機能を有する。

【0086】

制御 IC 60 は、制御入力端子 63 に L レベル電圧が入力されると、一次側巻線 21 に入力される交流電圧の実効値を増加するように、トランジスタ 15 のオンオフを制御する。一方で、制御入力端子 63 に H レベル電圧が入力されると、トランジスタ 15 のオンオフは、一次側巻線 21 に入力される交流電圧の実効値を低下するように制御される。このようにして、制御 IC 60 は、トランジスタ 15 のオンオフ制御によって、電源電圧 V_s をフィードバック制御することができる。すなわち、電力変換回路 2 は、 V_s 検出回路 80 からのフィードバック信号に基づいて、電源電圧 V_s を制御する。

【0087】

なお、 V_s 検出回路 80 を用いた制御 IC 60 による電源電圧 V_s のフィードバック制御は、 V_{cc} 異常検知時の制御動作と直接的に関係がないため、実施の形態 1, 2 では説明を省略したが、他の実施の形態に従う制御装置においても、同様の構成が具備されているものとする。

【0088】

電圧異常検知回路 400 は、図 1 および図 2 の構成と比較して、コンパレータ 430 からの検知信号 F_{vc} を保持するためのラッチ回路 440 をさらに有する。ラッチ回路 440 は、検知信号 F_{vc} が L レベルから H レベルに変化したときに、検知信号 F_{vc} を H レベルに維持するように構成される。ラッチ回路 440 による保持動作は、電源電圧 V_s が低下するまでの間継続される。

【0089】

電圧低下回路 90 は、電圧異常検知回路 400 からの検知信号 F_{vc} に応じて作動する。電圧低下回路 90 は、N 型のトランジスタ 92 と、抵抗素子 94 とを有する。トランジスタ 92 は、シャントレギュレータ 82 のカソード（K）端子およびアノード（A）端子の間に接続される。

【0090】

トランジスタ 92 のゲート（制御電極）には、ラッチ回路 440 を通過した検知信号 F_{vc} が入力される。抵抗素子 94 は、トランジスタ 92 のゲート（制御電極）を接地電圧 GND にプルダウンする。

【0091】

電源電圧 V_{cc} の正常時（ V_{cc} 異常非発生時）には、検知信号 F_{vc} が L レベルに設定されるので、トランジスタ 92 はオフされる。したがって、 V_s 検出回路 80 は、上述した、電源電圧 V_s を目標値に制御するためのフィードバック信号を生成するように動作する。

【0092】

これに対して、 V_{cc} 異常発生時には、検知信号 F_{vc} が H レベルに設定されるので、トランジスタ 92 がオンされる。これにより、シャントレギュレータ 82 のカソード（K）端子およびアノード（A）端子が短絡されるので、フォトダイオード 85a には電流が流れ続ける。

【0093】

したがって、フォトトランジスタ 85b も継続的にオンされるため、制御 IC 60 の制御入力端子 63 に対して、 V_s 検出回路 80 からのフィードバック信号としては、電源電圧 V_s の上昇を示す H レベル電圧が継続的に入力される。この結果、トランジスタ 15 は、一次側巻線 21 に入力される交流電圧の実効値を制御上の最小値に維持するように制御

10

20

30

40

50

される。このとき、電源電圧 V_s は、たとえば、通常時の 15 V に対して、 $2 \sim 3\text{ V}$ 程度まで低下する。

【0094】

これにより、電源配線 110 から電圧レギュレータ 40 へ入力電圧が低下するので、電圧レギュレータ 40 から出力される電源電圧 V_{cc} が低下する。この結果、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることができる。

【0095】

このように、実施の形態 3 に従う制御装置 1c においては、ラッチ回路 440 を通過した検知信号 F_{vc} に応じて電圧低下回路 90 を作動させて、 V_s 検出回路 80 から制御 IC 60 へのフィードバック信号を変換することによって、電力変換回路 2 によって供給される電源電圧 V_s を制御上の最小レベルまで低下させることができる。この結果、実施の形態 1 と同様に、電圧異常検知回路 400 からの検知信号 F_{vc} に応じて、マイクロコンピュータ 300 による処理を伴うことなく、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることができる。すなわち、マイクロコンピュータ 300 の動作を確実に停止することができる。

【0096】

[実施の形態 3 の変形例]

図 4 は、本発明の実施の形態 3 の変形例に従う制御装置の概略構成を説明するための回路図である。

【0097】

図 4 および図 3 を参照して、実施の形態 3 の変形例に従う制御装置 1d では、実施の形態 3 に従う制御装置 1c と比較して、電圧低下回路 90 (図 3) に代えて、電圧低下回路 90 が配置される。制御装置 1d のその他の部分の構成は、図 3 に示した制御装置 1c と同様である。すなわち、制御装置 1e においても、電圧異常検知回路 400 はラッチ回路 440 を有するように構成される。

【0098】

電圧低下回路 90 は、電圧低下回路 90 と同様に、電圧異常検知回路 400 からの検知信号 F_{vc} に応じて作動する。電圧低下回路 90 は、N 型のトランジスタ 92 と、抵抗素子 94 とを有する。トランジスタ 92 は、シャントレギュレータ 82 のリファレンス (R) 端子およびアノード (A) 端子の間に接続される。抵抗素子 94 は、電圧低下回路 90 (図 3) と同様に、トランジスタ 92 のゲート (制御電極) を接地電圧 GND にプルダウンする。

【0099】

電圧低下回路 90 は、 V_{cc} 異常発生時に検知信号 F_{vc} が H レベルに設定されると、トランジスタ 92 のオンにより、シャントレギュレータ 82 のリファレンス (R) 端子およびアノード (A) 端子を短絡する。これにより、シャントレギュレータ 82 は、リファレンス (R) 端子の入力電圧が低下したことを検知するので、カソード (K) 端子およびアノード (A) 端子間には電流が発生されない。

【0100】

このため、フォトダイオード 85a に電流が流れない状態が維持されるので、フォトトランジスタ 85b も継続的にオフされる。この結果、制御 IC 60 の制御入力端子 63 には、 V_s 検出回路 80 からのフィードバック信号として、電源電圧 V_s の低下を示す L レベル電圧が継続的に入力される。この結果、トランジスタ 15 は、一次側巻線 21 に入力される交流電圧の実効値を上昇するように制御され続ける。

【0101】

通常、制御 IC 60 には、電力変換回路 2 内の素子の過電流や過高温の発生を検知して、電力変換回路 2 の動作を自動的に停止する安全機能が具備されている。したがって、実施の形態 3 の変形例 3 に従う制御装置 1d では、 V_{cc} 異常発生時に検知信号 F_{vc} が H レベルに設定されると、電源電圧 V_s を上昇させるための制御動作が強制的に継続される

10

20

30

40

50

ことにより、電力変換回路 2 内で過電流や過高温が発生することになる。これにより、制御 IC 60 による既存の安全機能を作動させることによって、電力変換回路 2 による電力変換が停止される。

【0102】

この結果、電力変換回路 2 による電源電圧 V_s の生成が停止されることにより、電圧レギュレータ 40 への入力電圧が低下するので、電圧レギュレータ 40 が出力する電源電圧 V_{cc} は低下する。最終的には、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることができる。

【0103】

このように、実施の形態 3 に変形例に従う制御装置 1d においても、実施の形態 3 に従う制御装置 1c と同様に、マイクロコンピュータ 300 による処理を伴うことなく、電圧異常検知回路 400 からの検知信号 F_{vc} に応じて電圧低下回路 90 を作動させることにより、マイクロコンピュータ 300 が動作不可となる電圧領域まで電源電圧 V_{cc} を低下させることができる。

10

【0104】

[実施の形態 4]

実施の形態 4 では、昇圧回路が設けられた構成を有する制御装置における、 V_{cc} 異常検知時に電源電圧 V_{cc} を低下させるための電源構成について説明する。

【0105】

図 5 は、本発明の実施の形態 4 に従う制御装置の回路構成図である。

20

図 5 を参照して、実施の形態 4 に従う制御装置 1e は、昇圧回路 500 を含む。昇圧回路 500 は、高圧負荷 600 に対して、外部電源 10 の交流電圧の振幅相当の直流電圧よりも高い直流電圧 V_{dc} を供給できるように構成されている。たとえば、外部電源 10 の交流電圧振幅が 140 V 程度である場合に、昇圧回路 500 が $V_{dc} = 280$ V 程度の直流電圧を発生することにより、高圧負荷 600 の動作電源が供給される。

【0106】

実施の形態 4 に従う制御装置 1e では、外部電源 10 と、実施の形態 1 ~ 3 と同様の構成を有する電力変換回路 2 との間に昇圧回路 500 が配置される。したがって、電力変換回路 2 には、ダイオードブリッジ 12 の出力電圧ではなく、昇圧回路 500 から出力された直流電圧 V_{dc} が入力される。電力変換回路 2 は、実施の形態 1 ~ 3 と同様に、昇圧回路 500 が出力する直流電圧 V_{dc} を DC / AC 変換 (トランジスタ 15) および AC / DC 変換 (ダイオード D1 および平滑コンデンサ 24) することによって電源電圧 V_s を供給する。電源電圧 V_s を、マイクロコンピュータ 300 に供給される電源電圧 V_{cc} に変換するための構成は、実施の形態 1 ~ 3 およびそれらの変形例と同様である。

30

【0107】

次に、昇圧回路 500 の構成および動作について説明する。

昇圧回路 500 は、電源配線 501 と、平滑コンデンサ 502 と、リアクトル 506 と、ダイオード 508 と、トランジスタ 510 と、電流検出抵抗 512 と、平滑コンデンサ 515 と、制御 IC 550 とを有する。制御 IC 550 の動作電源は、制御 IC 60 と共通に、電源配線 65 から供給される。

40

【0108】

電源配線 501 は、ダイオードブリッジ 12 によって整流された交流電圧を受ける。平滑コンデンサ 502 は、電源配線 401 および接地配線 19 の間に接続される。すなわち平滑コンデンサ 502 は、外部電源 10 の交流電圧の振幅相当の直流電圧 (たとえば、約 140 V) を保持する。

【0109】

リアクトル 506 およびダイオード 508 は、電源配線 501 および 520 の間に直列に接続される。トランジスタ 510 は、リアクトル 506 およびダイオード 508 の接続ノードと接地配線 19 との間に、電流検出抵抗 512 と直列に接続される。電流検出抵抗 512 は、制御 IC 550 の入力端子と接地配線 19 の間に接続される。制御 IC 550

50

は、当該入力端子の電圧、すなわち、電流検出抵抗 5 1 2 の電圧降下量に基づいて、トランジスタ 5 1 0 の通過電流を検出することができる。

【 0 1 1 0 】

トランジスタ 5 1 0 のオン期間およびオフ期間を周期的に設けることによって、いわゆる昇圧チョッパ回路の機能が実現されて、電源配線 5 0 1 の電圧よりも高い直流電圧を電源配線 5 2 0 に発生することができる。

【 0 1 1 1 】

昇圧チョッパ回路では、トランジスタ 5 1 0 を周期的にオンオフ（スイッチング）するとともに、スイッチング周期に対するオン期間の時間比（デューティ比）を制御することによって、電源配線 5 2 0 に出力される直流電圧 V_{dc} を制御することができる。また、昇圧回路 5 0 0 では、リアクトル 5 0 6 の電流波形を、ダイオードブリッジ 1 2 からの出力電圧（全波整流電圧）と同一周波数かつ同一位相の電流に制御することによって、力率を高めることができる。この場合には、全波整流波形の電流波高値の制御によって、直流電圧 V_{dc} を制御することができる。このように、昇圧回路 5 0 0 は、昇圧機能のオン時には、制御 IC 5 5 0 によるトランジスタ 5 1 0 のオンオフ制御により、昇圧された直流電圧 V_{dc} を目標電圧（たとえば、280V）に制御する。

【 0 1 1 2 】

一方で、昇圧機能オフ時には、トランジスタ 5 1 0 がオフに維持されるので、直流電圧 V_{dc} は、平滑コンデンサ 5 0 2 に保持された直流電圧と同等となる。すなわち、昇圧機能オフには、電源電圧 V_{dc} は、昇圧機能オン時よりも低下する。

【 0 1 1 3 】

昇圧回路 5 0 0 における昇圧機能のオンオフは、マイクロコンピュータ 3 0 0 からの昇圧停止信号 S_{bs} によって制御される。昇圧停止信号 S_{bs} は、フォトカプラ 5 6 0 を経由して制御 IC 5 5 0 に伝達される。フォトカプラ 5 6 0 は、フォトダイオード 5 6 0 a およびフォトトランジスタ 5 6 0 b を有する。フォトダイオード 5 6 0 a は、電源配線 1 1 0 および接地配線 1 2 0 の間に、N型のトランジスタ 5 7 0 と直列に接続される。トランジスタ 5 7 0 のベース（制御電極）には、マイクロコンピュータ 3 0 0 からの昇圧停止信号 S_{bs} が入力される。

【 0 1 1 4 】

マイクロコンピュータ 3 0 0 は、昇圧回路 5 0 0 の昇圧機能をオフする際に昇圧停止信号 S_{bs} を H レベルに設定する。たとえば、制御装置 1 e が搭載された機器の待機動作時（スタンバイモード）において、昇圧停止信号 S_{bs} は H レベルに設定される。通常時には、昇圧停止信号 S_{bs} は、L レベルに設定される。

【 0 1 1 5 】

昇圧停止信号 S_{bs} の L レベル時には、トランジスタ 5 7 0 がオフされるため、フォトダイオード 5 6 0 a には電流が流れず、フォトトランジスタ 5 6 0 b はオフされる。これにより、制御 IC 5 5 0 の入力端子 5 5 2 の電圧は、接地電圧 GND から上昇する。これに応じて、制御 IC 5 5 0 は、昇圧回路 5 0 0 の昇圧機能をオンする。

【 0 1 1 6 】

一方で、昇圧停止信号 S_{bs} が H レベルに設定されると、トランジスタ 5 7 0 がオンされることにより、フォトダイオード 5 6 0 a に電流が流れるのに応じて、フォトトランジスタ 5 6 0 b がオンする。これにより、制御 IC 5 5 0 の入力端子 5 5 2 には、接地配線 1 9 によって、接地電圧 GND が入力される。これに応じて、制御 IC 5 5 0 は、昇圧回路 5 0 0 の昇圧機能をオフする。

【 0 1 1 7 】

さらに、制御装置 1 e には、電圧異常検知回路 4 0 0 からの検知信号 F_{vc} に応じて作動する電圧低下回路 9 1 が設けられる。電圧低下回路 9 1 は、電源配線 1 1 0 および接地配線 1 2 0 の間に、トランジスタ 5 7 0 に対して並列に接続された N 型のトランジスタ 5 8 0 を有する。トランジスタ 5 8 0 のベース（制御電極）には、検知信号 F_{vc} が入力される。なお、制御装置 1 e においても、電圧異常検知回路 4 0 0 はラッチ回路 4 4 0 を有

10

20

30

40

50

するように構成される。

【0118】

電圧異常検知回路400がVcc異常を検知すると、検知信号FvcをHレベルに設定することにより、トランジスタ580がオンする。すなわち、電圧低下回路91の作動時には、昇圧停止信号SbsをHレベルに設定したときと同様に、制御IC550の入力端子552には、接地配線19によって接地電圧GNDが入力される。これにより、Vcc異常検知時には、昇圧回路500の昇圧機能をオフすることができる。

【0119】

昇圧回路500の昇圧機能がオフされて、電力変換回路2の入力電圧に相当する直流電圧Vdcが低下すると、同一電力を供給するために要する電流値が増加するため、トランジスタ15を流れる電流Icが増大する。たとえば、電源電圧Vdcが280Vから140Vに低下すると、Icは約2倍に増加する。

10

【0120】

これにより、電力変換回路2の制御IC60が、トランジスタ15を通過する電流Icの過電流を検知して、電力変換動作を停止する。この結果、電力変換回路2による電源電圧Vsの生成が停止されることにより、電源配線110から電圧レギュレータ40へ入力電圧が低下するので、電圧レギュレータ40から出力される電源電圧Vccが低下する。最終的には、マイクロコンピュータ300が動作不可となる電圧領域まで電源電圧Vccを低下させることができる。

【0121】

20

なお、スタンバイ動作時に昇圧停止信号SbsがHレベルに設定される際には、制御装置1eでの消費電力が小さい。このため、電源電圧Vdcが低下しても、電流Icが過電流検知レベルまで上昇することはなく、電力変換回路2による電力変換動作は継続される。

【0122】

このように、実施の形態4に従う制御装置1eでは、昇圧回路を具備する構成において、Vcc異常検知時には、電圧異常検知回路400からの検知信号Fvcに応じて昇圧回路500の昇圧機能を停止させることにより、マイクロコンピュータ300による処理を伴うことなく、マイクロコンピュータ300が動作不可となる電圧領域まで電源電圧Vccを低下させることができる。

30

【0123】

なお、図6では、昇圧停止信号Sbsに応じてオンするトランジスタ570とは別個に、検知信号Fvcに応じてオンするトランジスタ580を配置する構成を例示したが、昇圧停止信号Sbsおよび検知信号Fvcの論理和(OR)信号をトランジスタ570のベース(制御電極)に入力する回路構成とすれば、トランジスタ580の配置を省略することも可能である。このように、実施の形態4に従う制御装置1eでは、昇圧回路を具備する構成において、追加される回路素子を抑制した上で、Vcc異常検知時にマイクロコンピュータ300が動作不可となる電圧領域まで電源電圧Vccを低下させることができる。

【0124】

40

[実施の形態5]

実施の形態5では、ヒューズ素子を用いて電源電圧Vccを確実に低下させる回路構成について説明する。

【0125】

図6は、本発明の実施の形態5に従う制御装置の主要部の構成を説明するための回路図である。図6には、トランス20の二次側巻線23に接続される、電源配線110よりも後段側の構成が示される。なお、実施の形態5に従う制御装置において、電源配線110に対して電源電圧Vsを供給するための構成は任意である。たとえば、図1～図5と同様の電力変換回路2(または、電力変換器2および昇圧回路500)によって、電源電圧Vsを供給することができる。

50

【 0 1 2 6 】

図 6 を参照して、実施の形態 5 に従う制御装置では、ヒューズ素子 F S が、電源配線 1 1 0 に介挿接続される。すなわち、電力変換回路 2 によって電源配線 1 1 0 に出力された電源電圧 V s は、ヒューズ素子 F S を経由して、電圧レギュレータ 4 0 の入力 (N) ノードに供給される。

【 0 1 2 7 】

さらに、実施の形態 5 に従う制御装置には、ヒューズ素子 F S を溶断するための通電回路 3 5 0 が配置される。通電回路 3 5 0 は、抵抗素子 R f 0 ~ R f 2 と、 n p n 型トランジスタ Q f 1 とを有する。

【 0 1 2 8 】

抵抗素子 R f 1 , R f 2 は、電源配線 2 0 0 および接地配線 1 2 0 に直列に接続されて、電源電圧 V c c の分圧回路を構成する。抵抗素子 R f 0 およびトランジスタ Q f 1 は、電源配線 1 1 0 および接地配線 1 2 0 の間に、ヒューズ素子 F S に対して直列に接続される。

【 0 1 2 9 】

トランジスタ Q f 1 は、 n p n トランジスタにより構成される。トランジスタ Q f 1 のベース (制御電極) には、抵抗素子 R f 1 および R f 2 による電源電圧 V c c の分圧電圧が入力される。したがって、電源電圧 V c c の上昇に応じて、トランジスタ Q f 1 がオンする。

【 0 1 3 0 】

トランジスタ Q f 1 がオンすると、電源配線 1 1 0 からヒューズ素子 F S を経由して、接地配線 1 2 0 に至る通電経路が形成される。抵抗素子 R f 0 の電気抵抗は、当該通電経路の電流量がヒューズ素子 F S を溶断するのに十分なレベルとなるように設計される。

【 0 1 3 1 】

したがって、図 6 に示された通電回路 3 5 0 によれば、電源電圧 V c c が所定電圧よりも上昇したときに、 V c c 異常を検知してヒューズ素子 F S を溶断することができる。この所定電圧は、抵抗素子 R f 1 , R f 2 による分圧比によって調整できる。このように、通電回路 3 5 0 は、「電圧異常検知回路」および「電圧低下回路」の機能を併せ持つように構成されている。

【 0 1 3 2 】

実施の形態 5 における制御装置では、電源電圧 V c c が所定電圧よりも上昇したときに、通電回路 3 5 0 が、 V c c 異常を検知してヒューズ素子 F S を溶断する。これにより、電源電圧 V s の供給が遮断されることによって電源配線 1 1 0 から電圧レギュレータ 4 0 へ入力電圧が低下するので、電圧レギュレータ 4 0 が出力する電源電圧 V c c は低下する。最終的には、マイクロコンピュータ 3 0 0 が動作不可となる電圧領域まで、電源電圧 V c c を低下させることができる。特に、マイクロコンピュータ 3 0 0 による処理を伴うことなく、ヒューズ素子の溶断によって V c c 異常検知時にマイクロコンピュータ 3 0 0 の動作を確実に停止することができる。

【 0 1 3 3 】

[実施の形態 5 の変形例]

図 7 は、本発明の実施の形態 5 の変形例に従う制御装置の主要部の構成を示す回路図である。

【 0 1 3 4 】

図 7 を図 6 と比較して、実施の形態 5 の変形例では、電源電圧 V c c が低下したときにヒューズ素子 F S を溶断するための構成について説明する。

【 0 1 3 5 】

実施の形態 5 の変形例では、図 6 に示した構成と比較して、通電回路 3 5 0 に代えて通電回路 3 5 0 が設けられる。ヒューズ素子 F S は、図 6 の構成と同様に、電源配線 1 1 0 に介挿接続されている。

【 0 1 3 6 】

通電回路 350 は、トランジスタ Q_{f1} 、 Q_{f2} と、抵抗素子 $R_{f1} \sim R_{f6}$ とを有する。抵抗素子 R_{f0} および $n-p-n$ 型トランジスタ Q_{f1} は、図 5 の構成と同様に、電源配線 110 および接地配線 120 の間にヒューズ素子 F_S と直列に接続される。

【0137】

抵抗素子 R_{f1} および R_{f2} は、電源配線 200 および接地配線 120 に直列に接続されて、電源電圧 V_{cc} の分圧電圧をノード N_b に出力する。この分圧電圧は、抵抗素子 R_{f5} を経由して、 $p-n-p$ 型トランジスタ Q_{f2} のベース（制御電極）に入力される。

【0138】

抵抗素子 R_{f3} および R_{f4} は、電源配線 110 および接地配線 120 に直列に接続されて、電源電圧 V_{cc} を分圧した基準電圧 V_s をノード N_a に出力する。トランジスタ Q_{f2} は、 $p-n-p$ 型トランジスタで構成されて、ノード N_a および抵抗素子 R_a の間に接続される。

10

【0139】

$p-n-p$ 型トランジスタ Q_{f2} は、基準電圧 V_s に対して、電源電圧 V_{cc} の分圧電圧が低下するとオンする。 $p-n-p$ 型トランジスタ Q_{f2} のオンに応じて $n-p-n$ 型トランジスタ Q_{f1} がオンすることにより、ヒューズ素子 F_S を溶断するための通電経路が形成される。

【0140】

したがって、通電回路 350 は、電源電圧 V_{cc} が所定電圧よりも低下したときに、ヒューズ素子 F_S を溶断することができる。この所定電圧は、抵抗素子 R_{f1} 、 R_{f2} による分圧比および基準電圧 V_s によって調整できる。このように、通電回路 350 についても、「電圧異常検知回路」および「電圧低下回路」の機能を併せ持つように構成されている。

20

【0141】

実施の形態 5 の変形例における制御装置では、電源電圧 V_{cc} が所定電圧よりも低下したときに、通電回路 350 が、 V_{cc} 異常を検知してヒューズ素子 F_S を溶断する。これにより、マイクロコンピュータ 300 による処理を伴うことなく、 V_{cc} 異常（低下）時に、マイクロコンピュータ 300 が動作不可となる電圧領域まで、電源電圧 V_{cc} を確実に低下させることができる。

【0142】

なお、通電回路 350 および 350 を、ヒューズ素子 F_S に対して並列に接続する構成とすれば、電源電圧 V_{cc} の上昇および低下の両方に対応して V_{cc} 異常を検知して、ヒューズ素子 F_S の溶断によってマイクロコンピュータ 300 の動作を確実に停止することが可能となる。

30

【0143】

なお、本実施の形態 1～4 において、 V_{cc} 異常を検知するための構成は、例示した電圧異常検知回路 400 の構成に限定されるものではなく、電源電圧 V_{cc} の異常（上昇および/または低下）を検知可能であれば、任意の構成を適用することができる。

【0144】

また、本実施の形態の形態に従う制御装置は、複数の電源電圧が用いられる制御装置であれば、制御装置によって制御される負荷を特に限定することなく、電源電圧異常に対応してマイクロコンピュータを確実に停止させるための電源構成を適用することが可能である。

40

【0145】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0146】

50

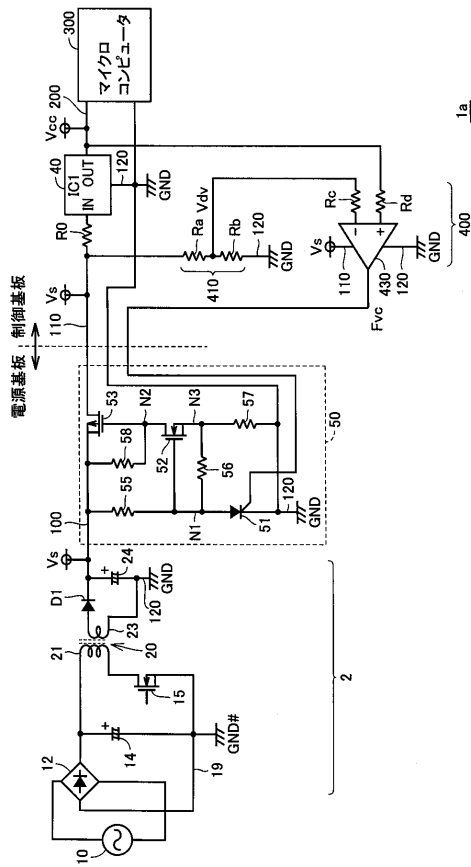
1 a, 1 b, 1 c, 1 d, 1 e 制御装置、2 電力変換回路、10 外部電源、12 ダイオードブリッジ、14, 24, 62, 502, 515 平滑コンデンサ、15, 52, 53, 71, 92 トランジスタ、16, 412, 512 電流検出抵抗、19, 120, 190 接地配線、20 トランス、21, 22 一次側巻線、23 二次側巻線、40 電圧レギュレータ、50 電圧遮断回路、51 サイリスタ、55~58, 64, 72, 83, 84, 94 抵抗素子、60 制御IC(電力変換回路)、61 ラッチ端子、63 制御入力端子、65, 100, 110, 200, 401, 501, 520 電源配線、70, 90, 91 電圧低下回路、75, 85, 560 フォトカプラ、75a, 85a, 560a フォトダイオード、75b, 85b, 560b フォトトランジスタ、80 Vs検出回路、82 シャントレギュレータ、300 マイコンコンピュータ、350, 350 通電回路、400 電圧異常検知回路、410 分圧回路、430 コンパレータ、440 ラッチ回路、500 昇圧回路、506 リアクトル、508 ダイオード(昇圧回路)、510 トランジスタ(昇圧回路)、550 制御IC(昇圧回路)、552 入力端子、570, 580 トランジスタ(昇圧機能停止用)、600 高圧負荷、D1, D2 ダイオード(電力変換回路)、FS ヒューズ素子、Fvc 検知信号、GND, GND 接地電圧、N1~N3, Na, Nb ノード、Qf1, Qf2 トランジスタ(通電回路)、R0 電流制限抵抗、Ra, Rb, Rc, Rd 抵抗素子(電圧異常検知回路)、Rf0~Rf6 抵抗素子(通電回路)、Sbs 昇圧停止信号、Vcc, Vd, Vdc, Vs 電源電圧、Vd, Vdc 直流電圧、Vdv 分圧電圧。

10

20

【図1】

図1



【図2】

図2

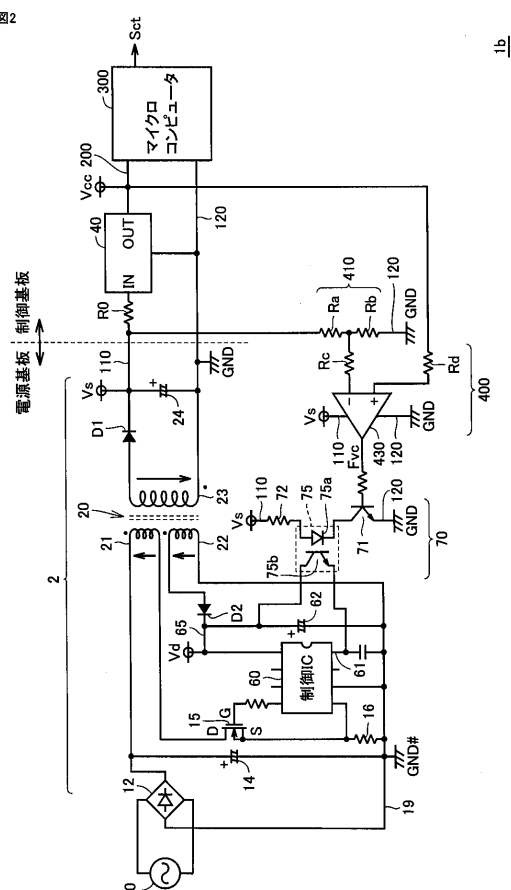


图3



图4



图5



图6



フロントページの続き

(72)発明者 長野 克則
兵庫県神戸市中央区江戸町 9 3 番地 株式会社ノーリツ内

(72)発明者 池田 亮
兵庫県神戸市中央区江戸町 9 3 番地 株式会社ノーリツ内

(72)発明者 ▲高▼田 昌樹
兵庫県神戸市中央区江戸町 9 3 番地 株式会社ノーリツ内

(72)発明者 久保 隆志
兵庫県神戸市中央区江戸町 9 3 番地 株式会社ノーリツ内

F ターム(参考) 5G004 AA04 AB03 BA08 CA04 DA04 DB01 DC14 EA01 FA01
5G053 AA12 BA04 CA01 EA01 EA09 EB03 EB05 EC04 FA07