

申請日期	P1. 5. 28
案號	P111 1316
類別	H01L 21/00

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	半導體裝置
	英文	Semiconductor device
二、發明人	姓名	1. 皮爾克爾斯多夫伐森 (Pierre Christophe FAZAN) 2. 塞古歐克候尼 (Serguei OKHONIN)
	國籍	1-2 瑞士
	住、居所	1. 瑞士摩吉斯 1110 杜卡洛茲大道 1 號 2. 瑞士洛桑 1005 裘利蒙特大道 2 號
三、申請人	姓名 (名稱)	1. 新矽股份有限公司 Innovative Silicon SA 2. 洛桑聯邦工科學大學 Ecole Polytechnique Federale de Lausanne(EPFL)
	國籍	1-2 瑞士
	住、居所 (事務所)	1. 瑞士洛桑 1015 洛桑聯邦工科學大學 PSE 2. 瑞士洛桑 1015 洛桑聯邦工科學大學 SRI
	代表人姓名	1. 皮爾伐森 (Pierre Fazan) 2. 迦比爾克勒克 (Garbiel Clerc)

I230392

承辦人代碼：
大類：
I P C 分類：

本案已向：

歐洲 國（地區） 申請專利，申請日期： 案號 ， 有 無主張優先權

1. 2001.06.18 01810587.4

2. 2002.03.28 02405247.4

3. 2002.04.18 02405315.9

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明（1）

本發明係關於一種半導體裝置，尤其是但又不限於使用 SOI(矽在絕緣體上)技術之 DRAM 記憶體裝置。為人所熟知之 DRAM 記憶體，其中的每一個記憶體單胞都是由一個電晶體和一個電容器所組成的，而儲存在 DRAM 中之資料的 2 位元 1 和 0，則是藉由每一個單胞電容器的充電和放電狀態表示。電容器的充電和放電係藉由對應電晶體的切換作控制，而其也控制儲存在單胞中之資料的讀取。此種裝置發表在美國專利第 3387286 號，而且將會被精於此項技術的人士所熟知。

結合 MOSFET(金氧半場效電晶體)型裝置之半導體裝置已廣為人知，而採用 SOI(矽在絕緣體上)之裝置則變得愈來愈可用。SOI 技術牽涉到載有被一層矽塗著之絕緣二氧矽層之矽基板的製備，其中個別的場效電晶體係藉由形成由相反極性摻雜矽之本體分隔之極性摻雜矽的源極和汲極區所形成的。

SOI 技術有缺點，因為各個電晶體的本體區係與下層之矽基板電性絕緣的，所以在某些狀況下，本體會發生放電。此會影響電晶體的電性能，而且通常是不想要的影響。通常採取多方面的量測可以避免此效應的發生，此詳細說明在由 Terukazu Ohno 等人發表在 IEEE Transactions on Electron Devices 1998 年 5 月第 45 期第 5 卷，一篇名為 a suppression of parasitic bipolar action in ultra thin film fully depleted CMOS/simox by Ar-ion implantation into Source/drain regions 之論文中。

五、發明說明（2）

美國專利第 4298962 號中也有說明已知的 DRAM 裝置，該 DRAM 係由許多單胞形成，每一個單胞都是由直接形成在矽基板上之 IGFET(絕緣閘極場效電晶體)所構成。此 DRAM 能使電荷載子從相反於位在源極或源極中之源極和汲極區極性的半導體雜質區注入，或是從矽基板注入電荷載子。

此已知之裝置有缺點，即其至少要有四個用以操作之終端接點(連接到汲極，源極和極性相反於基板之雜質區)，其會增加裝置的複雜性。此外，每一個單胞的記憶功能只有在外加電壓到電晶體源極和汲極時確保，此會影響裝置的可靠度，而儲存資訊的寫入，讀取和更新必須在所謂的穿透模式下執行，此會造成消耗大量的電能。

被揭露的美國專利第 5448513 號企圖使用 SOI 技術製造 DRAM 記憶體。在此已知的裝置中。每一個記憶體單胞都是由兩個電晶體所組成，其中之一係用以將資料寫入記憶體單胞，而另一則是用以讀取儲存在裝置中的資料。由兩個個別的電晶體組成每一個單胞的結果，就是每一個單胞需要 4 個用以操作之終端接點，此會增加裝置的複雜性，而且提供兩個電晶體的結果，就是增加每一個記憶體單胞所需的表面積。

本發明之優選實施例試圖克服上述習知技術之缺點。

根據本發明之方向，所提供之半導體裝置包含：

基板；

至少一個提供在該基板某一側上之資料儲存單胞，其中

五、發明說明（3）

每一個包含個別的場效電晶體之該資料儲存單胞，包含(i)源極；(ii)汲極；(iii)位在該源極和該汲極間之本體，而且適合至少暫時性保存產生在該本體中之淨電荷，使該淨電荷的量可以電應用到該電晶體的輸入訊號作調整；及(iv)至少一個鄰近該本體之閘極；及

電荷調整裝置，藉由在至少一個對應的該閘極和對應的該汲極之間，和在對應的該源極和該汲極之間，應用第一預定電壓訊號，至少可以消除部分因該輸入訊號對該淨電荷所作之調整。

本發明係基於產生且保留在電晶體本體中之多出電荷之前述不想要的特性，可以用以表示資料之驚人的發現。藉由提供可以將資料當作電荷儲存場效電晶體的本體中之半導體裝置，因為每一個資料單胞，例如，當該半導體裝置係 DRAM 記憶體時，就不再需要電容器，而可以只由單一電晶體組成，所以此提供一個優點，即可以提供遠高於習知技術層次之積體電路。此外，因為該電荷係產生在場效電晶體的本體中(提供源極或汲極之基板或雜質區的相對位置)，所以此提供另一個優點，即不需要製作特別的接點連接基板或雜質區，因此可以減少操作裝置所需之終端接點數。

在優選點施例中，該輸入訊號包含應用在至少一個對應的該閘極和對應的該汲極之間，和在對應該源極和汲極之間之第二預定電壓訊號。

該裝置可為記憶體裝置。

五、發明說明（4）

該裝置可為感測器，而且至少儲存在一個被使用的該本體中之電荷表示物理參數。

輸入訊號包含電磁輻射。

該裝置可為電磁輻射感測器。

該裝置還可包含至少部分覆蓋該基板之第一絕緣層，其中每一個該資料儲存單胞體提供在遠離該基板之該第一絕緣層的那一邊之上。

該裝置還可包含提供在至少一個的該本體和每一個對應的該閘極之間之個別的第二絕緣層。

在優選實施例中，至少一個的該電晶體包含許多在至少一個對應的該本體和對應的該第二絕緣層之間之介面附近，用以捕捉跟儲存在本體中之電荷載子極性相反的電荷載子之缺陷。

此提供能使儲存在電晶體本體中之電荷，因儲存電荷載子與被捕捉在介面附近而極性相反之電荷載子複合而減少之優點。在該介面附近的缺陷密度可在 10^9 和 $10^{12}/\text{cm}^2$ 之間。

該裝置還可包含資料讀取裝置，用以藉由在至少一個對應的該閘極和該汲極之間，和在該源極和該汲極之間，應用第三預定電壓訊號，使電流在至少一個的該資料儲存單胞之該源極和該汲極之間流動。

第一絕緣層可包含許多絕緣層。

至少一個的該資料儲存單胞適合儲存至少二個該電荷可辦別的階層。

五、發明說明（5）

在優選實施例中，至少一個的該資料儲存單胞適合儲存至少三個該電荷可辨別的階層。

此提供可以用表示資料儲存單胞中之資料有更多可辨別的電荷階層，儲存在各單胞中之資料可以有更多的位元之優點。例如，爲了表示 n 位元的資料，需要 2^n 辨別的電荷階層，結果，會產生高密度資料儲存裝置。

至少一個的該電晶體之汲極/本體電容可大於對應之源極/本體電容。

此提供可以減少應用到電晶體，以調整儲存在本體中電荷所需的電壓，然後改善裝置操作的可靠度之優點。

至少一個的該電晶體之本體，其在該汲極附近的摻雜密度可高於在該源極附近的摻雜密度。

在至少一個的該電晶體的汲極和本體之間之介面面積，可大於在源極和本體之間之介面面積。

共源極和/或汲極區可在該裝置鄰近的電晶體之間共用，此提供改善裝置可以小型化的程度之優點。

根據本發明的另一方向，提供一種將資料儲存在包含基板，和至少一個提供在該基板某一側上之資料儲存單胞之半導體元件中之方法，其中每一個包含個別的場效電晶體之該資料儲存單胞，包含 (i) 源極；(ii) 汲極；(iii) 位在該源極和該汲極之間之本體，而且適合至少暫時性保存產生在該本體中之淨電荷，使該淨電荷的量可以由應用到該電晶體的輸入訊號作調整；及 (iv) 至少一個鄰近該本體之閘極；該方法之步驟包含：

將第一預定電壓訊號應用在至少一個對應的該閘極和對應的該汲極之間，和在對應的該源極和該汲極之間，至少

五、發明說明（6）

部分消除該浮電荷因該輸入訊號輸入訊號所作之調整。

該方法還可包含：將第二預定電壓訊號應用在該資料儲存單胞至少一個的該閘極和對應的該汲極之間，和在對應的該源極和該汲極之間步驟。應用第二預定電壓訊號之步驟，可以藉由穿透效應調整保存在對應的該本體中之電荷。

此提供能使電晶體在非導通的狀態完成電荷調整之優點，其中只有電流係從電晶體的本體移除少數電荷載子。然後，此致使電荷調整操作只有非常低的功率消耗。此也提供可以將相當高的電荷儲存在電晶體的本體中之優點，因為本發明相信：電荷基本上係儲存在電晶體的整個本體之中，而不只是在第一絕緣層附近之部分的電晶體。結果，可以儲存表示幾個位元資料之電荷的幾個階層。

電荷可以藉由在至少一個的該閘極和對應的汲極之間電壓訊號的應用，使其在對應的本體和汲極之間之介面作調整，本體和汲極之價電帶和導電帶的變形，而使電子可以藉由穿透效應從價電帶注入到導電帶，造成在本體中多數載子的形成。該電荷可以藉由電子從價電帶穿透到至少一個的該場效電晶體之閘極而調整。

應用該第一預定電壓訊號之步驟，可包含：應用電壓訊號在至少一個的該閘極和對應的該汲極之間，使得至少會有一些儲存在對應本體中之電荷載子，會與在該本體中相反極性的電荷載子複合。

此提供儲存特殊電晶體本體之電荷，不用將電晶體切換成導通狀態就能調整，結果，電荷調整可以在非常低的功

五、發明說明（7）

率消耗下完成之優點。此特徵尤其是在含有大量電晶體之半導體元體的情形下特別有利，如個別的像素係由電晶體提供之檢光器。在原理下操作之過程稱為電荷激勵，而更詳細的說明係在由 Groeseneken 等人發表在 1984 年 IEEE Transactions on Electron Devices 第 31 期，第 42 頁到第 53 頁，一篇名為 A reliable approach to charge pumping Measurement in MOS transistors 之論文中，其提供其在非常低的電流階級下操作，致使可以根據該過程最小化裝置操作的功率消耗之優點。

該方法還可包含應用至少一個的該電壓訊號之步驟，其中該電壓訊號包含致使導通通道形成在源極和汲極之間之第一部份，其中通道含有電荷載子，其極性相反於儲存在該本體中之電荷載子；及防止通道形成，且使至少一些該儲存的電荷載子朝向已先被該通道佔領之位置遷移，而與該通道中極性相反於之前的電荷載子複合之第二部份。

該方法還可包含重複將至少一個的該電壓訊號應用在十分快速的單電荷調整操作步驟之步驟，在相反極性的該電荷載子完全遷移到該源極或該汲極之前，致使至少一些儲存在本體中之該電荷載子與相反極性的電荷載子複合。

現在將參考附圖說明發明的優選實施例，這只是當作舉例，而沒有任何限制的意思，其中

第 1 圖為用在本發明半導體裝置之 MOSFET 型 SOI 電晶體之第一實施例的示意圖；

第 2 圖為應用到第 1 圖的電晶體，以根據第一種方法，

五、發明說明（8）

在電晶體的本體中產生正電荷之電脈衝時序；

第 3 圖為應用到第 1 圖的電晶體，以根據第一種方法，在電晶體的本體中產生負電荷之電脈衝時序；

第 4 圖為對於正向充電，不充電和負向充電之電晶體的本體，第 1 圖之電晶體的源極—汲極電流對閘極電壓的關係圖；

第 5a 圖為用在本發明半導體裝置之第二實例的 SOI MOSFET 電晶體之示意圖；

第 5b 圖為說明第 5a 圖之電晶體在應用閘極電壓時，對電晶體的價電帶和導電帶的影響；

第 6a 圖到第 6c 圖為本發明用以消除儲存在第 1 圖的電晶體本體中之正電荷的第一種方法；

第 7a 圖到第 7d 圖為本發明用以消除儲存在第 1 圖的電晶體本體中之正電荷的第二種方法；

第 8 圖為用在本發明半導體裝置之第三實例的 SOI MOSFET 電晶體之示意圖；

第 9 圖為用在本發明半導體裝置之第四實施例的電晶體閘極，源極和汲極區之示意圖；

第 10 圖和第 11 圖為第 1 圖之電晶體的多重充電階級；

第 12 圖為根據第 6 圖和第 7 圖所完成的第 1 圖之電晶體的多重充電階級；

第 13 圖為本發明所用之部 DRAM 記憶體裝置和含有第 1，5，6，7，8 或 9 圖之電晶體之示意圖；

第 14 圖為本發明另一實施例之部分 DRAM 記憶體裝置

五、發明說明（9）

和含有第 1，5，6，7，8 或 9 圖之電晶體之示意圖；

第 15 圖為第 14 圖之部分 DRAM 記憶體裝置之平面圖；

第 16 圖為第 15 圖中沿著線 A-A 之橫截面圖；

第 17 圖為與 DRAM 性能相較之積性電路處理器性能的發展圖；及

第 18 圖為本發明所用之感光器和含有第 1，5，6，7，8 或 9 圖之電晶體之示意圖。

首先參考第 1 圖，NMOS SOI（絕緣體上之矽）MOSFET（金氧半場效電晶體）包含以二氧化矽層 12 塗著之的矽晶圓 10，晶圓 10 和層 12 構成基板 13。形成在基板 13 上之層 14 係由以雜質摻雜而在 n 型材料上形成源極 18 之矽島 16，與二氧化矽的之蜂巢式絕緣結構 24 在一起之 p 型材料本體 20 和 n 型材料汲極 22 所構成的，該蜂巢式結構可以被許多島 16 填滿。源極 18 和汲極 22 延伸穿過整過矽層 14 的厚度。絕緣膜 26 形成在本體 20 之上，而摻雜之半導體材料的閘極 28 則提供在介電質膜 26 上。用以製造第 1 圖電晶體之生產製程步驟，化學成分和摻雜摻雜條件將會被精於此項技術的人士所熟知，同時其也由 A.J.Auberton-Herve 更詳細地發表在 1996 年 IEDM 之 ASOI: Materials to Systems 研討會中。此篇論文還揭露此種電晶體因為本體 20 係浮動電性之事實，所以會造成電性上的不穩定性，因此其可以獲得電荷，此取決於應用到電晶體之電壓脈衝序列。

示於第 1 圖之電晶體，精於此項技術的人士將此種電晶

五、發明說明（10）

體稱之為"部分空乏型"（PD），其中空乏區（即在相對極性形式的半導體之間形成接面之區域，而且此區域並無自由電荷載子）並沒有佔據整個矽層 14 的厚度。

現在參考第 2 圖，爲了要在第 1 圖 NMOS 電晶體的本體中產生正電荷，先將閘極電壓 V_g 和汲極電壓 V_d ，以源極電壓起始化爲零。在時間 t_0 ，使閘極電壓爲 $-1.5v$ ，而在時間 $t_0+\Delta t_0$ （其中 Δt_0 可以大於，小於或等於零），使汲極電壓 V_d 爲 $-2V$ ，而源極電壓仍然爲零。藉由將負電壓脈衝應用到閘極，而將更負的電壓脈衝應用到汲極，使負電荷集中形成在閘極 28 附近的本體 20 中，而正電荷則集中形成在絕緣層 12 附近的本體中。在此同時，會在本體 20 之中形成連結源極 18 和汲極 22 之傳導通道，以允許電子在源極 18 和汲極 22 之間傳導。此允許電子自源極 18 和汲極 22 之間傳導。此允許電子自源極 18 和/或汲極 22 引進該通道。

如第 2 圖所示，相對於源極，汲極 22 爲負電壓之應用，會因在源極附近的撞擊離化而產生電子—電洞對。累積在浮動本體中之電洞會產生正電荷。

然後，在時間 t_1 ，汲極電壓 V_d 回到零，而在時間 $t_1+\Delta t_1$ ，閘極電壓 V_g 回到零，以移除在源極 18 和汲極 22 之間之傳導通道，時間區間 t_1-t_0 典型在幾個奈秒和幾十個奈秒之間，而 Δt_1 則爲 1 奈秒的階次。藉由應用正汲極電壓脈衝，也可在本體 20 中產生正電荷，此取決於源極，汲極和閘極彼此相對之電壓。爲了要在本體中產生正電

五、發明說明 (11)

荷，汲極電壓必須先閘極電壓切回零。

現在參考第 3 圖，藉由在 t_0 時將閘極電壓 V_g 增加到 $+1V$ ，而源極和汲極電壓則保持在零，然後在時間 $t_0 + \Delta t_0$ 時，汲極電壓 V_d 減少到 $-2V$ ，而源極電壓則保持在零，就可在本體 20 之中產生負電荷。然後分別在時間 t_1 和 $t_1 + \Delta t_1$ ，使閘極電壓 V_g 和汲極電壓 V_d 成爲零，其中 Δt_1 可以爲正或負（或零）。相對於應用到源極 18 和汲極 22 的電壓，閘極 28 爲正電壓之應用，會在源極 18 和汲極 22 之間再次導致通道的形成，此與參考第 2 圖之上述多出正電荷形成的情形相同。應用到閘極 28 之正電壓也可以在閘極 28 附近產生集中在本體 20 中之負電荷，而正電荷則集中在本體遠離閘極 28 的部分，即毗鄰絕緣層 12。

將負電壓應用到汲極 22 的結果，使得本體一汲極接面爲順向偏壓，此結果會使電洞自本體 20 之外傳導到汲極 22。此效應爲會在本體 20 之中產生多出的負電荷。此處應該注意，在這些偏壓條件之下，藉由撞擊離化所產生的電洞是相當微弱的。或者，可以將正電壓脈衝應用到汲極和閘極，結果，本體一源極接面爲順向偏壓，而電洞則自本體移至源極。同理，不用在本體 20 中產生負電荷，而改以儲存在本體中之正電荷也可以被移除。

現在參考第 4 圖，汲極電流 I_d 與應用的閘極電壓 V_g 有關，圖示汲極電壓爲 $0.3V$ 時的此種關係，由線 34，36，和 38 分別表示具有正或負多出電荷，或零多出電荷之本體 20。因此可以藉由將校正電壓應用到閘極 28 和汲極 22

五、發明說明（12）

及藉由量測汲極電流 I_d ，知道有可能可以決定本體 20 是否是帶正電荷或負電荷，或是否不帶電。此現象可以致使第 1 圖的電晶體被用以當作資料儲存單胞，不同的帶電層次表示資料是在高準位和低準位狀態，或是某些要被量測的物理參數，此將更詳細的說明於下。

參考第 5a 圖，其中與第 1 圖之實施例共同的部分以相像的參考數字表示，但是加 100，圖示 SOI 電晶體的另一實施例，其中電晶體係藉由穿透效應使正電荷儲存在其本體 120 之中。第 5a 圖之電晶體係藉由一連串將會被精於這些技術的人士熟知之微影製程，摻雜和蝕刻操作所製造的。電晶體係以具有 10^{18} 原子/cm³p 型雜質密度之本體 120 和 10^{21} n 型原子/cm³ 之汲極 122 的 $0.13\mu\text{m}$ 技術所製作的。絕緣層 126 具有 2nm 階次之厚度。

爲了要操作第 5a 圖之電晶體，源極保持在 0V，閘極電壓 V_g 爲 -1.5V，而汲極電壓 V_d 則爲 +1V。示於第 5b 圖之價電帶 B_v 和導電帶 B_c 被扭曲的結果，會在本體 120 和汲極 122 的接面造成穿透效應。這些能帶的曲褶可以藉由 1MV/cm 階次之電場達成，其會造成電子由汲極 122 引出，而相關的電洞則留在本體 120 之中。此物理現象被稱爲 AGIDL（閘極引發的汲極漏電流），例如，其被更詳細的說明在由 Chi Chang 等人發表在 1987 年 IEDM 技術摘要，第 714 頁之 A Corner Field Induced Drain Leakage in Thin Oxide MOSFETS 的論文中。

對於參考第 1 圖到第 3 圖之說明，第 5a 圖之帶電操作

五、發明說明（13）

具有在帶電過程為電子因穿透效應而自本體 120 引出期間，才有電流流動之優點。結果，帶電操作只消耗非常低的功率。再者，此處已發現：可儲存在本體 120 中之電荷，比起先前的方法所得的高很多（大約是多 2 倍）。本發明相信這是電荷儲存遍及整個本體 120 之體積，而不只是儲存在本體 120 毗鄰絕緣層 112 的部份之結果。

本發明將會被精於此項技術之人士所瞭解，參考 NMOS 電晶體說明之第 5a 圖的過程，也可以應用到 PMOS 電晶體，其中閘極電壓為正，汲極電壓為負，及電洞由汲極引出，而電子則被捕捉住。

現在參考第 6a 圖到第 6c 圖，其中與第 1 圖之實施例共同的部份以相像的參考數字表示，但是加 200，其說明移除儲存在電晶體本體 220 中之電荷的過程。電晶體的本體 220 和絕緣膜 226 要藉由幾個原子層厚，提供缺陷形成位置，使與逮捕電子之介面 230 分隔是很重要的。

爲了要移除儲存在本體 220 中之電荷，將示於第 6a 圖上部之週期性訊號應用到閘極，對第 6a 圖之即使說明係以插入的箭頭圖示。開始時，將 0V 的電位應用到源極 218 和汲極 222，然後再將 0.8V 的電位應用到閘極 228。此具有在介面 230 產生傳導通道 232 之效應，而且電子自源極 218 和/或汲極 222 引入通道 232。將正電壓應用到閘極 228 的結果，就是通道 232 具有高密度的電子 234，其中有些被缺陷捕捉在介面 230。

當 -2.0V 的電壓被應用到閘極 228 時，如第 6b 圖所示

五、發明說明（14）

，通道 232 就會消失，但是束縛電子 234 仍然留在介面 230 之中。此外，應用到極 228 的電壓容造成電洞 236 朝向介面 230 遷移，使它們與束縛電子 234 複合。如可以在第 6c 圖看到的，當具 0.8V 電壓的另一個週期開始應用到閘極 228 時，又再一次形成通道 232。但是，與示於第 6a 圖的情形相較，電洞 236 的數自己減少。

介面 230 最好具有 10^9 和 10^{12} 每 cm^2 之間之缺陷密度，此密度和移除形成表示在裝置性能之間可接受的折衷之儲存電荷的粒子之振盪需求數，係受限於缺陷數目和被捕捉電子數的幫助。脈衝期間典型約為 10ns，上升和下降時間為 1ns 之階次。此處也應該注意到某種電晶體，其也有可絕緣層 212 附近的源極 218 和汲極 222 之間形成通道。在此種情形下，電荷載子的複合條件稍有不同，但是操作原理一般是一樣的。

第 7a 圖圖示一和第 6a 圖到第 6c 圖結構相同之電晶體，但是其能使儲存電荷比使用在介面 230 之電荷複合之第 6a 圖到第 6c 圖的案例更快速地減少，但不會有電子被束縛在缺陷。第 7a 圖圖示電晶體在開始電荷減少處理之前之狀態，本體 220 具有多出的電洞 236。如第 7b 圖所示，藉由應用正電壓，例如 0.8V，到閘極 228，而源極和汲極則保持在 0V，在介面 230 會產生通道 232。通道 232 包含多出的電子 234，其取決於應用到閘極 228 之正電壓，因為電子係從源極 218 和/或汲極 222 引入通道 232，所以自由電子 234 的數量遠超過出現在本體 220 之電洞 236 的

五、發明說明（15）

數量。

如第 7c 圖所示，其圖示可以藉由將應用到閘極 228 之訊號的極性快速地反轉，例如從 0.8V 到 -2.0V，在 10^{-12} 秒階次的時間內，在包含在本體 220 中的電洞 236 抵達先前被通道 232 佔用的空間之前，位在通道 232 中的電子 234 沒有時間遷移。電洞 236 和電子 234 在本體 220 的內部複合，而在源極和汲極之間沒有電流流動，但是多出電子 234 朝向源極 218 和汲極 222 遷移。在此情形下，在非常短的時間週期之後，所有儲存電荷的電洞 236 都被複合，如第 7d 圖所示。

爲了要達成要被用在半導體裝置之上述處理的切換速度需求，有必要儘可能減少電路和控制線的電阻和寄生電容。在記憶體的案例中，此會限制每條線和每行的電晶體數。但是，此限制可以藉由大量的增加儲存電荷移除的速度而顯著地補償。

參考第 6 圖和第 7 圖說明之電荷移除過程，可以藉由提供非對稱性源極/汲極接面，以在汲極側給予較大的接面電容而增強。在參考第 1 圖到第 3 圖說明之裝置中，可以觀察到：爲了要確保以電荷層級表示之資料狀態的快速寫入（即在幾個奈秒內），需要使用相當高的電壓，但是因爲可靠度的問題，所以這些電壓因裝置最佳化而需要減少。

第 8 圖圖示電晶體的另一個實施例，其中減少移除儲存在電晶體本體中之電荷所需的電壓。在帶電本體放電期間，將脈衝應用到電晶體的汲極和閘極，使得本體/源極或

五、發明說明（16）

本體/汲極接面是在順向偏壓。結果，當電晶體被切換到傳導狀態時，多數載子自帶電的浮動本體移除，以減少通道中的電流（參見第4個）。

浮動本體的電位可以藉由調整應用到電晶體接點的電壓而改變，或是藉由改變本體/源極和/或本體/閘極電容而改變。例如，若電晶體汲極的電位，相較於源極為正，則浮動本體的電位可以藉由增加汲極和浮動本體之間的電容而使其更正。在示於第8圖的裝置中，MOSFET的汲極和源極具有不同的摻雜縱深。尤其，在汲極附近有形成 P^+ 摻雜區，其可導致汲極和浮動本體之間的電容增加。此可以藉由先只在汲極側上增加佈植，然後在形成源極和汲極佈植區之前，將此佈植擴散而製作。另一種方法係藉由使用不同幾何形狀的汲極和源極，增加汲極和浮動本體之間的電容耦合，如第9圖所示。

參考第5圖到第9圖說明之改善的充電和放電技術，可致使達成在電晶體的未帶電和最高帶電狀態之間有很大的電流差。例如，在參考第1圖到第3圖所揭露的裝置中，最大和最小電荷狀態之間的電流差與典型為裝置寬度的5到 $20\mu A/\mu m$ 。對於 $0.13\mu m$ 技術而言，其中會使用0.2到 $0.3\mu m$ 的典型電晶體寬度，此意味著可用約為1到 $6\mu A$ 之電流差。至少需要 $1\mu A$ 的電流才能感測藉由帶電狀態表示之資料。

參考第5圖到第9圖所揭露之充電和放電裝置，提供高達 $110\mu A/\mu m$ 之電流差。對於具有0.2到 $0.3\mu m$ 寬度的裝置

五、發明說明 (17)

而言， $110\mu\text{A}/\mu\text{m}$ 的訊號可用，意思就是可以達成每個裝置 22 到 $33\mu\text{A}$ 的電流差。當 $1\mu\text{A}$ 足以偵測時，就可以知道：在單一電晶體本體中可以儲存好幾個階層的電荷。

因此，可以儲存多位元的資料，例如，如第 10 圖所示。第 10a 圖圖示一簡單的裝置，其中可用兩個階層，而且可以儲存 1 個位元的資料。空第 10b 圖和第 10c 圖中，在最大和最小的充電階層之間的狀態中，可以儲存多位元的資料。例如，要能夠儲存 2 個位元的資料，需要 $3\mu\text{A}$ 的總電流窗，而每個裝置儲存 3 個位元，需要 $7\mu\text{A}$ 。對於 $33\mu\text{A}$ 之總電流窗，可以在相同的電晶體中儲存對應 32 個階層的 5 個位元。在此將會明瞭；藉由儲存由數個資料位元所組成的資料字元，相對於單一資料位元，使用此種技術可以大量增加半導體記憶體的儲存容量。

第 11 圖圖示脈衝充電操作對時間的關係。藉由產生起始的 "0" 狀態，然後重複地寫入 "1" 脈衝，或是藉由從最高的狀態開始，然後重複地寫入 "0" 脈衝，就可以達成不同階層之間的充電。另一種可能就是使用不同的寫入脈衝，以得到不同的狀態，例如，可以藉由改變寫入脈衝的振幅和週期，得到特別的階層。

另一種可圖示在第 12 圖，其圖示使用參考第 6 圖和第 7 圖說明之電荷泵原理之可達成的階層。在每一個脈衝之後所移除的電荷量都會造成電流減少 ΔI_s ，而且藉由改變電荷泵脈衝的數量，就可以得到各種不同的階層。

如上面所指出的，可以使用電晶體，本體的電荷狀態產

五、發明說明 (18)

生半導體記憶體裝置，資料"高準位"狀態係以在本體 20 上之正電荷表示，而資料"低準位"狀態則以負電荷或零電荷表示。儲存在電晶體中的資料可以藉由比較電晶體的源極一汲極電流和未帶電的參考電晶體，自記憶體裝置讀取。

根據此原理操作之 DRAM (動態隨機存取記憶體) 裝置圖示於第 13 圖。DRAM 裝置係由資料儲存單胞矩陣所形成的，每一個單胞都由示於第 1, 5, 6, 7, 8 或 9 圖之該種場效應電晶體所組成的，每一列的電晶體源極都連接在一起，而每一行的電晶體閘極和汲極也都接連在一起，電晶體 32_{ij} 對應位在第 i 行和第 j 列之電晶體，在第 13 圖中凸顯電晶體 32_{22} 。電晶體 32_{ij} 的閘極 28，源極 18 和汲極 22 被分別連接導電軌道 40_i ， 42_i 和 44_j 。導電軌道 40，42 和 44 連接到控制單元 46 和讀取單元 48，精於此項技術之人士將熟悉其結構和操作。源極係經由讀取單元 48 接地，或可連接到結定的固定電位。

下面將說明示於第 13 圖之記憶體裝置的操作。

開始時，所有的閘極 (軌道 40) 都在 $-2V$ ，而所有的汲極 (軌道 44) 和源極 (軌道 42) 則保持 $0V$ 。爲了要將狀態"1"的資料位元寫入電晶體 32_{ij} ，所有與 i 行不同之軌道 40 仍保持在 $-2V$ ，而使軌道 40_i 爲 $-1.5V$ 。在軌道 40_i 的電位爲 $-1.5V$ 的時間期間，所有與 j 列不同之軌道仍保持在 $0V$ ，而使軌道 44_j 爲 $-2V$ 。如上參考第 2 圖之所述，此過程會在電晶體 32_{ij} 的本體中產生正電荷，此正電荷表示狀態"1"之單一資料位元。然後使軌道 44_j 的電位回到 $0V$ ，

五、發明說明 (19)

接著使軌道 40_i 的電位回到 $-2V$ 。

爲了要將態 "0" 的資料位元寫入電晶體 32_{ij} ，要根據下列條件：所有的閘極開始時都保持在 $-2V$ ，而所有的源極和汲極則都保持在 $0V$ ，使軌道 40_i 的電壓爲 $+1V$ ，其他的軌道 40 保持在 $-2V$ 。在軌道 40_i 的電位爲 $+1V$ 的期間，除了 j 列之外的所有軌道 44 都保持在 $0V$ ，但使軌道 44_j 的電位爲 $-2V$ 。此會在電晶體的本體中產生淨負電荷，然後使軌道 44_j 的電位回到 $0V$ 。接著使軌道 40_i 的電位回到 $-2V$ 。

爲了讀取電晶體 32_{ij} 的資訊，使與 i 行不同之軌道 40 的電壓爲 $0V$ ，但軌道 40_i 則保持在 $1V$ ，然後使與 j 列不同之軌道 44 的電壓爲 $0V$ ，但軌道 44_j 則保持在 $+0.3V$ 。如第 13 圖所示，此能致使在軌道 44_j 之上要被決定的電流，其係在電晶體 32_{ij} 的本體中之電荷的表現。但是，藉由應用 $0.3V$ 之汲極電壓，此也可以提供不像傳統 DRAM 裝置，自電晶體 32_{ij} 讀取資料，電晶體 32_{ij} 不用放電之優點。換言之，因爲自資料儲存單胞讀取資料之步驟不破壞儲存在單胞中的資訊，所以資料更新（即重寫入電晶體 32_{ij} ）不需像習知技術一樣頻繁。

但是，精於此項技術之人士將會明瞭：電荷遷移且與相反符號之電荷複合之結果，儲存在電晶體 32_{ij} 的本體中之電荷會隨時間衰減，該時間取決於一些因素，包含裝置溫度，或輻射或粒子的出現，如撞擊電晶體之光子。此進一步之應用將更詳細地說明於下。

在參考第 13 圖說明的記憶體單元中，每一個資料儲存

五、發明說明（20）

單胞都是藉由位在絕緣蜂巢式結構 24 中之電晶體 32 所形成的。鄰近電晶體之源極和汲極，分別位在相同列的兩個相鄰電晶體之汲極和源極的附近。第二實施之 DRAM 裝置示於第 14 圖，其中與第 13 圖之實施相同的部分以相同的參考數字表示。在第 14 圖之實施例中，對於每一列的電晶體而言，除了那些位在終端的電晶體之外，每一個電晶體都將其汲極和源極區與其相鄰的電晶體分享。此幾乎能使軌道 42 之數目和在軌道 44 上之接點的數目減少 2 倍。

第 14 圖和第 15 圖之 DRAM 裝置的橫截面圖示於第 16 圖，該圖係沿著第 15 圖之線 A-A 所取的。該裝置包含含有矽晶圓 10 和絕緣層 12 之基板 13，如第 1 圖所示，其中源極 18，本體 20 和汲極 22 形成在絕緣層 12 之上。介電質膜 26 提供在本體 20 之上，而且朝向閘極 28 的側面延伸。閘極藉由軌道 40 相互連接，而源極 18 則藉由軌道 42，經由個別的柱狀物 50 相互連接，軌道 40，42 在垂直第 16 圖的紙面上之方向，彼此相互平行延伸。汲極 22 藉由在垂直軌道 40，42 的方向上延伸，且在第 16 圖中只圖示一個之軌道 44，經由個別的柱狀物 52 相互連接。

正如將會被精於此項技術之人士熟悉的，爲了要週期性更新內含在記憶體裝置之單胞中的資料，交替執行讀取和寫入操作，對於在討論中在讀取時所檢測的部分電荷會被補充在電晶體之中。更新的頻率典型的範圍係從 1ms 到 1 秒，而更詳細的說明則提供在書碼爲 ISBN0-78036014-1 之 DRAM circuit design 一書中。

五、發明說明（21）

除了上述使用電晶體本體的充電建構 DRAM 記憶體裝置之外，充電過程也可以應用到其他型式之記憶體，如 SRAM（靜態隨機存取記憶體）。一種特殊的應用是隱藏式 SRAM 的應用。在現代的微處理器（MPU）中，示於第 17 圖之 DRAM/MPU 性能落差已迫使 MPU 製造商將一些記憶體加到 MPU 之中。此種記憶體稱為隱藏式記憶體。例如，Intel 486 處理器使用 8k 位元組的隱藏式記憶體。此種記憶體被用以儲存 MPU 經常需要的資訊。在現代的奔騰（Pentium）處理器之中，已加入高達 256k 位元組的二階隱藏式記憶體，以保持其性能。根據產業趨勢，次世代處理器（例如，10GHz 奔騰處理器）將需要具有 8 到 32M 位元組之隱藏式記憶體密度之三階隱藏式記憶體。

此種記憶體之前已由 6 個電晶體的 SRAM 單胞（6T）提供。該種單胞典型佔用 100 到 $150F^2$ 之面積，此面積相當的大，其中 F 係最小特徵尺寸。應用上述之電荷儲在觀念，1T（1 個電晶體）單胞可以取代 6T 電晶體單胞。整合邏輯技術，共可以佔用 10 到 $15F^2$ 之面積，此比之前的小 10 倍。這是非常重要的，因為實際製造時，幾 10 個 M 位元組的 6T SRAM 單胞需要很大的晶粒尺寸。

如上所指出的，儲存在電晶體本體中之電荷也可以表示一些量測的物理參數，例如光輻射的入射。第 18 圖為採用本發明之 CMOS 影像感測器。

迄今之影像感測器已被製成具有感測裝置之矩陣，每一個影像感測器都提供一個當作開關之 MOS 電晶體。為了

五、發明說明（22）

要將包含在各像素中之資訊升壓，像素本身也提供一內建的放大器。此種像素稱為主動像素感測器（APS），而典型包含幾種裝置：典型具有 1 個光感測電容器和 4 個電晶體之光閘極 APS。光二極體 APS 典型具有 1 個光感測二極體 3 或 4 個電晶體。在這些 APS 裝置之中，進入的光入射在電路上（有時會透鏡），然後打在裝置的感測組件上。然後完整週期可以允許累積藉由進入的光輻射所產生之電荷，而且產生幾個 ms 或幾十個 ms 之電訊號。然後將此訊號放大並讀取。該矩陣結構類似於記憶體矩陣結構，典型的像素尺寸約為 $400F^2$ ，其中 F 為技術最小特徵尺寸。

在示於第 18 圖的裝置中，其有可能可以產生具有與光感測組件和放大器相同時間作用之單一電晶體之全像素。為了達成此作用，類似於上述之 DRAM 的應用，在矩陣裝置中有放置 SOI 電晶體。進入的光可以來自頂端或底部（在此第二種情形下，SOI 技術的有利特徵係可以局部移除感測器矩陣中在埋入的氧化物下之矽基板，以提供易於從背面照光之選擇）。

操作感測器，需要有重置操作，重置操作係由自浮動本體移除多數載子（在 NMOS 電晶體的案例中為電洞）所構成的。對 NMOS 裝置，在 DRAM 的應用中，此意味著會將所有的裝置置於稱為 0 的狀態。正如參考第 1 圖到第 3 圖之說明，此重置操作可以藉由電洞的撤離，尤其是可以藉由參考第 6 圖和第 7 圖說明之電荷激勵技術而達成。當已完成重置時（典型為 $1\mu s$ ），然後光在裝置的本體中產生電子電洞對。少數載子透過接面被移除，而多數載子則

五、發明說明（23）

累積在本體中，其可以允許電荷統合。資訊之讀取類似上述之 DRAM 記憶體。此種裝置可達成之像素面積可以和 $4F^2$ 一樣小，或是比習知技術之裝置小 100 倍。這些影像器可以用在各種不同的應用上，如攜帶式錄影機，數位照像術，薄金屬板凸輪，PC 照像機，行動電話，指形印刷確認等等。

精於此項技術之人士將會瞭解：上面之實施例已藉由只是舉例但不是侷限任何觀念之方式說明，而各種不同的變化例和修正例可能並沒有脫離本發明藉由附錄申請專利範圍所定義之範圍。例如，參考 NMOS 電晶體說明之過程也可以應用到 PMOS 電晶體，在此案例中，儲存電荷係負電荷，即由電子形成，而在通道中的自由粒子係電洞。在該案例中，通道係藉由將負電位應用到閘極所產生的。此外，在某種 SOI 電晶體中，基板也可以當作閘極。在該案例中，絕緣層執行介電質膜的功能，而通道則形成在本體和絕緣層的介面。此外，本發明可以應用到 JFET（接面場效電晶體）技術和上述之 MOSFET 技術。

符號之說明

10	矽晶圓
12	二氧化矽層
13	基板
14	矽層
16	矽島
18	源極
20	本體
22	汲極
24	絕緣結體
26	絕緣膜

五、發明說明 (24)

28	閘極
32	電晶體
110	矽晶圓
112	絕緣層
114	矽層
118	源極
120	本體
122	汲極
124	絕緣結構
126	絕緣層
128	閘極
210	矽晶圓
212	二氧化矽層
218	源極
220	本體
222	汲極
226	絕緣體
228	閘極
230	介面
232	通道
234	電子
236	電洞
40	軌道
42	軌道
44	軌道
46	控制單元
48	讀取單元
50	柱狀物
52	柱狀物

四、中文發明摘要（發明之名稱： 半導體裝置)

本發明揭露一種半導體裝置，如記憶體裝置或輻射偵測器，其中資料儲存單胞係形成在基板 13 之上。每一個資料儲存單胞都含具有源極 18，汲極 22 和閘極 28，及位在源極和汲極之間的本體之場效電晶體，用以儲存產生在本體中之電荷。在本體 22 中之淨電荷的量可以藉由應用到電晶體的輸入訊號作調整，而且藉由輸入訊號調整淨電荷，可以至少部分消除應用電壓訊號在閘極 28 和汲極 22 之間，和在源極 18 和汲極 22 之間所引起之調整。

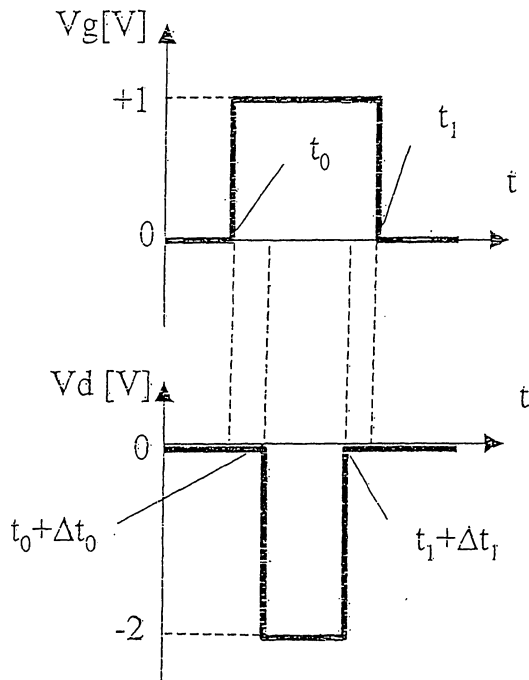
(第 1 圖)

英文發明摘要（發明之名稱：

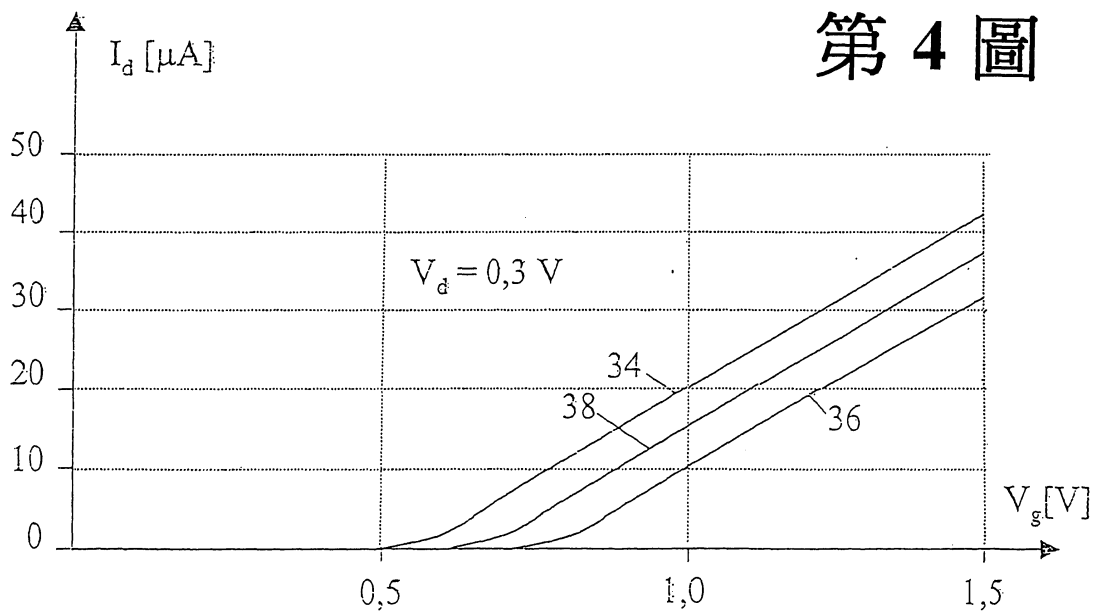
Semiconductor device)

A semiconductor device, such as a memory device or radiation detector, is disclosed, in which data storage cells are formed on a substrate 13. Each of the data storage cells includes a field effect transistor having a source 18, drain 22 and gate 28, and a body arranged between the source and drain for storing electrical charge generated in the body. The magnitude of the net electrical charge in the body 22 can be adjusted by input signals applied to the transistor, and the adjustment of the net electrical charge by the input signals can be at least partially cancelled by applying electrical voltage signals between the gate 28 and the drain 22 and between the source 18 and the drain 22.

(Figure 1)

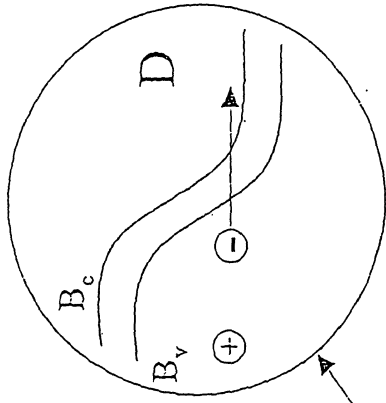


第 3 圖

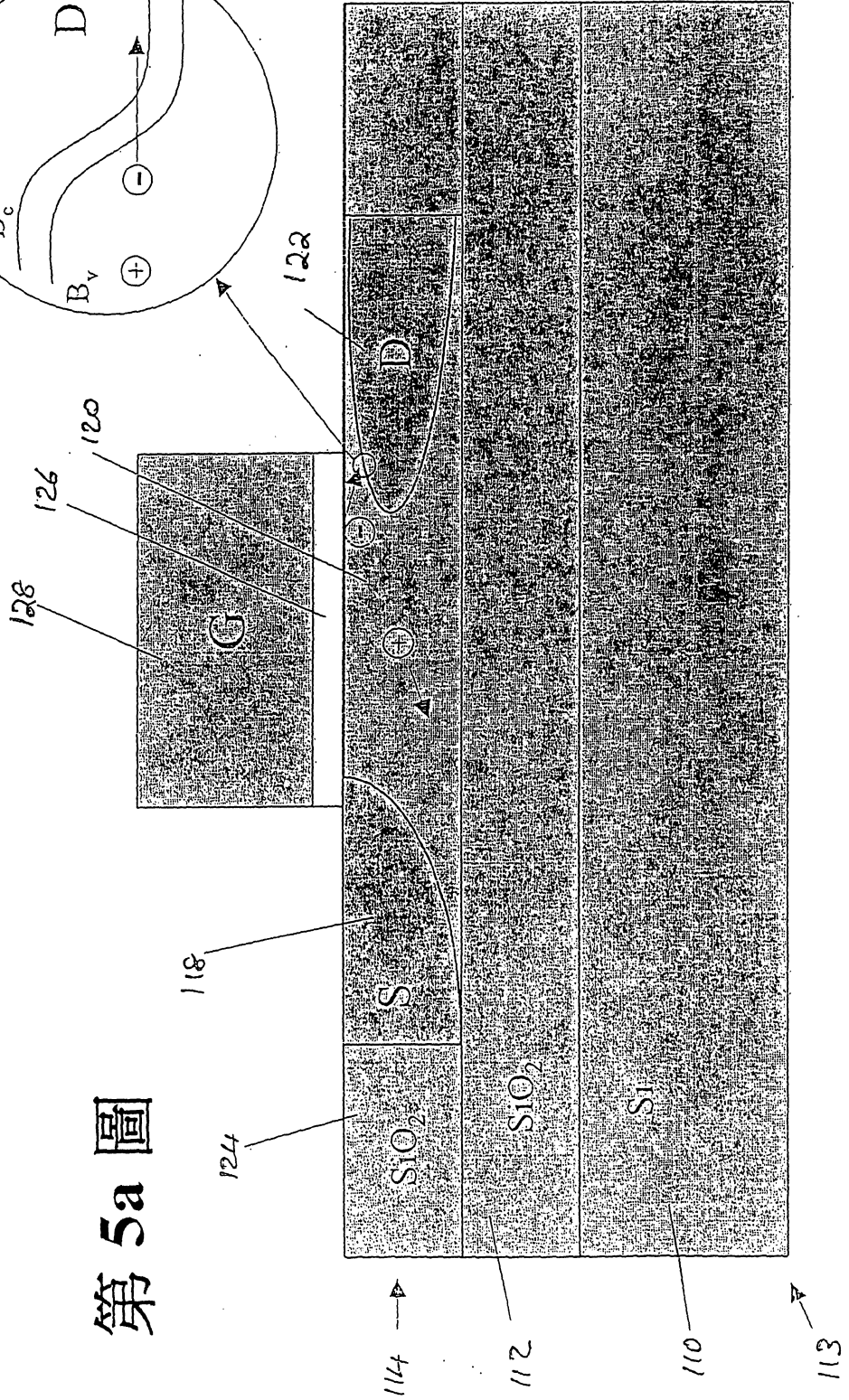


第 4 圖

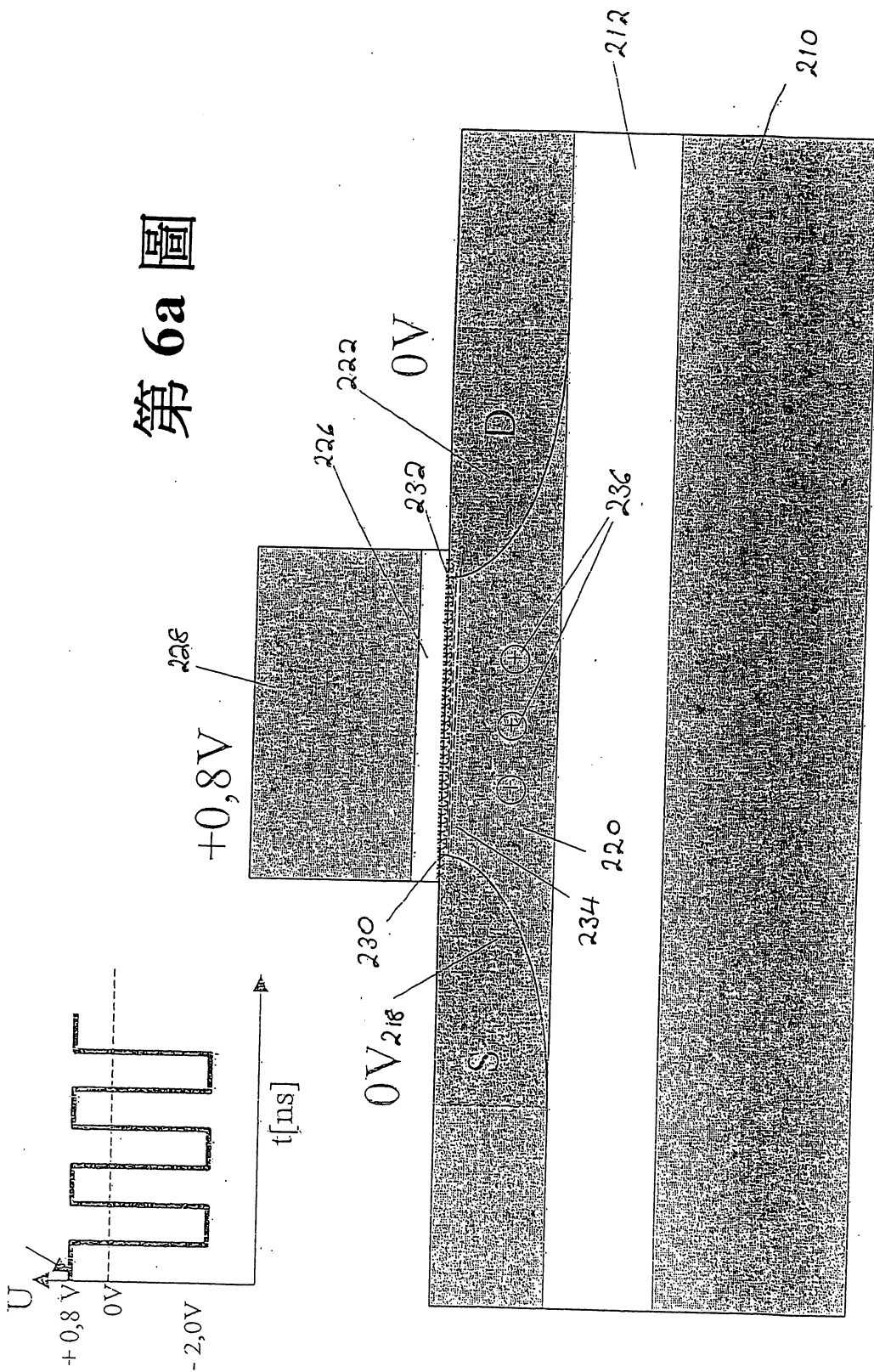
第 5b 圖



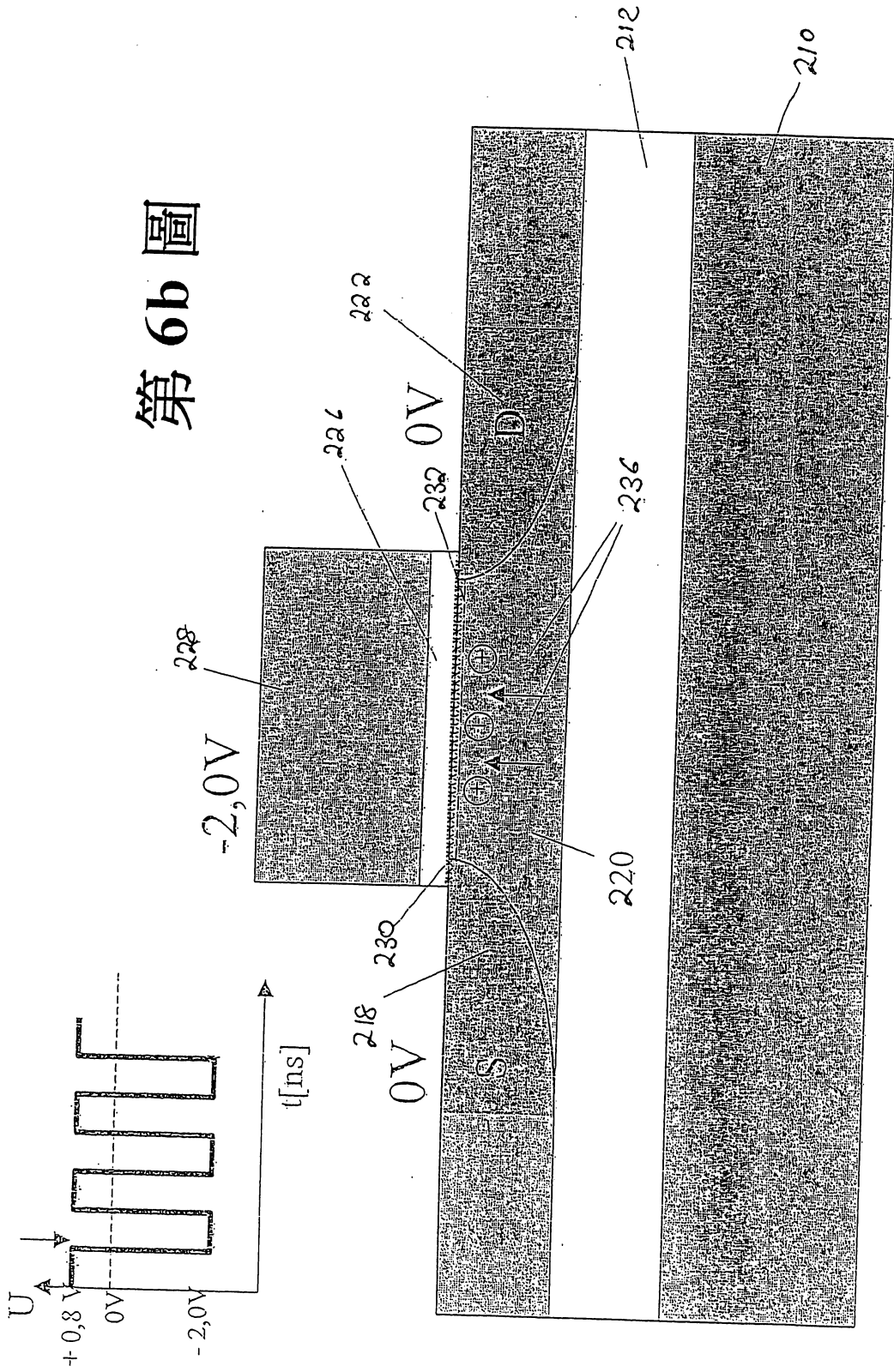
第 5a 圖



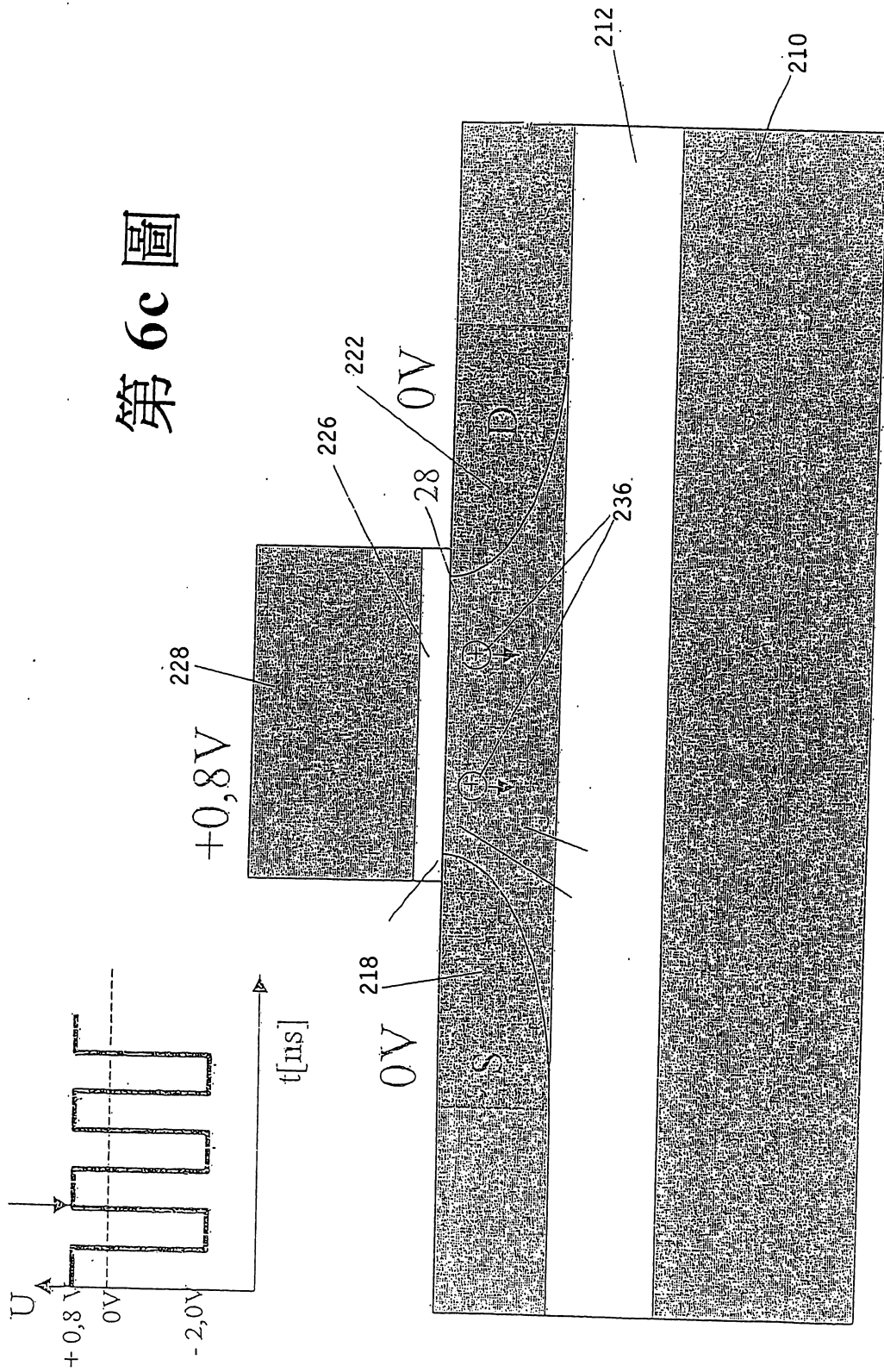
第 6a 圖

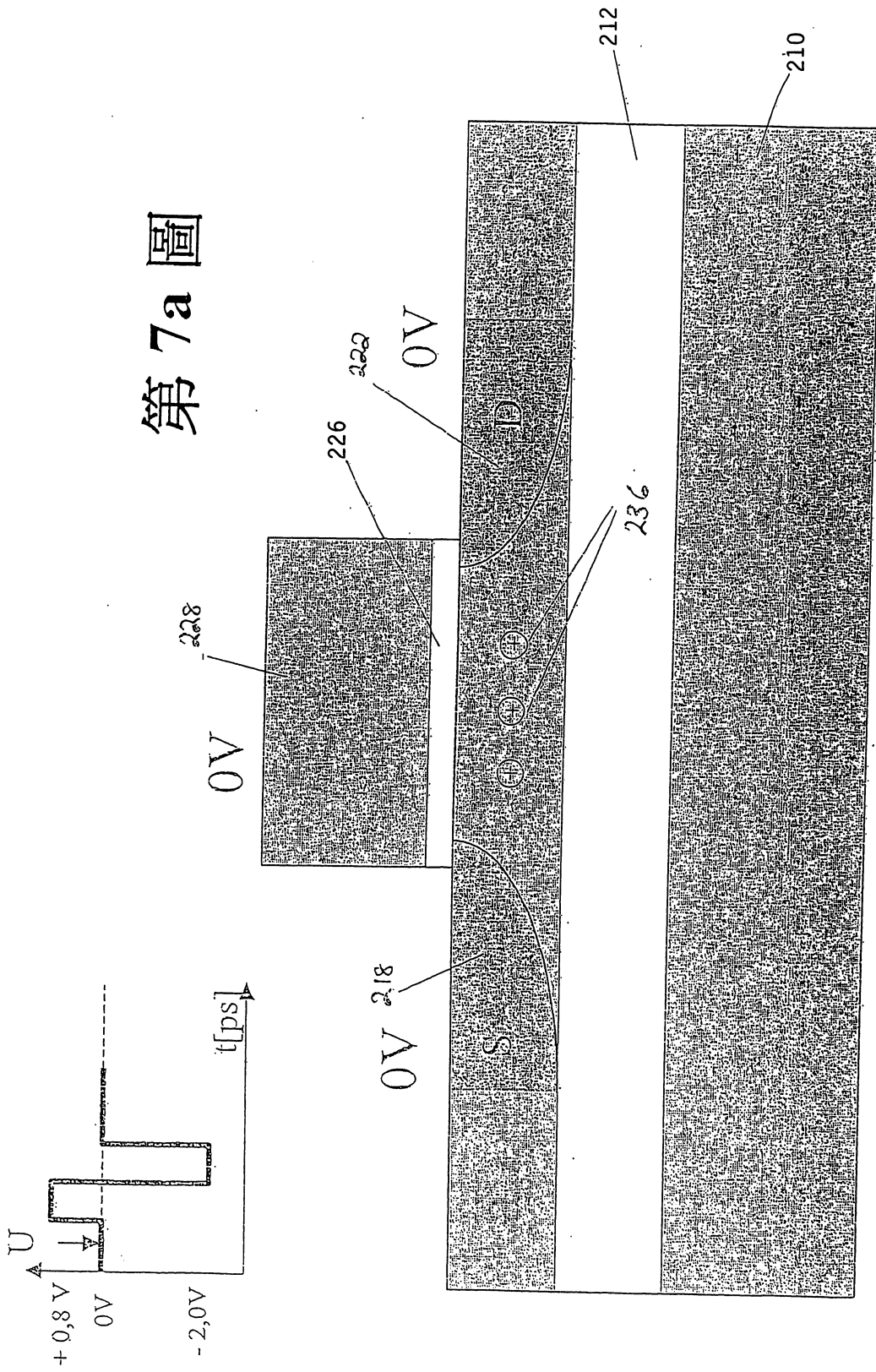


第 6b 圖



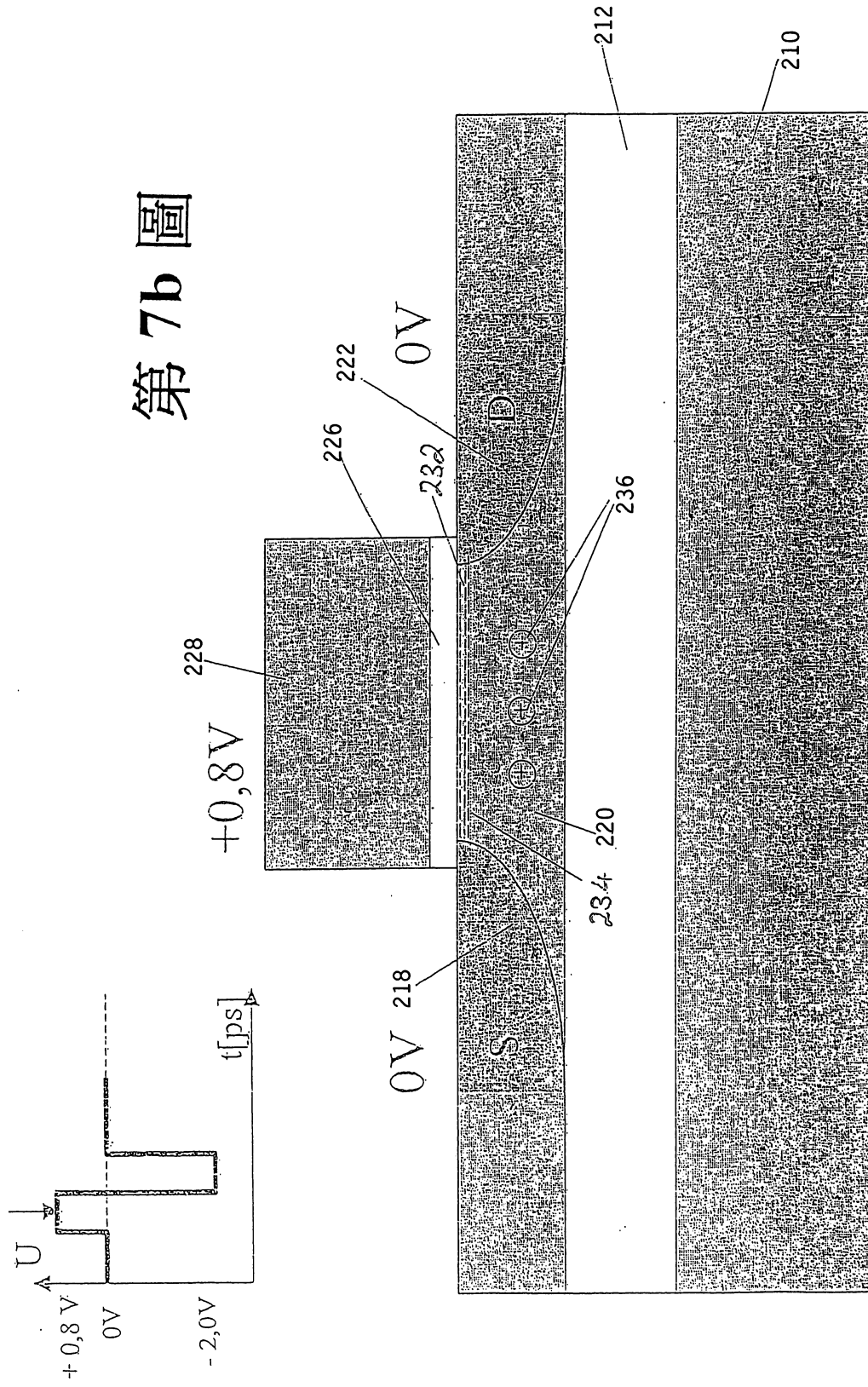
第6c圖



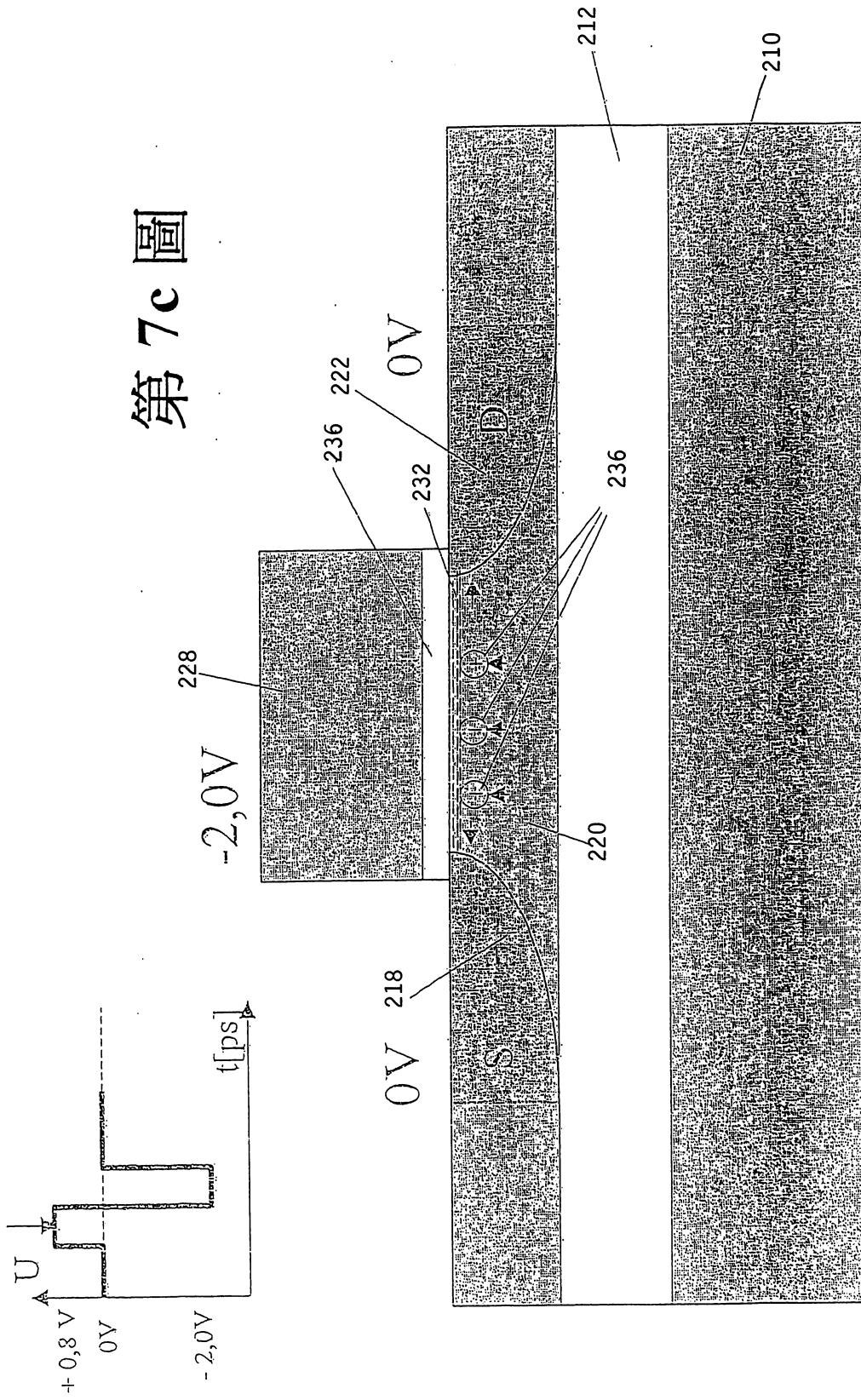


第7a圖

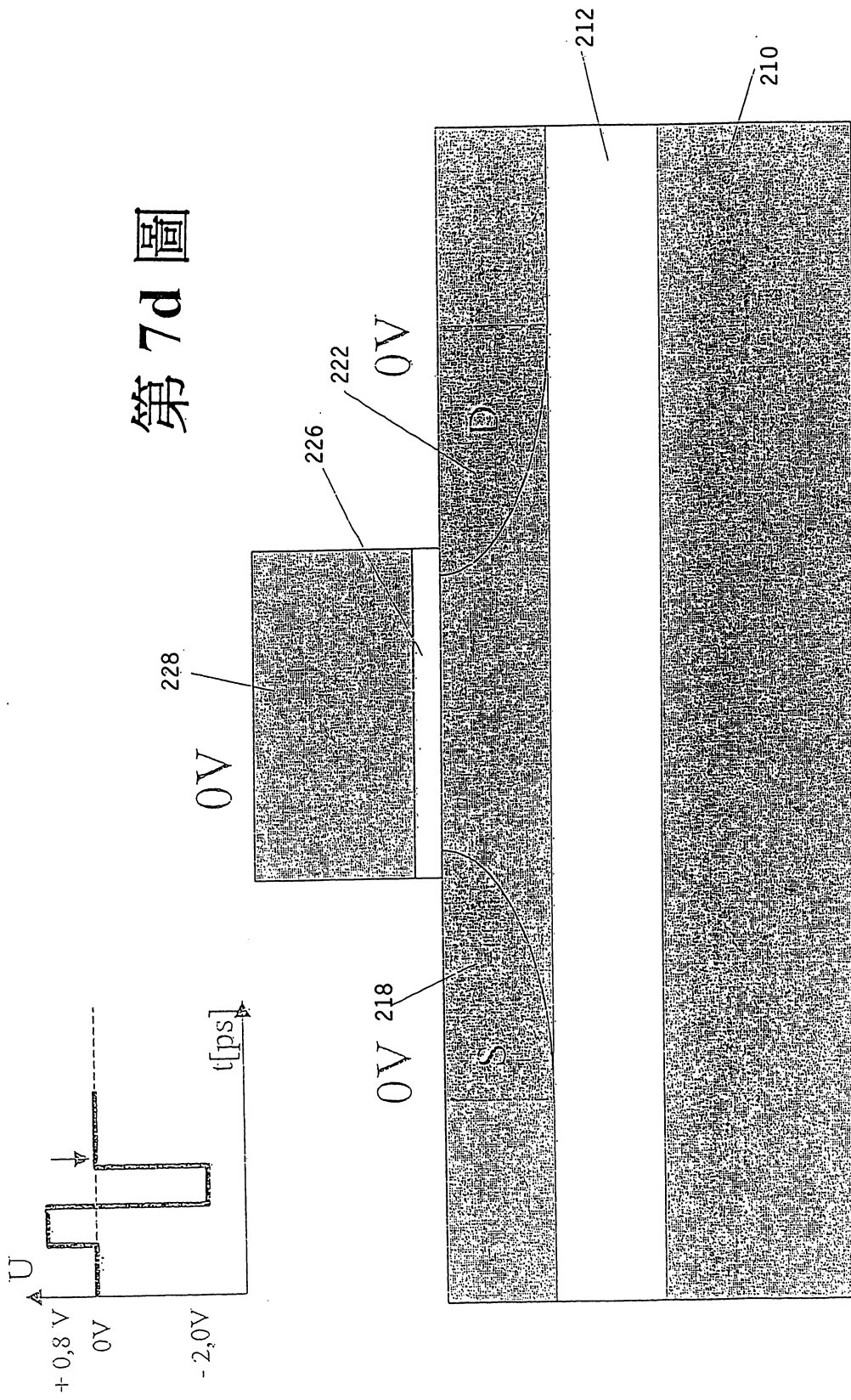
第 7b 圖



第7c圖

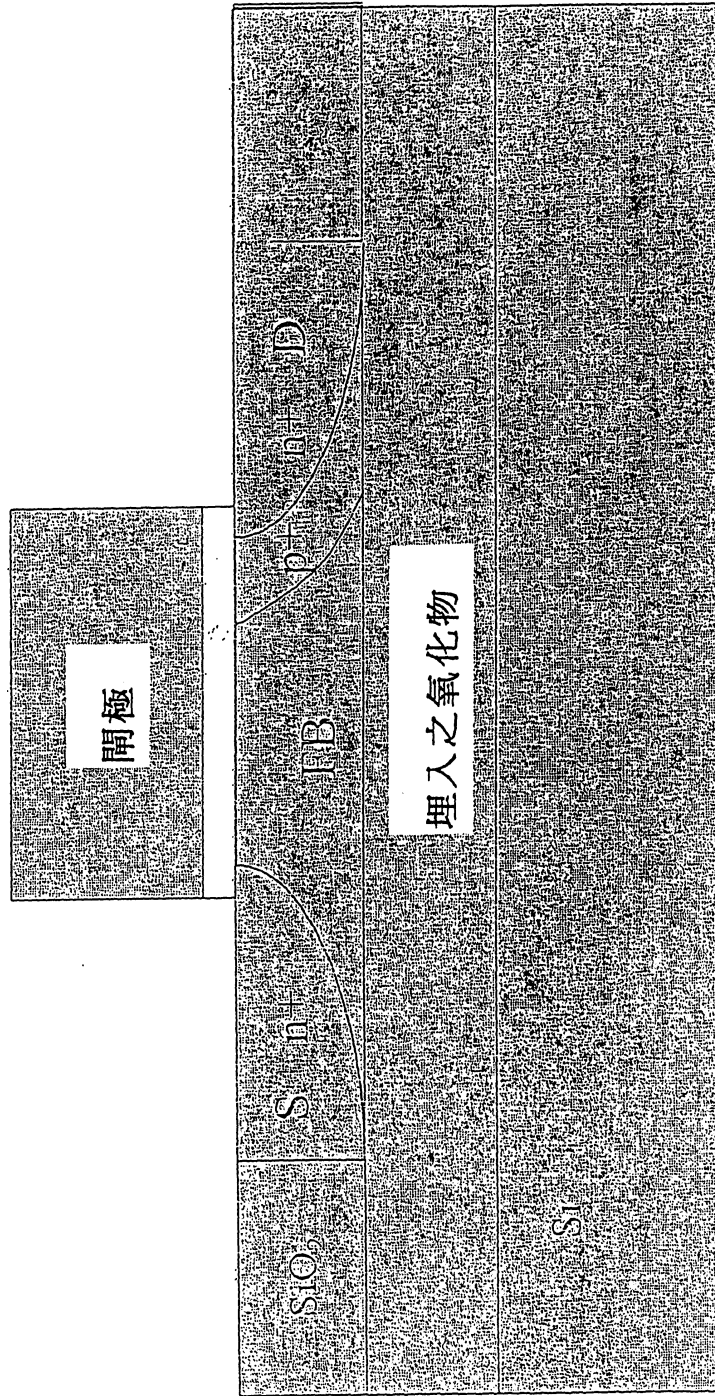


第7d圖

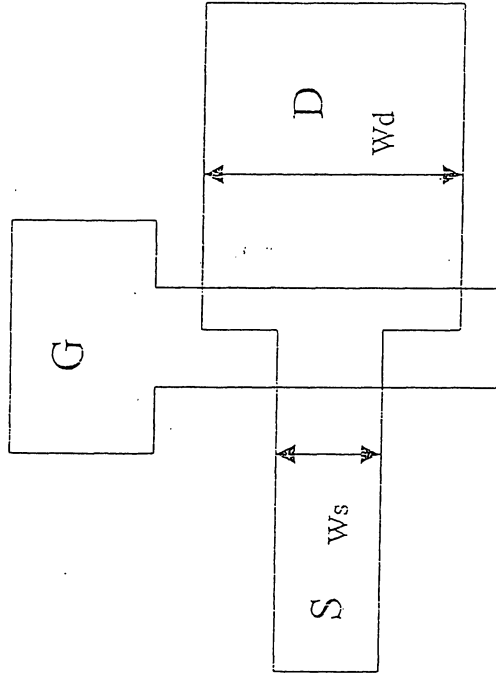


第 8 圖

PD-SOI NMOS

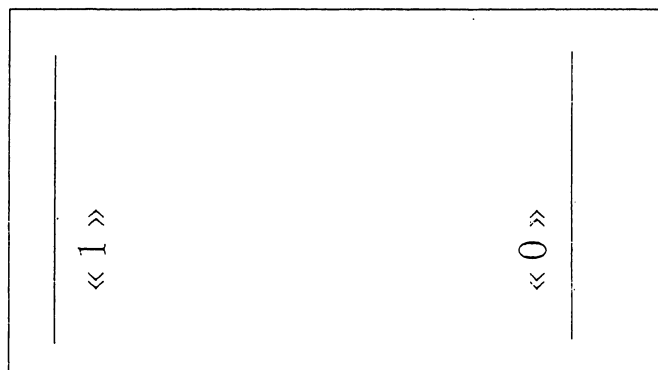


第9圖



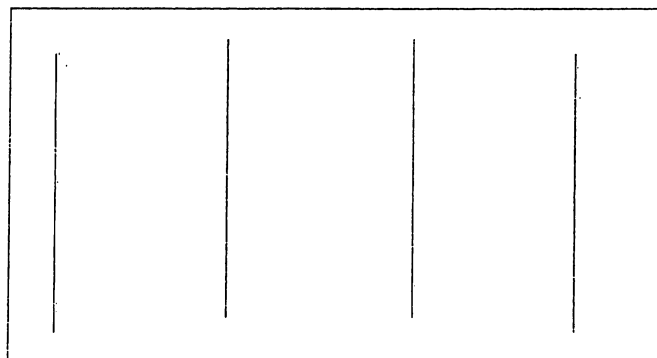
第 10 圖 二進位及多階層記憶體

二進位記憶體

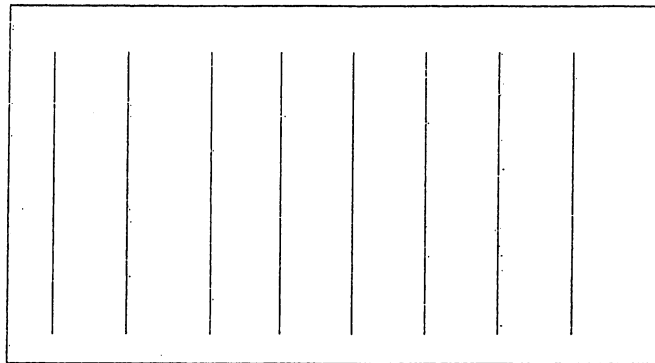


a)

多階層記憶體



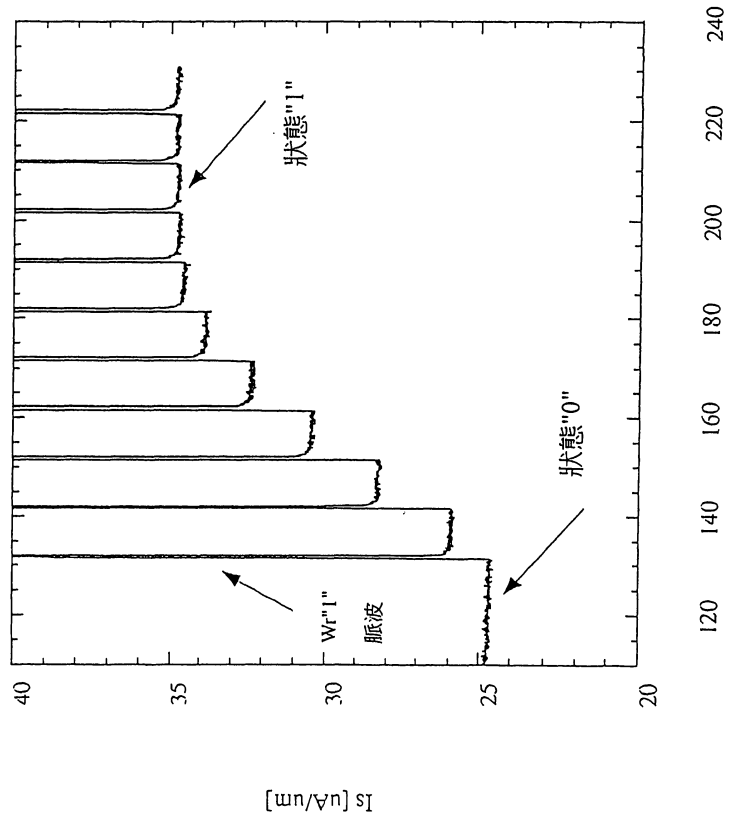
b)



c)

第 11 圖

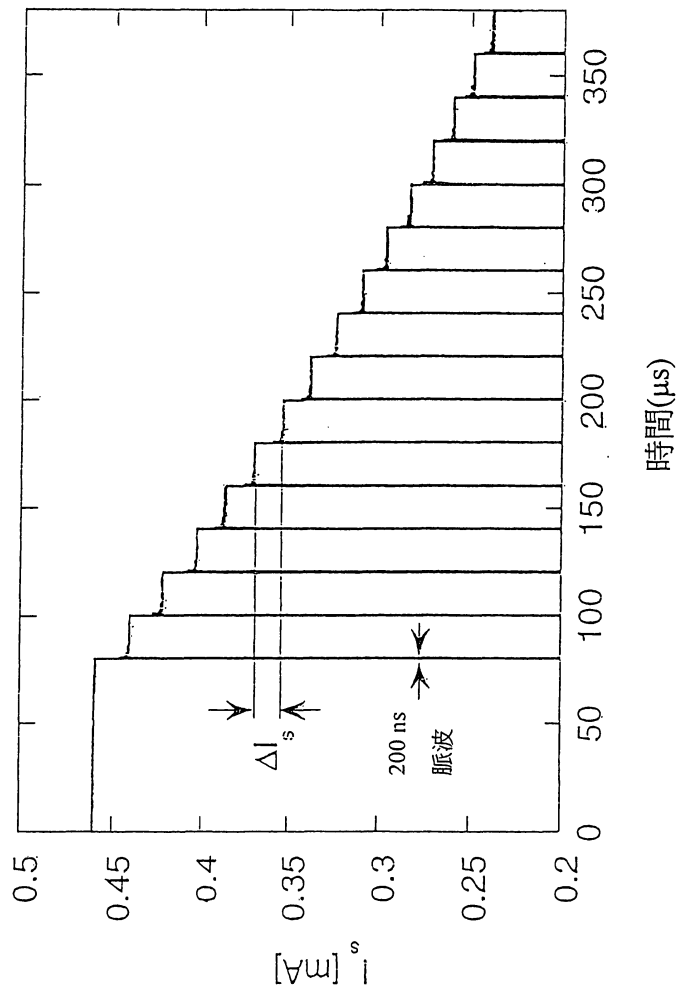
以 1T 1R1C1 DRAM 所實現之多階層的實例



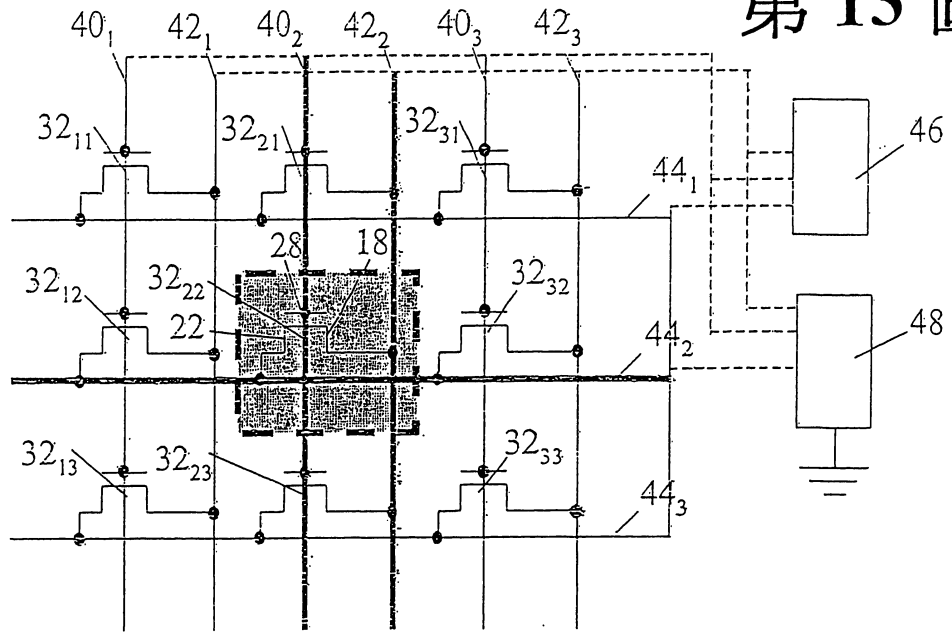
時間(μs)

第 12 圖

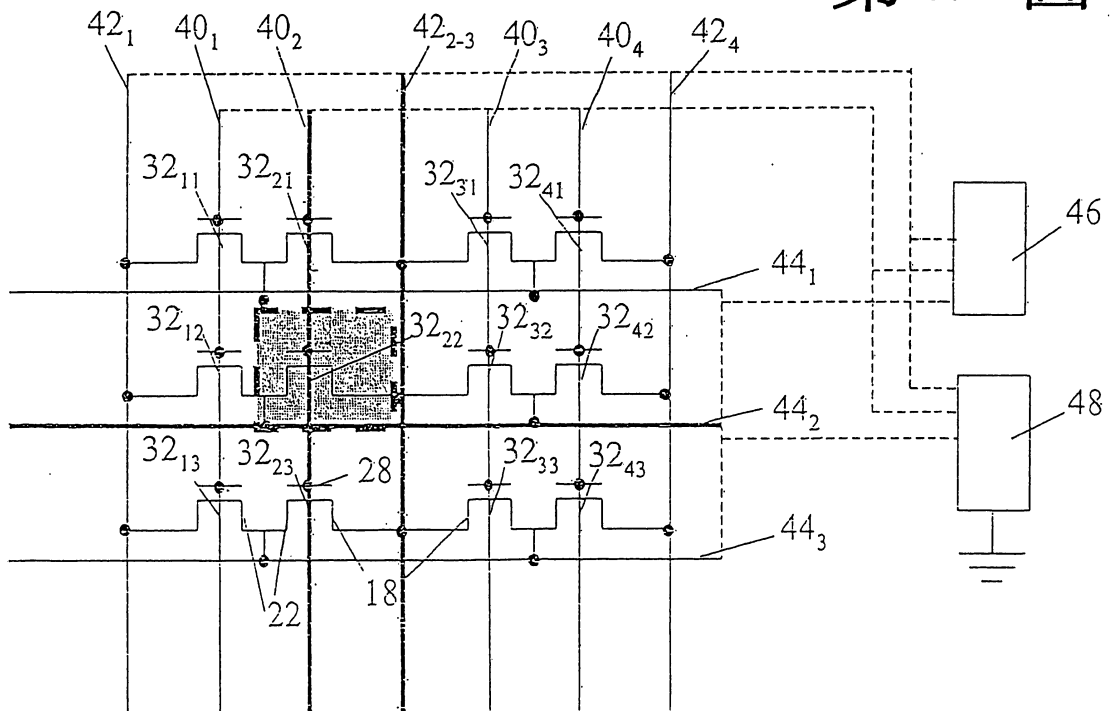
以電荷泵機制所實現之多階層的實例

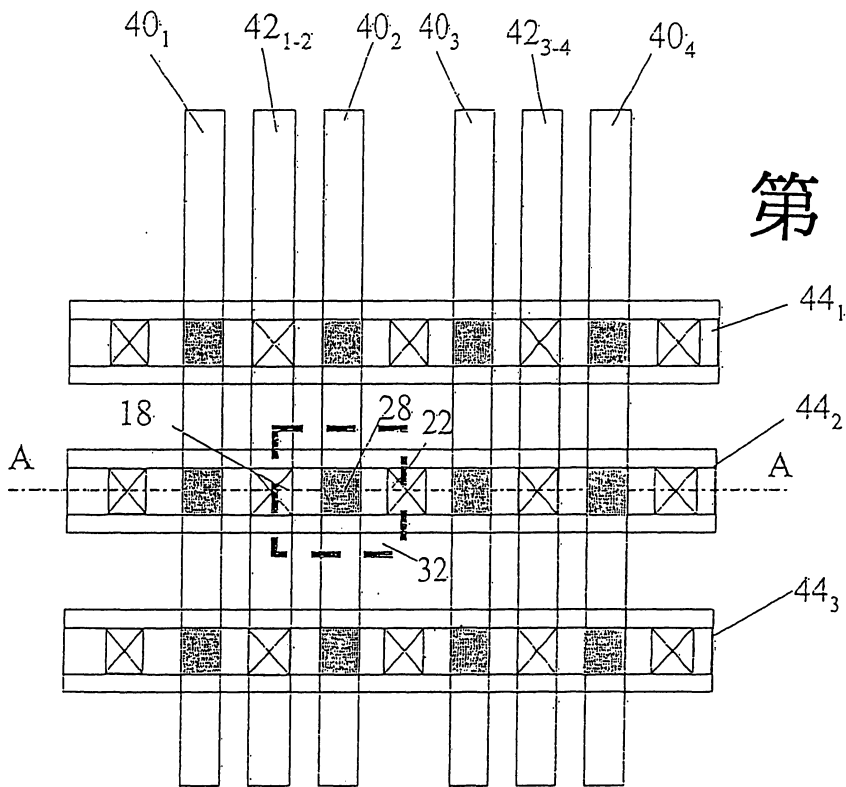


第 13 圖



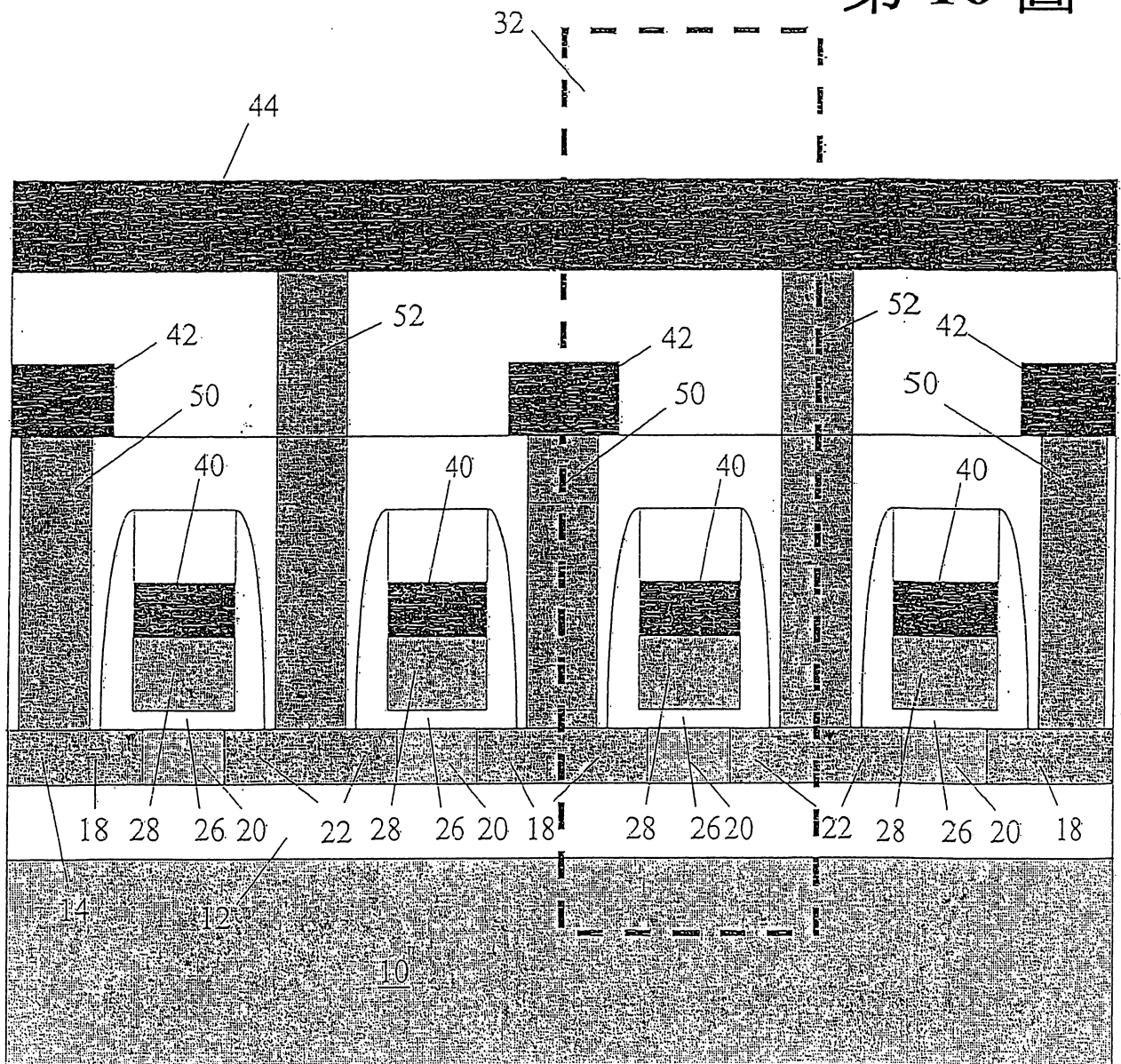
第 14 圖



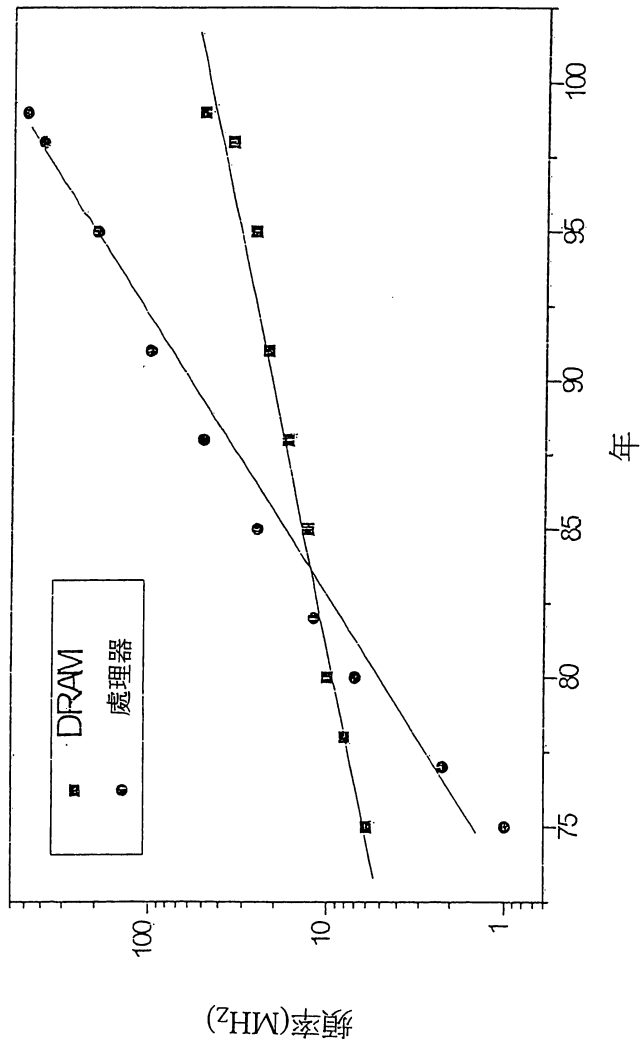


第 15 圖

第 16 圖

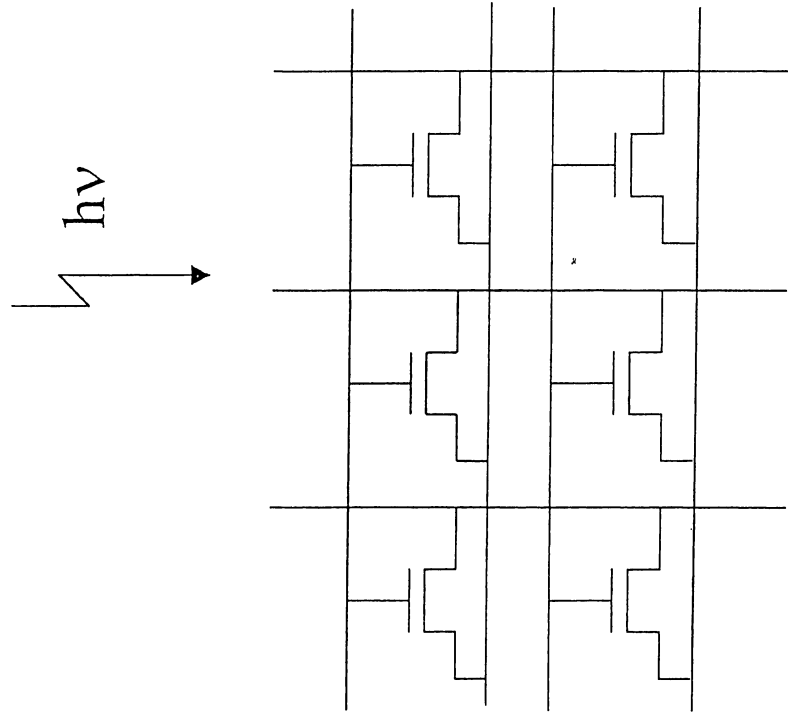


第17圖



感測器陣列之示意圖

第 18 圖



六、申請專利範圍

第 91111316 號「半導體裝置」專利案

911116

(91年10月修正)

六 申請專利範圍：

1. 一種半導體裝置，包含：

基板；

至少一個提供在該基板某一側上之資料儲存單胞，其中每一個包含個別的場效電晶體之該資料儲存單胞，包含 (i) 源極；(ii) 汲極；(iii) 位在該源極和該汲極之間之本體，而且適合至少暫時性保存產生在該本體中之淨電荷，使該淨電荷的量可以由應用到該電晶體的輸入訊號作調整；及 (iv) 至少一個鄰近該本體之閘極；及

電荷調整裝置，藉由在至少一個對應的該閘極和對應的該汲極之間，和在對應的該源極和該汲極之間，應用第一預定電壓訊號，至少可以消除部分因該輸入訊號對該淨電荷所作之調整。

2. 如果請專利範圍第 1 項之裝置，其中該輸入訊號包含應用在至少一個對應的該閘極和對應的該汲極之間，和在對應的該源極和該汲極之間之第二預定電壓訊號。

3. 如申請專利範圍第 2 項之裝置，其中該裝置係記憶體裝置。

4. 如申請專利範圍第 1 至 3 項中任一項之裝置，其中

六、申請專利範圍

- 該裝置係感測器，而電荷至少儲存在一個該本體之中，用以表示物理參數。
5. 如申請專利範圍第 1 至 3 項中任一項之裝置，其中該輸入訊號包含電磁輻射。
 6. 如申請專利範圍第 5 項之裝置，其中該裝置係電磁輻射感測器。
 7. 如請申利範圍第 1 至 3 項中任一項之裝置，還包含至少部分覆蓋該基板之第一絕緣層，其中每一個該資料儲存單胞係提供在遠離基板之該第一絕緣層的那一邊之上。
 8. 如申請專利範圍第 1 至 3 項中任一項之裝置，還包含提供在至少一個的該本體和每一個對應的該閘極之間之個別的第二絕緣層。
 9. 如申請專利範圍第 8 項之裝置，其中至少一個的該電晶體包含許多在至少一個對應的該本體和對應的該第二絕緣層之間之介面附近，用以捕捉跟儲在本體中之電荷載子極性相反的電荷載子之缺陷。
 10. 如申請專利範圍第 9 項之裝置，其中在該介面附近的缺陷密度係在 10^9 和 $10^{12}/\text{cm}^2$ 之間。
 11. 如申請專利範圍第 1 至 3 項中任一項之裝置，還包含資料讀取裝置，用以藉由在至少一個對應的該閘極和該汲極之間，和在該源極和該汲極之間，應用第三預定電壓訊號，使電流在至少一個的該資料儲

六、申請專利範圍

存單胞之該源極和該汲極之間流動。

12. 如申請專利範圍第 1 至 3 項中任一項之裝置，其中該第一絕緣層包含許多絕緣層。
13. 如申請專利範圍第 1 至 3 項中任一項之裝置，其中至少一個的該資料儲存單胞適合儲存至少二個該電荷可辨別的階層。
14. 如申請專利管圍第 13 項之裝置，其中至少一個的該資料儲存單胞適合儲存至少三個該電荷可辨別的階層。
15. 如申請專利範圍第 1 至 3 項中任一項之裝置，其中至少一個的該電晶體之汲極 / 本體電容大於對應之源極 / 本體電容。
16. 如申請專利範圍第 15 項之裝置，其中至少一個的該晶體之本體，其在該汲極附近的摻雜密度高於在該源極附近的摻雜密度。
17. 如申請專利範圍第 15 項之裝置，其中在至少一個的該電晶體的汲極和本體之間之介面面積，大於在源極和本體之間之介面面積。
18. 如申請專利範圍第 16 項之裝置，其中在至少一個的該電晶體的汲極和本體之間之介面面積，大於在源極和本體之間之介面面積。
19. 如申請專利範圍第 1 至 3 中任一項裝置，其中共源極和 / 或汲極區係在該裝置鄰近的電晶體之間共用。

六、申請專利範圍

20. 一種資料儲存方法，係將資料儲存在包含基板，和至少一個提供在該基板某一側上之資料儲存單胞之半導體裝置中之方法，其中每一個包含個別的場效電晶體之該資料儲存單胞，包含：(i)源極；(ii)汲極；(iii)位在該源極和該汲極之間之本體，而且適合至少暫時性保存產生在該本體中之淨電荷，使該淨電荷的量可以由應用到該電晶體的輸入訊號作調整；及(iv)至少一個鄰近該本體之閘極；該方法之步驟包含：

將第一預定電壓訊號應用在至少一個對應的該閘極和對應的該汲極之間，和在對應的該源極和該汲極之間，至少部分消除該淨電荷因該輸入訊號所作之調整。

21. 如申請專利範圍第 20 項之方法，還包含將第二預定電壓訊號應用在該資料儲存單胞至少一個的該閘極和對應的該汲極之間，和在對應的該源極和汲極之間之步驟。

22. 如申請專利範圍第 21 項之方法，其中應用該第二預定電壓訊號之步驟係藉由穿透效應調整保存在對應的該本體中之電荷。

23. 如申請專利範圍第 22 項之方法，其中電荷係藉由在至少一個的該閘極和對應的汲極之間電壓訊號的應用，使其在對應的本體和汲極之間之介面作調整，

六、申請專利範圍

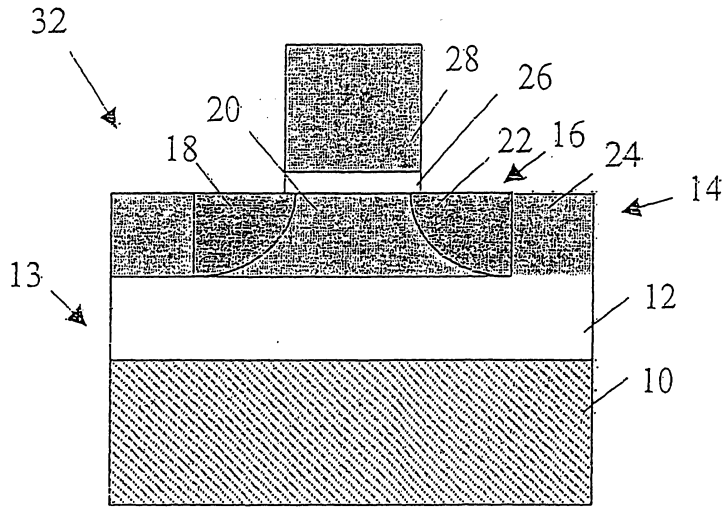
本體和汲極的價電帶和導電帶的變形，使電子可以藉由穿透效應從價電帶注入到導電帶，造成在本體中多數載子的形成。

24. 如申請專利範圍第 22 項之方法，其中該電荷藉由電子從價電帶穿透到至少一個的該場效電晶體之閘極而調整。
25. 如申請專利範圍第 23 項之方法，其中該電荷藉由電子從價電帶穿透到至少一個的該場效電晶體之閘極而調整。
26. 如申請專利範圍第 20 項到第 25 項中任一項之方法，其中應用該第一預定電壓訊號之步驟，包含：應用電壓訊號在至少一個的該閘極和對應的該汲極之間，使得至少會有一些儲存在對應本體中之電荷載子，會與在該本體中相反極性的電荷載子複合。
27. 如申請專利範圍第 26 項之方法，還包含應用至少一個的該電壓訊號之步驟，其中該電壓訊號包含致使導通通道形成在源極和汲極之間之第一部份，其中通含有電荷載子，其極性相反於儲存在該本體中之電荷載子，及防止通道形成，且使至少一些該儲存的電荷載子朝向已先被該通道佔領之位置遷移，而與該通道中極性相反於之前的電荷載子複合之第二部份。
28. 如申請專利範圍第 27 項之方法，還包含將至少一個

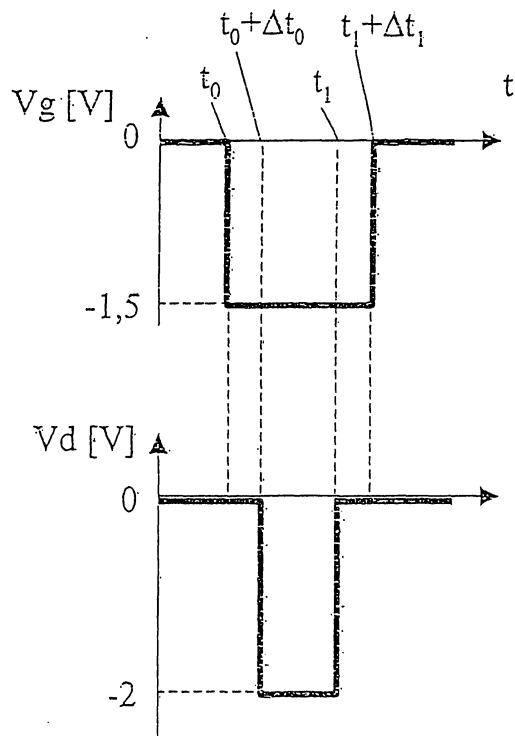
六、申請專利範圍

的該電壓訊號應用在十分快速的單電荷調整操作步驟之步驟，在相反極性的該電荷載子完全遷移到該源極或該汲極之前，致使至少一些儲存在本體之該電荷載子與相反極性的電荷載子複合。

P1 10 1X



第 1 圖



第 2 圖