

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-146965  
(P2012-146965A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1	2 H 0 9 2
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 3 B	2 H 1 9 3
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 3 8
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 7 N	5 F 0 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 1 4	5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2011-277023 (P2011-277023)  
 (22) 出願日 平成23年12月19日 (2011.12.19)  
 (31) 優先権主張番号 特願2010-287598 (P2010-287598)  
 (32) 優先日 平成22年12月24日 (2010.12.24)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 遠藤 正己  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 大嶋 和晃  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H092 GA59 JA24 KA08 MA05 NA24  
 NA26 PA06 QA07  
 2H193 ZA04 ZF21 ZF31 ZQ06  
 5F038 CD04 DF05 DF08 EZ02 EZ06  
 EZ14 EZ17 EZ20

最終頁に続く

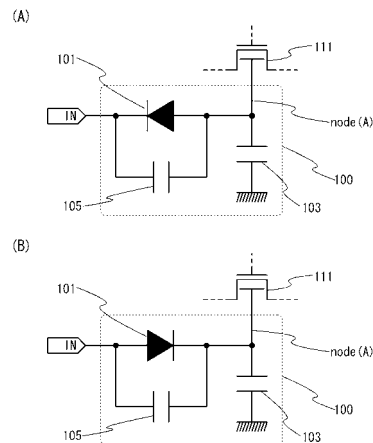
(54) 【発明の名称】 半導体回路及びその駆動方法、並びに記憶装置、レジスタ回路、表示装置、及び電子機器

(57) 【要約】

【課題】 トランジスタのしきい値電圧を最適な値に保持可能な半導体回路を提供すること。またトランジスタのしきい値電圧を制御可能な半導体回路、及びその駆動方法を提供すること。また上記半導体回路を適用した記憶装置、表示装置、及び電子機器を提供すること。

【解決手段】 被制御トランジスタのバックゲートに接続されるノードに、ダイオードと第1の容量素子を設け、トランジスタのしきい値電圧が最適になるように所望の電圧を印加可能で且つその電圧を保持することができる構成とし、さらにダイオードに並列に接続された第2の容量素子を設け、当該ノードの電圧を一時的に変化させられる構成とすればよい。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

一方の電極が第 1 のトランジスタのバックゲートと接続し、他方の電極に信号が入力されるダイオードと、

一方の電極が前記ダイオードの一方の電極と接続し、他方の電極が接地される第 1 の容量素子と、

前記ダイオードと並列に接続される第 2 の容量素子と、を有し、

前記第 1 のトランジスタのしきい値を制御可能な半導体回路。

## 【請求項 2】

前記ダイオードは、チャンネルを形成する半導体層に酸化物半導体を用いた第 2 のトランジスタからなる、請求項 1 に記載の半導体回路。 10

## 【請求項 3】

前記第 1 のトランジスタは、チャンネルを形成する半導体層に酸化物半導体を用いる、請求項 1 又は請求項 2 に記載の半導体回路。

## 【請求項 4】

ダイオードを介して第 1 の入力信号を入力し、第 1 の容量素子に第 1 の電圧を保持させると共に、トランジスタのバックゲートに前記第 1 の電圧を印加して前記トランジスタのしきい値電圧を第 1 のしきい値電圧とする第 1 のステップと、

前記ダイオードに並列に接続された第 2 の容量素子を介して第 2 の入力信号を入力し、前記トランジスタのバックゲートに第 2 の電圧を印加して前記トランジスタのしきい値電圧を第 2 のしきい値電圧とする第 2 のステップと、を有する半導体回路の駆動方法。 20

## 【請求項 5】

請求項 1 乃至請求項 3 のいずれか一に記載の半導体回路を有する、記憶装置。

## 【請求項 6】

請求項 1 乃至請求項 3 のいずれか一に記載の半導体回路を有する、レジスタ回路。

## 【請求項 7】

請求項 1 乃至請求項 3 のいずれか一に記載の半導体回路を有する、表示装置。

## 【請求項 8】

請求項 1 乃至請求項 3 のいずれか一に記載の半導体回路を有する、電子機器。

## 【発明の詳細な説明】 30

## 【技術分野】

## 【0001】

本発明は、半導体回路とその駆動方法に関する。本発明は記憶装置、表示装置、及び電子機器に関する。

## 【背景技術】

## 【0002】

電界効果トランジスタ（FET、以下トランジスタとも呼ぶ。）は、ソース、ゲート、ドレインの 3 つの電極を有し、ゲートに電圧を印加することによってソース - ドレイン間を流れる電子または正孔（ホール）の流れを制御する。活性層として用いられる半導体は、珪素やゲルマニウム等の I V 族元素やガリウムヒ素、インジウムリン、窒化ガリウム等の I I I - V 族化合物、硫化亜鉛、カドミウムテルル等の I I - V I 族化合物等が挙げられる。 40

## 【0003】

近年、酸化亜鉛や酸化インジウムガリウム亜鉛系化合物等の酸化物を半導体として用いた FET が報告された（特許文献 1 および特許文献 2）。これらの酸化物半導体を用いた FET では、比較的大きな移動度が得られると共に、それらの材料が 3 電子ボルト以上の大きなバンドギャップを有するが故に、酸化物半導体を用いたトランジスタをディスプレイやパワーデバイス等に応用することが議論されている。

## 【0004】

ところで、トランジスタはそのしきい値電圧の違いによって、大きくエンハンスメント 50

型（ノーマリーオフ型）と、デプレッション型（ノーマリーオン型）との2つに分類される。一般に、エンハンスメント型ではゲートソース間の電位差が0Vのときにオフ状態であるのに対し、デプレッション型ではオン状態である点で異なる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許公開2005/0199879号公報

【特許文献2】米国特許公開2007/0194379号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

トランジスタのしきい値電圧は、当該トランジスタの作製工程に応じて変動しやすく、厳密に制御することは困難である。また、回路動作や使用環境などによっては劣化によって変動する場合もある。したがってトランジスタのしきい値電圧を所望の値に制御、保持することが望まれている。

【0007】

また、トランジスタのしきい値電圧を制御し、一つのトランジスタをあるときにはエンハンスメント型として、またあるときにはデプレッション型として使い分けることが望まれている。

【0008】

20

例えば、トランジスタをスイッチング素子として用いる場合には、非動作時にはエンハンスメント型としてリーク電流を抑制し消費電力を抑える。一方、動作時には大きな電流を流すためにデプレッション型として用いる。このような使い分けは、トランジスタの消費電力を低減し、電力効率を向上させる上で非常に有効である。

【0009】

特に、トランジスタと保持容量とを具備したメモリセルを有する記憶装置や、電子ペーパー、液晶表示装置などの表示装置においては、当該トランジスタをリーク電流の極めて低減されたエンハンスメント型のトランジスタとすることにより保持時間を長くすることが可能となる。

【0010】

30

また、例えばESD（ElectroStatic Discharge）保護回路などに用いる場合は、サージ電流を効率よく逃すために、デプレッション型に保持しておくことが有効である。

【0011】

トランジスタのしきい値電圧を制御する方法として、チャンネルを挟んで対向して設けられた2つのゲート電極のうち、一方のゲート電極にバイアス電圧を印加することにより、トランジスタのしきい値電圧をシフトさせる方法が知られている。ここでバイアス電圧を印加する一方のゲート電極のことをバックゲートと呼ぶこともある。

【0012】

40

しかしながら上記方法では、バックゲートに電圧が印加されていない間はトランジスタのしきい値電圧を所望の値に保持しておくことが出来ない。また、常にバックゲートに電圧を入力しておく必要があるため、消費電力の増大や、回路動作が煩雑になるなどの問題があった。

【0013】

本発明の目的は、トランジスタのしきい値電圧を最適な値に保持可能な半導体回路を提供することを課題の一とする。またトランジスタのしきい値電圧を制御可能な半導体回路、及びその駆動方法を提供することを課題の一とする。また上記半導体回路を適用した記憶装置、表示装置、及び電子機器を提供することを課題の一とする。

【課題を解決するための手段】

【0014】

50

上記目的を達成するために、本発明はトランジスタのバックゲートへ電圧を入力する半導体回路に着眼した。バックゲートに接続する半導体回路として、トランジスタのしきい値電圧が最適になるように所望の電圧を印加することが可能で、且つその電圧を保持することができる半導体回路を用いればよい。さらにバックゲートの電圧を一時的に変化させられる半導体回路を用いればよい。

**【0015】**

すなわち、本発明の一態様は、一方の電極が第1のトランジスタのバックゲートと接続し、他方の電極に信号が入力されるダイオードと、一方の電極がダイオードの一方の電極と接続し、他方の電極が接地される第1の容量素子と、ダイオードと並列に接続される第2の容量素子と、を有し、上記第1のトランジスタのしきい値を制御可能な半導体回路である。

10

**【0016】**

また、本発明の一態様は、ダイオードを介して入力部から第1の入力信号を入力し、第1の容量素子に第1の電圧を保持させると共に、トランジスタのバックゲートに当該第1の電圧を印加してトランジスタのしきい値電圧を第1のしきい値電圧とする第1のステップと、ダイオードに並列に接続された第2の容量素子を介して第2の入力信号を入力し、トランジスタのバックゲートに第2の電圧を印加してトランジスタのしきい値電圧を第2のしきい値電圧とする第2のステップと、を有する半導体回路の駆動方法である。

**【0017】**

本発明の半導体回路の出力端子は、被制御トランジスタ(第1のトランジスタ)のバックゲートに接続され、当該半導体回路は上記バックゲートへの出力ノードにダイオード、及び他方の電極が接地された第1の容量素子が接続され、ダイオードと並列に第2の容量素子が接続される。後の詳細な説明で述べるが、ダイオードの向きは、トランジスタの極性や入力電圧の正負に応じて適宜選択する。

20

**【0018】**

ダイオードの他方の電極から入力された電圧は上記第1の容量素子に保持されるため、被制御トランジスタのバックゲートに出力されるバイアス電圧(出力ノードの電圧)は当該電圧入力を止めても保持される。したがって、半導体回路に接続された被制御トランジスタのしきい値電圧は、電圧入力を止めた後でも適切な値に保持される。

**【0019】**

また、半導体回路の入力部に上記電圧とは逆極性の電圧を入力した場合、ダイオードと並列に接続された第2の容量素子の容量結合により上記出力ノードの電圧は一時的に変化する。したがって、出力ノードに接続される被制御トランジスタのしきい値電圧を一時的に変化させることができる。

30

**【0020】**

また、本発明の一態様は、上記の半導体回路を構成するダイオードが、チャンネルを形成する半導体層に酸化物半導体を用いた第2のトランジスタから構成されている。

**【0021】**

上記の半導体回路を構成するダイオードは、チャンネルを形成する半導体層に酸化物半導体を用いたトランジスタを適用することができる。適切な作製工程を経て作製された酸化物半導体を用いたトランジスタは、オフ電流が極めて小さい特徴を有するため、上記の半導体回路内に保持される電圧の保持時間を極めて長くすることが可能となる。

40

**【0022】**

また、本発明の一態様は、上記の半導体回路が接続される第1のトランジスタは、チャンネルを形成する半導体層に酸化物半導体を用いる。

**【0023】**

被制御トランジスタのチャンネルを形成する半導体層に上記酸化物半導体を用い、これを記憶装置や表示装置に適用することにより、データや表示画像の保持時間を極めて長くすることが可能となる。

**【0024】**

50

また、本発明の一態様の半導体回路は、レジスタ回路を含む記憶装置や表示装置のほか、様々な電子機器に適用することができる。

【0025】

本発明の半導体装置をレジスタ回路等の記憶装置に適用することにより、電力供給を遮断してもデータ保持することが可能で、且つリフレッシュ（リセット）動作が可能な、消費電力の極めて低減された記憶装置とすることができる。このような記憶装置をCPUなどの演算装置に適用することにより、これを具備するパーソナルコンピュータ、携帯電話をはじめとする電子機器は電力供給を一時的に遮断でき、低消費電力で且つ再起動動作の速い電子機器とすることができる。

【0026】

また、電子ペーパー、液晶表示装置などの表示装置に適用することにより、電力供給を遮断しても表示画像を保持可能で、且つリフレッシュ動作が可能な、消費電力の極めて低減された表示装置とすることができる。

【発明の効果】

【0027】

本発明によれば、トランジスタのしきい値電圧を最適な値に保持可能な半導体回路を提供できる。またトランジスタのしきい値電圧を制御可能な半導体回路、及びその駆動方法を提供できる。また上記半導体回路を適用した記憶装置、表示装置、及び電子機器を提供できる。

【図面の簡単な説明】

【0028】

【図1】本発明の一態様の、半導体回路を説明する図。

【図2】本発明の一態様の、半導体回路を用いたときのトランジスタ特性。

【図3】本発明の一態様の、半導体回路を説明する図。

【図4】本発明の一態様の、レジスタ回路を説明する図。

【図5】本発明の一態様の、メモリ回路を説明する図。

【図6】本発明の一態様の、表示装置を説明する図。

【図7】本発明の一態様の、トランジスタの作製工程を説明する図。

【図8】本発明の一態様の、電子機器を説明する図。

【発明を実施するための形態】

【0029】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0030】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0031】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0032】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このた

10

20

30

40

50

め、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0033】

また、本明細書等において、トランジスタのソース、又はドレインのどちらか一方のことを「第1電極」と呼び、ソース、又はドレインの他方を「第2電極」とも呼ぶことがある。なお、この際、ゲートについては「ゲート」又は「ゲート電極」とも呼ぶ。

【0034】

また、本明細書等において、トランジスタがその半導体層を挟んで対向して設けられた2つのゲート電極を有する場合、これらを「第1のゲート電極」、「第2のゲート電極」と呼び、このどちらか一方を「バックゲート」と呼ぶことがある。

【0035】

また、本明細書等において、ダイオードの有する2つの電極のうち、電流の流れる向きに対して入力側（アノード側）を「第1の電極」、出力側（カソード側）を「第2の電極」と呼ぶこととする。

【0036】

また、本明細書等において、容量素子の有する2つの電極のうち一方を「第1の電極」、他方を「第2の電極」と表記する。明瞭化のため、回路図等を参照して説明する場合には、2つの電極のうち紙面上側または左側に位置する電極を第1電極、紙面下側または右側に位置する電極を第2電極と呼ぶこととする。

【0037】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0038】

なお、本明細書等においてノードとは、回路を構成する素子の電氣的な接続を可能とする素子（例えば、配線など）のことをいう。したがって、「Aが接続されたノード」とは、Aと電氣的に接続され、且つAと同電位と見なせる配線のことをいう。なお、配線の途中に電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が1個以上配置されていても、Aと同電位であれば、その配線はAが接続されたノードと見なせる。

【0039】

また、本明細書等において、回路を構成する素子、または複数の素子からなる構成単位が複数存在し、且つこれらが共通する機能を有する場合において、当該素子、または構成単位に共通した構成、機能等の説明を行うときに、その符号に(n)添えて表記する場合がある。また、これら共通する機能を有する素子、または構成単位のうちの一部、または全部を指す場合には、その符号に(1~n)を添えて表記する場合がある。

【0040】

(実施の形態1)

本実施の形態では、本発明のトランジスタのしきい値電圧を制御可能な半導体回路の一例について、図1乃至図3を用いて説明する。

【0041】

<構成例>

図1(A)は、本実施の形態で例示する制御回路100と、これに接続されるトランジスタ111とを説明する図である。

【0042】

トランジスタ111はバックゲート（第2のゲート電極）を有し、当該バックゲートには制御回路100からの出力電圧が入力される。本実施の形態ではトランジスタ111と

10

20

30

40

50

してnチャンネル型のトランジスタを用いた場合について例示するが、pチャンネル型のトランジスタを用いることもできる。

【0043】

制御回路100は、ダイオード101、容量素子103、及び容量素子105を有する。また制御回路100には入力端子INが接続される。ダイオード101は第2電極が入力部に接続し、第1電極が容量素子103の第1電極に接続される。容量素子103の第2電極は接地されている。また、容量素子105はダイオード101と並列に接続されている。ここで、ダイオード101の第1電極、容量素子103の第1電極、及び容量素子105の第2電極が接続されるノードが制御回路100の出力部に相当し、今後node(A)と表記する。

10

【0044】

<回路動作例>

次に、制御回路100を用いてトランジスタ111のしきい値電圧を制御する方法について図1に加えて図2を参照して説明する。図2(A)及び図2(B)は、図1(A)に示すトランジスタ111における、あるソースドレイン間電圧( $V_{ds}$ )を加えた時のゲートソース間電圧( $V_{gs}$ )に対するソースドレイン間電流( $I_{ds}$ )を模式的に示した図である。

【0045】

図2(A)に示す曲線151は、トランジスタ111の初期状態における $V_{gs} - I_{ds}$ 特性である。本実施の形態では初期状態におけるトランジスタのしきい値電圧 $V_{th}(0)$ を0Vとして説明する。

20

【0046】

まず、制御回路100の入力端子INから、0Vよりも小さい振幅電圧(負の振幅電圧)を有する第1の入力信号を入力する。第1の入力信号によりダイオード101の第1電極から第2電極に向かって電流が流れ、これに伴いnode(A)の電圧が低下し、当該電圧が容量素子103によって保持される。

【0047】

その後、第1の入力信号の入力を止める(第1の入力信号の電圧を0Vとする)。ここで、node(A)の電圧は0Vよりも低いため、ダイオード101には逆バイアスが印加された状態となるため、小さな漏洩(リーク)電流以外は流れず、node(A)の電圧は容量素子103によって保持される。

30

【0048】

したがって、制御回路100の出力部に接続されるトランジスタ111のバックゲートには当該node(A)に保持された負の電圧が常に印加された状態となる。その結果、トランジスタ111の $V_{gs} - I_{ds}$ 特性は図2(A)に示す曲線152のように $V_{gs}$ が正の向きにシフトする。この状態のトランジスタ111のしきい値電圧を $V_{th}(1)$ とする。

【0049】

第1の入力信号の振幅電圧を適宜調整することにより、トランジスタ111を、曲線152に示すような特性を有するエンハンスメント型のトランジスタとすることが出来る。

40

【0050】

上述したように、node(A)の電圧は容量素子103によって保持されており、ここに保持された電荷はダイオード101の微小なリーク電流によってのみ減少するため、入力信号の入力が止まった後も、トランジスタ111のしきい値を最適な値に保持することができる。

【0051】

次に、上記のようにしてエンハンスメント型の特性となったトランジスタ111を、一時的にデプレッション型とする方法、すなわち、しきい値電圧を一時的にマイナスシフトさせる方法について説明する。

【0052】

50

入力端子  $I_N$  から、 $0V$  よりも大きい振幅電圧（正の振幅電圧）を持ち、且つ正の電圧勾配を有する第 2 の入力信号を入力する。第 2 の入力信号が入力されると、容量素子  $105$  によって容量結合現象が生じ、 $node(A)$  の電圧が一時的に上昇する。

【0053】

したがって、トランジスタ  $111$  のバックゲートには一時的に正の電圧が印加されるため、その  $V_{gs} - I_{ds}$  特性は図 2 (B) の曲線  $153$  に示すように、一時的に  $V_{gs}$  が負の向きにシフトする。その際のトランジスタ  $111$  のしきい値電圧を  $V_{th}(2)$  とする。

【0054】

第 2 の入力信号の振幅電圧と正の電圧勾配を適宜調整することにより、トランジスタ  $111$  を、一時的に曲線  $153$  に示すような特性を有するデプレッション型のトランジスタとすることが出来る。

10

【0055】

ここで、上述のように、 $node(A)$  の電圧を一時的に上昇させるために、容量素子  $105$  の容量結合現象を用いている。したがって  $node(A)$  の電圧の変動の大きさは、容量素子  $105$  の大きさと、第 2 の入力信号の波形の電圧勾配の大きさとに比例する。そのため、第 2 の入力信号の波形は、トランジスタ  $111$  のしきい値電圧を所望の値にシフトするように適宜設定すればよい。また、トランジスタ  $111$  のしきい値電圧をすばやくシフトさせるためには、第 2 の入力信号の波形は、出来るだけ急峻な正の電圧勾配を有することが好ましい。また、第 2 の入力信号の波形には、矩形波、三角波、正弦波などの勾配を有する波形を用いることができる。

20

【0056】

なお、上記では第 1 の入力信号によりトランジスタ  $111$  の  $V_{th}$  をプラスシフトさせたまま保持し、第 2 の入力信号により一時的に  $V_{th}$  をマイナスシフトさせる構成及び方法について説明してきたが、図 1 (B) に示すように、ダイオード  $101$  の第 1 電極と第 2 電極とを逆向きに接続することにより、 $V_{th}$  をシフトさせる向きを逆にすることが可能となる。その際には、第 1 の制御信号は正の振幅電圧を有する信号とし、第 2 の制御信号は負の振幅電圧と負の電圧勾配を有する信号とする。

【0057】

また、本実施の形態では被制御トランジスタとして  $n$  チャネル型のトランジスタを用いたが、これに限られず  $p$  チャネル型のトランジスタにも適用可能である。例えば図 1 (A) に示すトランジスタ  $111$  に  $p$  チャネル型のトランジスタを適用した場合は、第 1 の入力信号によりしきい値電圧をプラスシフトさせてデプレッション型とし、また第 2 の制御信号により一時的にしきい値電圧をマイナスシフトさせてエンハンスメント型の特性を有する  $p$  チャネル型のトランジスタとすることができる。また、この逆の特性を実現するためには、ダイオードの接続を逆にした図 1 (B) の構成とし、上述の方法を用いればよい。

30

【0058】

<変形例>

ここで、制御回路  $100$  を構成するダイオード  $101$  は、トランジスタを用いて構成することができる。図 3 (A) 及び図 3 (B) に、制御回路を構成するダイオードにトランジスタを適用した例を示す。

40

【0059】

例えば図 3 (A) に示す制御回路  $100$  内のトランジスタ  $107$  のように、第 1 電極が入力端子  $I_N$  と接続し、第 2 電極及びゲート電極が  $node(A)$  と接続した構成とすることにより、トランジスタ  $107$  をダイオードとして用いることができる。また、図 3 (B) に示すトランジスタ  $109$  のようにバックゲートを設け、2 つのゲート電極を  $node(A)$  と接続する構成としても良い。ゲート電極に加えてバックゲートを  $node(A)$  と接続することにより、順バイアス印加時の電流値をより大きくすることができ、第 1 の入力信号の入力時間を短縮することができる。さらに逆バイアス印加時のリーク電流を

50



より低く抑えることが可能となり、node (A) の電圧の保持時間を長くすることが出来る。

【0060】

なお、ダイオードの特性を正反対にするには、ゲート電極（及びバックゲート）を入力端子IN側のノードに接続すればよい。

【0061】

また、制御回路を構成するダイオードに、チャンネルを形成する半導体層に酸化物半導体を用いたトランジスタを適用することができる。後の実施の形態で示すように、適切な作製工程を経て作製された酸化物半導体を用いたトランジスタは、オフ電流が極めて小さい特徴を有するため、制御回路内に保持される電圧の保持時間を極めて長くすることが可能となる。

10

【0062】

特に、酸化物半導体の中でも、バンドギャップが3電子ボルト以上のものでは、ドナーあるいはアクセプタの濃度を $1 \times 10^{12} \text{ cm}^{-3}$ 以下とすることにより、オフ時の抵抗を極めて高くできる。例えばこのようなトランジスタは、ゲート電圧を最適化することにより、ソースとドレイン間の抵抗を $1 \times 10^{24}$ 以上とすることができる。したがってダイオード接続したトランジスタであっても、例えばシリコンを半導体層に用いたトランジスタに比べてオフ時のリーク電流を極めて小さくすることができる。

【0063】

このようなトランジスタを、制御回路を構成するダイオードに適用することにより、node (A) に電圧を保持した状態での、当該ダイオードによるリーク電流を極めて小さいものとすることが出来るため、被制御トランジスタのしきい値電圧を極めて長い間保持しておくことが出来る。また、リーク電流が極めて小さいため、node (A) の電圧を保持するための容量素子のサイズを小さくすることが可能となり、回路規模を縮小できることや、node (A) への充放電時間を短縮できるなどといった副次的な効果を奏する。

20

【0064】

本実施の形態で例示した制御回路を用いることにより、トランジスタのしきい値電圧を最適な値に制御できると共に、電源電圧の供給を止めても当該トランジスタのしきい値電圧を保持することが出来る。また、一時的に当該しきい値電圧をシフトさせることにより、異なるトランジスタ特性を実現することができる。

30

【0065】

本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせることで実施することが出来る。

【0066】

(実施の形態2)

本実施の形態では、実施の形態1で例示したトランジスタのしきい値電圧を制御可能な半導体回路を記憶装置の一つであるレジスタ回路に適用した構成の一例について図4を用いて説明する。

【0067】

<構成例>

図4(A)に、実施の形態1で例示した制御回路100が接続された、1ビットのレジスタ回路の構成例を示す。レジスタ回路200は、トランジスタ201、容量素子203、及びフリップフロップ回路205を有する。本実施の形態では、トランジスタ201としてnチャンネル型のトランジスタを用いる。

40

【0068】

トランジスタ201は、実施の形態1で示したトランジスタ111と同様、バックゲート（第2のゲート電極）を有し、当該バックゲートには制御回路100からの出力電圧が入力される。さらにトランジスタ201は、その第1のゲート電極に入力端子Sig1が、また第1電極に入力端子Sig2が接続され、これら2つの入力端子からの入力信号に

50

よって制御される。トランジスタ201の第2電極は、容量素子203の第1電極、及びフリップフロップ回路205に接続される。また容量素子203の第2電極は接地されている。ここで、トランジスタ201の第2電極と、容量素子203の第1電極とが接続されるノードをnode(b)と呼ぶこととする。

【0069】

フリップフロップ回路205は、インバータ205a、及びインバータ205bを有する。インバータ205aは、インバータ205bと並列且つ逆向きに接続され、インバータ205aの出力側が接続されるノードが、レジスタ回路200の出力端子OUTに相当する。

【0070】

レジスタ回路200は、入力端子Sig1及びSig2からの入力信号により、データの格納、並びに出力を行う。例えばSig1よりハイレベル電圧が、Sig2よりハイレベル電圧が入力されると、トランジスタ201がオン状態となりnode(b)にハイレベル電圧が入力される。その結果、レジスタ回路200の出力端子からはインバータ205aによって反転されたローレベル電圧が出力されると同時に、フリップフロップ回路205にはローレベル電圧のデータが格納される。一方、Sig2からローレベル電圧が入力されると、同様にしてレジスタ回路200の出力端子からはハイレベル電圧が出力されるとともにハイレベル電圧のデータがフリップフロップ回路205に格納される。

【0071】

容量素子203は、node(b)の電圧を保持する機能を有する。後に説明するように、制御回路100によってトランジスタ201をリーク電流が極めて低いエンハンスメント型の状態に保持されたとき、容量素子203を設けることで、node(b)に入力された電圧は電源電圧の供給を停止しても保持することが可能となる。

【0072】

なお、本実施の形態では、レジスタ回路200が有するフリップフロップ回路の例として、2つのインバータ回路を用いた簡易な構成を示したが、これに限定されることなく、クロック動作の可能なクロックドインバータを用いる構成や、NAND回路とインバータを組み合わせた構成を適宜用いることができる。例えば、RS型、JK型、D型、T型等、公知のフリップフロップ回路を適宜用いることができる。

【0073】

<回路動作例>

次に、制御回路100が接続されたレジスタ回路200の回路動作について説明する。

【0074】

まず、実施の形態1で示した方法により、制御回路100の入力端子INから、0Vよりも小さい振幅電圧(負の振幅電圧)を有する第1の入力信号を入力し、トランジスタ201のしきい値電圧を変化させてトランジスタ201をエンハンスメント型のトランジスタとなるよう制御、保持する。

【0075】

次に、レジスタ回路200の入力端子Sig1及びSig2より信号を入力し、信号のデータを格納、出力する。レジスタ回路にデータを書込む際、Sig1よりトランジスタ201のしきい値電圧よりも高い電圧を入力し、さらにSig2よりハイレベル電圧又はローレベル電圧の信号を入力することにより、フリップフロップ回路205にデータを格納することが出来る。

【0076】

また、Sig2に入力される信号を止めるより前に、Sig1の信号をトランジスタ201がオフする電圧(例えば0V、又は0Vより小さい電圧)とすることにより、Sig2からの入力信号を止めた後も、入力された電圧に近い電圧が容量素子203に保持される。

【0077】

ここで、制御回路100によってトランジスタ201はリーク電流が極めて小さいエン

10

20

30

40

50

ハンスメント型のトランジスタに保持されている。したがって、node (b) にハイレベル電圧が保持された状態であっても、トランジスタ 201 からのリークによる node (b) の電圧降下を極めて小さくすることが出来る。

【0078】

また、制御回路 100 及びレジスタ回路 200 への電源供給を止めた場合でも、トランジスタ 201 はリーク電流の極めて小さいエンハンスメント型のトランジスタに保持されているため、node (b) の電圧を保持しておくことが可能となる。電源供給を止めているあいだ、node (b) に電圧情報を保持しておくことにより、レジスタ回路 200 に再度電源を投入したと同時にレジスタ回路 200 に格納されるデータとして、電源供給を止める直前のデータと同じものが確定されるため、瞬時に当該データを格納、出力することが可能となる。

10

【0079】

ここで、トランジスタ 201 に実施の形態 1 で示したような、チャンネルを形成する半導体層に酸化物半導体を用いた、オフ電流の極めて小さいトランジスタを適用することが出来る。このようなオフ電流の極めて小さいトランジスタをトランジスタ 201 に適用することにより、極めて長い時間、node (b) の電圧を保持しておくことが可能となるため、レジスタ回路 200 はいわゆる不揮発性を有するレジスタ回路として用いることができる。

【0080】

次に、レジスタ回路 200 に格納されたデータをリセットする動作について説明する。

20

【0081】

実施の形態 1 と同様に、制御回路 100 の入力端子から 0V よりも高い振幅電圧（正の振幅電圧）を有する第 2 の入力信号を入力することにより、一時的にトランジスタ 201 のしきい値電圧をマイナスシフトさせ、トランジスタ 201 を一時的にデプレッション型のトランジスタとする。

【0082】

Sig 1 には、第 2 の入力信号が入力されるより前は、エンハンスメント型のトランジスタ 201 をオフする電圧が入力されているが、第 2 の入力信号が入力されることにより、一時的にトランジスタ 201 はオン状態に移行する。したがって、node (b) は一時的に Sig 2 から入力される電圧に近い電圧とすることができる。例えば第 2 の入力信号を入力する際に Sig 2 にハイレベル電圧が入力されていれば、node (b) にもハイレベル電圧が入力され、Sig 2 にローレベル電圧が入力されていれば、同様に node (b) もローレベル電圧が入力されることにより、データのリセットがなされる。

30

【0083】

その後、第 2 の入力信号の入力がとまると、トランジスタ 201 のしきい値電圧は第 2 の制御信号が入力される前の値に戻るため、リーク電流の極めて小さいエンハンスメント型のトランジスタとなる。したがって、第 2 の入力信号によってリセットされ、入力されたデータが再度保持されることとなる。

【0084】

このような方法により、Sig 1 からの入力信号を用いずに、レジスタ回路 200 に格納されるデータをリセットすることが可能となる。この方法は、後に説明するような複数のレジスタ回路を有する記憶装置において、一度の動作で複数のレジスタ回路に格納されたデータをリセットする場合に特に有効である。

40

【0085】

< 適用例 >

次に、本発明の制御回路を上記で説明したレジスタ回路 200 を複数有する記憶装置に適用した一例について説明する。

【0086】

図 4 (B) に、図 4 (A) に示したレジスタ回路 200 が縦横にマトリクス状に複数配置された記憶装置 210 を示す。記憶装置 210 は、複数のレジスタ回路 200 のほかに

50

第1の駆動回路211、第2の駆動回路213、及び複数の制御回路100を有する。本実施の形態では、複数のレジスタ回路200は $m$ 行 $n$ 列( $m$ 、 $n$ は1以上の整数)のマトリクス状に配置され、また制御回路100は一行につき一個ずつ、合計 $m$ 個設ける構成とする。

【0087】

第1の駆動回路211は、レジスタ回路200内のトランジスタ201の第1のゲート電極に接続される $m$ 本の制御線 $Sig1(1) \sim Sig1(m)$ を有し、それぞれの制御線 $Sig1(1) \sim Sig1(m)$ を用いて一行に並んだレジスタ回路内のトランジスタ201のオン、オフ動作を制御する。また、第1の駆動回路211は、1番目から $m$ 番目の制御回路にそれぞれ接続される $m$ 本の制御線 $IN(1) \sim IN(m)$ を有し、それぞれに接続された制御回路100への入力信号を制御する。

10

【0088】

第2の駆動回路213は、レジスタ回路200内のトランジスタ201の第1電極に接続される、 $n$ 本の制御線 $Sig2(1) \sim Sig2(n)$ を有し、それぞれの制御線 $Sig2(1) \sim Sig2(n)$ を用いて一列に並んだレジスタ回路200に入力するデータの信号を制御する。

【0089】

それぞれのレジスタ回路200には出力信号線が接続され、レジスタ回路200の出力信号が当該出力信号線に出力される。本実施の形態では出力信号線は、 $m \times n$ 本用いる構成としたが、複数のレジスタ回路からの出力信号線を共通とし、選択的にデータを読み出す構成としてもよい。また、出力信号線の先にシリアル信号、または数ビットの平行信号に変換する変換回路など、各種機能を有する回路を設けても良い。

20

【0090】

各行に一つずつ配置された制御回路100には、制御線 $IN(1) \sim IN(m)$ を通じて第1の駆動回路211から、実施の形態1で示したような第1の入力信号、及び第2の入力信号が入力される。第1の入力信号によって、それぞれの制御回路100に接続される $n$ 個のレジスタ回路内のトランジスタ201のしきい値電圧を最適な値に制御、保持することができる。さらに、第2の制御信号が入力されると、 $n$ 個のレジスタ回路内のトランジスタ201をエンハンスメント型からデプレッション型に一時的に変化させることにより、それぞれのレジスタ回路に格納されるデータを一つの信号で同時にリセットすることができる。

30

【0091】

なお、本実施の形態では、各行に一つずつ制御回路を配置する構成としたが、これに限られず、一つ以上の制御回路を設けてもよい。例えば1つの制御回路で全てのレジスタ回路200のしきい値を制御してもよいし、複数行に一つ設けても良く、各レジスタ回路200に一つずつ制御回路100を設ける構成としても良い。

【0092】

以上のように本発明の制御回路を適用することにより、しきい値電圧が最適な値に保持され、且つ容易にリセット動作が可能なレジスタ回路を複数有する記憶装置とすることができる。また、レジスタ回路でありながら電源の供給を止めてもデータの保持が可能な、いわゆる不揮発性を有するレジスタ回路を実現できる。

40

【0093】

本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせることで実施することが出来る。

【0094】

(実施の形態3)

本実施の形態では、実施の形態1で例示したトランジスタのしきい値電圧を制御可能な半導体回路を実施の形態2で例示したものと異なる構成の記憶装置に適用した一例について図5を用いて説明する。

【0095】

50

## &lt; 構成例 &gt;

図5(A)に、実施の形態1で例示した制御回路100が接続された、1ビットのメモリセル250の構成例を示す。メモリセル250は、トランジスタ251、容量素子253、及びトランジスタ255を有する。本実施の形態では、トランジスタ251として実施の形態2で示したトランジスタ201と同様、nチャネル型のトランジスタを用いる。

## 【0096】

トランジスタ251のバックゲートには、制御回路100からの出力電圧が入力される。さらにトランジスタ251は、その第1のゲート電極に入力端子Sig3が、また第1電極には入力端子Sig4が接続され、これら2つの入力端子からの制御信号によって制御される。トランジスタ251の第2電極は、容量素子253の第1電極、及びトランジスタ255のゲート電極に接続されている。また容量素子253の第2電極には、入力端子Sig5が接続される。トランジスタ255の第2電極は接地され、第1電極が接続されるノードがメモリセルからのデータの出力部に相当する。ここで、トランジスタ251の第2電極と、容量素子253の第1電極とが接続されるノードをnode(c)と呼ぶこととする。

10

## 【0097】

容量素子253は、実施の形態2で例示した容量素子203と同様、node(c)に入力された電圧を保持する機能を有する。また、入力端子Sig5から入力される電圧によって、node(c)の電圧を変化させることができる。

## 【0098】

トランジスタ255は、メモリセルに保持されたデータ(電圧)を読み出すために設けられる。トランジスタ255の第1電極には、抵抗素子257を介して電源入力端子VDDが接続され、抵抗素子257とトランジスタ255の第1電極との間に、出力端子OUTが接続される。ここで、本実施の形態では、トランジスタ255としてnチャネル型のトランジスタを用いる。例えば、node(c)がハイレベル電圧であるとき、トランジスタ255はオン状態となり、出力端子OUTには接地電圧が出力される。一方、node(c)がローレベル電圧であるとき、トランジスタ255は抵抗素子257に比べて十分高抵抗なオフ状態となり、出力端子OUTには電源端子に入力される電源電圧が出力される。このようにして、node(c)の電圧の値を読み出すことが出来る。

20

## 【0099】

本実施の形態では、トランジスタ255にnチャネル型のトランジスタを適用したが、pチャネル型のトランジスタを用いることもできる。この場合、トランジスタ255の第2電極に電源入力端子VDDを接続し、また抵抗素子257の第2電極を接地することにより、読み出し動作を行うことが出来る。

30

## 【0100】

## &lt; 回路動作例 &gt;

次に、制御回路100が接続されたメモリセル250の回路動作について説明する。

## 【0101】

まず、実施の形態1及び2で説明したとおり、制御回路100に第1の入力信号を入力してトランジスタ251のしきい値電圧を最適な値に調整し、エンハンスメント型のトランジスタに制御、保持する。

40

## 【0102】

メモリセル250へのデータの書込みに際しては、実施の形態2と同様、入力端子Sig3及び入力端子Sig4からの入力信号によって、node(c)に保持される電圧を入力することにより書き込みを行う。ここで、node(c)には、ハイレベル電圧、又はローレベル電圧が保持される。

## 【0103】

ここで、実施の形態2と同様に、トランジスタ251に実施の形態1で示したような、チャンネルを形成する半導体層に酸化物半導体を用いた、オフ電流の極めて小さいトランジスタを適用することが出来る。このようなオフ電流の極めて小さいトランジスタをトラン

50

ジスタ 251 に適用することにより、極めて長い時間、 $node(c)$  の電圧を保持しておくことが可能となるため、メモリセル 250 はいわゆる不揮発性を有する記憶装置として用いることができる。

#### 【0104】

読み出し動作は、電源入力端子 VDD から電源電圧を入力することにより行うことが出来る。上述のように、 $node(c)$  の電圧がハイレベル電圧である場合は、トランジスタ 255 がオン状態となり、抵抗素子 257 に比べて十分に低抵抗な状態となるため、出力端子 OUT には接地電圧が出力される。一方、 $node(c)$  の電圧がローレベル電圧である場合は、トランジスタ 255 がオフ状態となり、抵抗素子 257 に比べて十分に高抵抗となるため、出力端子 OUT には電源電圧が出力される。

10

#### 【0105】

ここで、入力端子 Sig5 からハイレベル電圧を入力することによって、 $node(c)$  に保持される電圧情報によらず、トランジスタ 255 を強制的にオン状態とすることが可能となる。このような動作は後に説明するような、メモリセルを列方向に複数配置する際、トランジスタ 255 を直列に接続する場合において、任意のメモリセルのデータを読み出すために必要となる。例えば、ある一つのメモリセルを読み出す場合は、これに直列に接続された他のメモリセル内の容量素子 253 の第 2 電極にハイレベル電圧を入力し、トランジスタ 255 を強制的にオン状態とすることにより、当該メモリセルの  $node(c)$  に保持された電圧情報を選択的に読み出すことが可能となる。また、トランジスタ 255 に p チャネル型のトランジスタを用いた場合は、入力端子 Sig5 から入力される電圧として 0V より小さい電圧を入力することにより、トランジスタ 255 を強制的にオン状態とすることが出来る。

20

#### 【0106】

次に、メモリセル 250 内に格納されたデータをリフレッシュする方法について説明する。

#### 【0107】

実施の形態 2 と同様に、制御回路 100 に 0V よりも高い振幅電圧を有する第 2 の入力信号を入力することにより、一時的にトランジスタ 251 のしきい値電圧をマイナスシフトさせ、トランジスタ 251 を一時的にデプレッション型のトランジスタとする。トランジスタ 251 が一時的にデプレッション型のトランジスタとなるため、Sig4 に入力される電圧が  $node(c)$  に入力されることにより、Sig3 からの入力信号を用いずにメモリセル 250 内のデータをリフレッシュすることが可能となる。この動作は特に、後に説明するような複数のメモリセルを有する記憶装置において、一度の動作で複数のメモリセルに格納されたデータをリフレッシュする場合において有効である。

30

#### 【0108】

<適用例>

次に、本発明の制御回路を上記で説明したメモリセル 250 を複数有する記憶装置に適用した一例について説明する。

#### 【0109】

図 5 (B) に、図 5 (A) に示したメモリセル 250 が縦横にマトリクス状に複数配置された記憶装置 260 を示す。記憶装置 260 は、複数のメモリセル 250 のほかに、第 1 の駆動回路 261、第 2 の駆動回路 263、及び複数の制御回路 100 を有する。本実施の形態では、実施の形態 2 で例示した記憶装置 210 と同様、複数のメモリセル 250 は m 行 n 列 (m、n は 1 以上の整数) のマトリクス状に配置され、また制御回路 100 は一行につき一個ずつ、合計 m 個設ける構成とする。

40

#### 【0110】

第 1 の駆動回路 261 は、メモリセル 250 内のトランジスタ 251 の第 1 のゲート電極に接続される m 本の制御線 Sig3 (1) ~ Sig3 (m) と、容量素子 253 に接続される m 本の制御線 Sig5 (1) ~ Sig5 (m) とを有し、それぞれの制御線 Sig3 (1) ~ Sig3 (m) 及び制御線 Sig5 (1) ~ Sig5 (m) を用いて、一行に

50

並んだメモリセル内のトランジスタのオン、オフ動作や、 $node(c)$ の電圧を制御する。また、第1の駆動回路261は、1番目から $m$ 番目の制御回路にそれぞれ接続される $m$ 本の制御線 $IN(1) \sim IN(m)$ を有し、それぞれに接続された制御回路100への入力信号を制御する。

【0111】

第2の駆動回路263は、メモリセル250内のトランジスタ251の第1電極に接続される、 $n$ 本の制御線 $Sig4(1) \sim Sig4(n)$ を有し、それぞれの制御線 $Sig4(1) \sim Sig4(n)$ を用いて一列に並んだメモリセル250に入力するデータの信号を制御する。

【0112】

一列に並んだメモリセル内のトランジスタ255は、直列に接続され、一本の出力信号線に接続されている。図示しないが、当該出力信号線の先には、図5(A)に示した抵抗素子257、及び電源入力端子等が設けられている。例えば一列に並んだ複数のメモリセルのうち、任意のメモリセルのデータを読み出す場合は、上述したように、 $Sig5(1) \sim Sig5(m)$ からの入力信号を用いて、読み出しを行わない他のメモリセル内のトランジスタ255を全てオン状態とすることにより、任意のメモリセルに格納されたデータを読み出すことが出来る。ここで、読み出しのための抵抗素子257や電源入力端子等は、第2の駆動回路263に組み込んで良い。

【0113】

制御回路100は、実施の形態2に例示したように、制御線 $IN(m)$ を通じて第1の駆動回路261から入力される入力信号にしたがって、制御回路100に接続される $n$ 個のメモリセル内のトランジスタ251のしきい値電圧を最適な値に制御、保持し、且つ一時的にしきい値電圧を変化させ、デプレッション型のトランジスタとすることが出来る。制御回路100に接続された $n$ 個のトランジスタ251を同時にデプレッション型に一時的に変化させることにより、それぞれのメモリセルに格納されるデータを一つの信号で同時にリフレッシュすることができる。

【0114】

なお制御回路100は上述のように、記憶装置260内に一つ以上設ければよい。

【0115】

なお、本実施の形態では、出力信号線に接続するトランジスタ255を直列に接続する構成としたが、読み出し用のトランジスタ255に直列に選択トランジスタをメモリセル内に設け、このオン、オフ動作によって選択的にデータを読み出す構成としてもよい。

【0116】

以上のように、本発明の制御回路を記憶装置に適用することにより、しきい値電圧が最適な値に保持され、且つ容易にリフレッシュ動作が可能なメモリセルを複数有する記憶装置とすることが出来る。また、電源の供給を止めてもデータが保持可能な、不揮発性を有する記憶装置を実現できる。

【0117】

本実施の形態は、本明細書で例示する他の実施の形態と適宜組み合わせることで実施することが出来る。

【0118】

(実施の形態4)

本実施の形態では、実施の形態1で例示したトランジスタのしきい値電圧を制御可能な半導体回路を表示装置に適用した構成の一例について図6を用いて説明する。

【0119】

<構成例>

図6(A)に、実施の形態1で例示した制御回路100が接続された、表示装置に適用可能な画素270の構成例を示す。画素270は、トランジスタ271、容量素子273、及び表示素子275を有する。本実施の形態では、トランジスタ271として、実施の形態2で示したトランジスタ201と同様、 $n$ チャンネル型のトランジスタを用いる。

10

20

30

40

50

## 【0120】

トランジスタ271、及び容量素子273の構成及び機能は、実施の形態2と同様であるため、詳細な説明は省略する。ここで、トランジスタ271の第1のゲート電極と、第1電極にそれぞれ接続される端子を、入力端子Sig6、及び入力端子Sig7とする。また、トランジスタ271の第2電極と、容量素子273の第1電極とが接続されるノードをnode(d)と呼ぶこととする。

## 【0121】

表示素子275は、その一方の電極がnode(d)と接続され、他方が接地されている。表示素子275には、その両端の電極に電圧が印加されることにより、光学特性が変化する、誘電性の素子を用いることができる。例えば、液晶素子や、電子ペーパーなどに用いられる電気泳動素子、ツイストボール素子などを適用することができる。本実施の形態では、node(d)に電圧を保持可能な画素とすることが出来るため、当該ノードに電圧が保持されている間、光学特性を保持しておくことができる。

10

## 【0122】

<回路動作例>

次に、制御回路100が接続された画素270の回路動作について説明する。

## 【0123】

まず、上記実施の形態で説明したのと同様に、制御回路100に第1の入力信号を入力してトランジスタ271のしきい値電圧を最適な値に調整し、エンハンスメント型のトランジスタに制御、保持する。

20

## 【0124】

画素270への書き込みに際しては、上記実施の形態と同様、入力端子Sig6、及び入力端子Sig7からの入力信号によって、node(d)に保持される電圧を入力することにより書き込みを行う。ここで、node(d)にはハイレベル電圧、又はローレベル電圧が保持される。

## 【0125】

ここで、トランジスタ271に実施の形態1で説明したような、チャンネルを形成する半導体層に酸化物半導体を用いた、オフ電流の極めて小さいトランジスタを適用することが出来る。このようなオフ電流の極めて小さいトランジスタをトランジスタ271に適用することにより、極めて長い時間、node(d)の電圧を保持しておくことが出来るため、電源電圧の供給を止めても表示素子275の光学特性を保持し続けることが可能となる。例えば、TN(Twisted Nematic)型液晶のようなメモリー性を有さない液晶素子を用いた場合であっても、当該素子には常に電圧が印加された状態を保持することが出来るため、書き換え動作を無くす、またはその頻度を極めて少なくすることが可能となる。

30

## 【0126】

次に、画素270内に書込まれた電圧をリフレッシュする方法について説明する。

## 【0127】

上記実施の形態と同様に、制御回路100に0Vよりも高い振幅電圧(正の振幅電圧)を有する第2の入力信号を入力することにより、一時的にトランジスタ271のしきい値電圧をマイナスシフトさせ、デプレッション型のトランジスタとする。このとき、node(d)にはSig7から電圧が入力されることにより、Sig6からの入力信号を用いることなく、画素270内の電圧、すなわち表示素子275の光学特性をリフレッシュすることが可能となる。このような動作は、後に説明するような複数の画素を有する表示装置において、一度の動作で複数の画素に保持されたデータのリフレッシュを行う場合において特に有効である。

40

## 【0128】

<適用例>

次に、本発明の制御回路を上記で説明した画素270を複数有する表示装置に適用した一例について説明する。

50



## 【 0 1 2 9 】

図 6 ( B ) に、図 6 ( A ) に示した画素 2 7 0 が縦横にマトリクス状に複数配置された表示装置 2 8 0 を示す。表示装置 2 8 0 は、複数の画素 2 7 0 のほかに、第 1 の駆動回路 2 8 1、第 2 の駆動回路 2 8 3、及び複数の制御回路 1 0 0 を有する。本実施の形態では、実施の形態 2 で例示した記憶装置 2 1 0 と同様、複数の画素 2 7 0 は  $m$  行  $n$  列 ( $m$ 、 $n$  は 1 以上の整数) のマトリクス状に配置され、また制御回路 1 0 0 は一行につき  $m$  個設ける構成とする。

## 【 0 1 3 0 】

第 1 の駆動回路 2 8 1 は、実施の形態 2 で例示した第 1 の駆動回路 2 1 1 と同様の構成、機能を有する。したがって、それぞれの画素 2 7 0 内のトランジスタ 2 7 1、及びそれぞれの制御回路 1 0 0 は、当該第 1 の駆動回路 2 8 1 によって制御線  $S i g 6 ( 1 ) \sim S i g 6 ( m )$ 、及び制御線  $I N ( 1 ) \sim I N ( m )$  を用いて制御される。

10

## 【 0 1 3 1 】

また、第 2 の駆動回路 2 8 3 も同様に、実施の形態 2 で例示した第 2 の駆動回路 2 1 3 と同様の構成、機能を有する。したがって、それぞれの画素内にトランジスタ 2 7 1 を介して入力されるデータは当該第 2 の駆動回路 2 8 3 によって制御線  $S i g 7 ( 1 ) \sim S i g 7 ( n )$  を用いて制御される。

## 【 0 1 3 2 】

画素 2 7 0 内の表示素子は、 $n o d e ( d )$  に入力される電圧によって光学特性が変化する。例えば、液晶表示素子を適用した場合は、バックライトからの光を透過、若しくは遮光するように光学特性が変化することにより、画像を表示する。また、電気泳動素子を適用した場合は、当該素子の ( 外 ) 光に対する光学特性 ( 反射率等 ) が変化することにより画像を表示する。さらに画素 2 7 0 は  $n o d e ( d )$  に入力する電圧を変えることにより、多段階の階調表示を行うことも可能である。

20

## 【 0 1 3 3 】

制御回路 1 0 0 は、上記実施の形態で例示したように、第 1 の駆動回路 2 8 1 からの入力信号にしたがって、これに接続される  $n$  個の画素 2 7 0 内のトランジスタ 2 7 1 のしきい値電圧を最適な値に制御、保持し、且つ一時的にしきい値電圧を変化させ、デプレッション型のトランジスタとすることが出来る。制御回路 1 0 0 に接続された  $n$  個のトランジスタを同時にデプレッション型に一時的に変化させることにより、それぞれの画素に格納される電圧 ( すなわち表示画像 ) を一つの信号で同時にリフレッシュすることができる。

30

## 【 0 1 3 4 】

なお、上述のように、制御回路 1 0 0 は表示装置 2 8 0 内に一つ以上設ければよい。

## 【 0 1 3 5 】

以上のように、本発明の制御回路を表示装置に適用することにより、しきい値電圧が最適な値に保持され、且つ容易にリフレッシュ動作が可能な画素を複数有する表示装置とすることが出来る。また、電源の供給を止めても表示画像が保持可能な表示装置を実現できる。

## 【 0 1 3 6 】

本実施の形態は、本明細書で例示する他の実施の形態と適宜組み合わせることで実施することが出来る。

40

## 【 0 1 3 7 】

( 実施の形態 5 )

本実施の形態では、上記実施の形態に適用可能な、チャネルを形成する半導体層に酸化物半導体層を用いたトランジスタと、その周辺回路に適用可能なトランジスタ、及び容量素子の構成及び作製方法の一例について、図 7 を用いて説明する。

## 【 0 1 3 8 】

< 構成例 >

図 7 ( D ) は、単結晶半導体の基板 3 0 1 上に、トランジスタ 3 2 5、トランジスタ 3 2 7、及び容量素子 3 2 9 が形成された断面概略図である。

50

## 【0139】

トランジスタ325は、チャンネルを形成する半導体層に単結晶半導体を用いたトランジスタであり、上記実施の形態で例示した制御回路100内のダイオード以外の回路を構成するトランジスタに適用することができる。本実施の形態では、トランジスタ325として単結晶半導体を用いる構成としたが、ガラスなどの絶縁基板上に設けられた薄膜トランジスタを用いることもできる。実施の形態4で例示した表示装置に適用する場合は、光透過性を有する絶縁基板上に形成することが好ましい。

## 【0140】

トランジスタ327は、チャンネルを形成する半導体層に酸化物半導体を用いたトランジスタであり、半導体層を挟んで対向する2つのゲート電極を有する。このトランジスタは上記実施の形態で例示した制御回路100内のダイオードに適用可能なトランジスタである。また、当該制御回路100が接続されるトランジスタにも適用することができる。

10

## 【0141】

本実施の形態の半導体層に用いる酸化物半導体は、n型不純物として働く水素が除去され、不純物を極力含まないように高純度化することによりI型(真性)の酸化物半導体、又はI型(真性)に限りなく近い酸化物半導体としたものである。

## 【0142】

なお、高純度化された酸化物半導体中ではキャリアが極めて少なく、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満となるように制御する。また、このようにキャリアが少ないことで、オフ状態における電流(オフ電流)は十分に小さくなる。

20

## 【0143】

具体的には、上述の酸化物半導体層を具備するトランジスタでは、オフ状態でのソースとドレイン間のチャンネル幅 $1 \mu\text{m}$ あたりのリーク電流密度(オフ電流密度)は、ソースとドレイン間の電圧が3.5V、使用時の温度条件下(例えば、25 )において、 $100 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ )以下、もしくは $10 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ )以下、さらには $1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ )以下とすることができる。

## 【0144】

また、高純度化された酸化物半導体層を具備するトランジスタは、オン電流の温度依存性がほとんど見られず、高温状態においてもオフ電流は非常に小さいままである。

30

## 【0145】

容量素子329は、上記実施の形態で例示した制御回路100、及びその他の回路内の容量素子に適用可能な容量素子である。本実施の形態では、トランジスタ327に用いる第1配線と、ゲート絶縁層と、第2配線とで構成する例を示すが、この構成に限定されることはなく、第2配線と、第2層間絶縁層と、第3配線、または単結晶半導体基板に形成された不純物領域と、第1層間絶縁層と、第1配線とから構成してもよい。

## 【0146】

本実施の形態では、トランジスタ327及び容量素子329は、制御回路100内のダイオードに用いるトランジスタ、及び容量素子をそれぞれ想定しており、トランジスタ327のソース又はドレインに接続する第2配線と、容量素子329の上部電極とを接続した構成とした。なお、それ以外の各トランジスタ間、トランジスタと容量素子間の接続は、第1配線、第2配線または第3配線や、これらを隔てる層間絶縁層に形成されたコンタクトプラグを用いて、回路構成に応じて適宜接続することができる。

40

## 【0147】

<作製工程例>

次に、作製工程の一例について図7(A)乃至(D)を用いて順に説明する。まず、公知の半導体加工技術を用いて、珪素、砒化ガリウムなどの単結晶半導体の基板301の一表面に、素子分離層303を形成し、さらに不純物領域307a及び不純物領域307b、並びにトランジスタ325のゲート305を形成する。さらに、第1層間絶縁層309

50

を形成し、第1コンタクトプラグ311を形成する(図7(A)参照)。ここで、不純物領域307a及び不純物領域307bの表面には、シリサイド層などを設けて導電性を高めても良い。またコンタクトプラグ311の形成時に、不純物領域に到達するコンタクトプラグ(図示しない)を適宜形成する。

#### 【0148】

次に、第1配線313a乃至313cを形成する。ここで第1配線313bは、後にトランジスタ327の第1ゲート電極として機能し、また第1配線313cは、容量素子329の下部電極として機能する。第1配線に用いる材料としては、後の熱処理に耐えうる、導電性の材料を用いることができる。例えば、Mo、Ti、Cr、Ta、W、Nd、Sc等の金属またはこれらを主成分とする合金若しくは導電性酸化物を用いて、単層又は積層して形成することができる。なお、後の工程の熱処理に耐えうるのであれば、上記金属としてAl、Cuを用いることもできる。これらを用いる場合は耐熱性や腐食性の問題を回避するために、高融点材料と組み合わせると良い。また第1配線にCuを用いる場合は、下地となる層にCu-Mg-Al合金を設け、その上にCuを形成すると、酸化膜などの下地膜とCuとの密着性が高まるため好ましい。

10

#### 【0149】

また、第1配線に、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を、適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

20

#### 【0150】

またトランジスタ327の第1のゲート電極となる部分においては、ゲート電極とゲート絶縁層との間に、ゲート絶縁層に接する材料層を設けても良い。当該ゲート絶縁層に接する材料層としては、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、ZnNなど)を用いることができる。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、このような仕事関数の高い材料を用いることにより、トランジスタ327のしきい値電圧を高めることが出来るため好ましい。例えば、窒素を含むIn-Ga-Zn-O膜を用いる場合、酸化物半導体層より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn-O膜を用いる。

30

#### 【0151】

その後、第1配線313a乃至313c及び第1層間絶縁層309を覆うゲート絶縁層315を形成する。ゲート絶縁層315としては、酸化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ガリウム、酸化ジルコニウムなどからなる単層、または積層を用いることができる。また、その厚さは6nm乃至200nmとすると良い。

#### 【0152】

次に、酸化物半導体層317を形成する(図7(B)参照)。酸化物半導体としては、インジウムが金属元素に占める比率が20原子%以上のものを用いると良い。形成時には水素が混入しないように注意することが必要で、酸化物半導体の成膜は雰囲気や、ターゲット中、並びにターゲット及び装置表面の水素や水を十分に低減したスパッタリング法で行うことが好ましい。また、酸化物半導体を成膜した後に水、水素が低減された雰囲気下で加熱処理を行い、膜中の水、水素を脱離させてもよい。

40

#### 【0153】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3nm以上15nm以下の第1の酸化物半導体層を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で45

50

0 以上 850 以下、好ましくは 550 以上 750 以下の第 1 の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第 1 の酸化物半導体層を形成する。そして、第 1 の酸化物半導体層よりも厚い第 2 の酸化物半導体層を形成し、450 以上 850 以下、好ましくは 600 以上 700 以下の第 2 の加熱処理を行い、第 1 の酸化物半導体層を結晶成長の種として、上方に結晶成長させ、第 2 の酸化物半導体層の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。なおこの場合、コンタクトプラグや配線に用いる材料は、加熱処理の温度に耐えうる材料を用いる。

#### 【0154】

また、酸化物半導体層を成膜する際に、酸化物半導体が c 軸に配向する温度に基板を加熱しながら成膜を行うことにより、膜表面に垂直に c 軸配向した結晶領域を有する酸化物半導体層を形成してもよい。このような成膜方法を用いることにより、プロセスを短縮することが出来る。基板を加熱する温度は、成膜装置によって他の成膜条件が異なるためこれに合わせて適宜設定すればよいが、例えば、スパッタリング装置で成膜する際の基板温度を 250 以上として成膜すればよい。

10

#### 【0155】

本実施の形態で例示する酸化物半導体層は、非単結晶であり、且つ酸化物半導体層全体が非晶質状態（アモルファス状態）ではないことを特徴とする。酸化物半導体層全体が非晶質状態（アモルファス状態）ではないため、電気特性が不安定な非晶質の形成が抑制される。

20

#### 【0156】

次に、第 2 配線 319a 及び第 2 配線 319b を形成する（図 7（C）参照）。第 2 配線は、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする合金、または金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いて、単層、又は積層して形成することが出来る。また、Al、Cu などの金属膜は、耐熱性や腐食性の問題を回避するために、下側又は上側の一方または双方に Ti、Mo、W、Cr、Ta、Nd、Sc、Y などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合酸化物、酸化インジウム酸化亜鉛混合酸化物または該金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。なお、第 2 配線 319a 及び第 2 配線 319b の下部は酸化物半導体層 317 と直接接するため、その目的に好ましい材料を用いると良い。

30

#### 【0157】

続いて、第 2 層間絶縁層 321 を形成する。第 2 層間絶縁層 321 は、酸化物半導体層 317 の上表面に接するため、これに用いる絶縁膜は水分や、水素などの不純物を極力含まないことが望ましく、単層または複数の絶縁膜の積層で構成されても良い。例えば、バリア性の高い絶縁膜である、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化アルミニウム膜、または酸化ガリウム膜などを用いることができる。

40

#### 【0158】

最後に、第 2 層間絶縁層 321 上に第 3 配線 323 を形成する（図 7（D）参照）。第 3 配線 323 には、第 1 配線、又は第 2 配線で例示したような材料から選択して適宜形成することができる。

#### 【0159】

本実施の形態では、トランジスタ 327 としてバックゲートを有する構成としたが、これを制御回路 100 のダイオードに適用する際、必要でない場合は設けなくても良い。

#### 【0160】

以上のようにして、トランジスタ 325、トランジスタ 327、及び容量素子 329 が

50

形成される。

【0161】

このようにして形成されたトランジスタ327は、オフ時のリーク電流が極めて低減されたトランジスタとすることが出来る。このようなトランジスタを上記実施の形態で例示した制御回路内のダイオードや、記憶装置、表示装置内のトランジスタに適用することにより、これらに接続されたノードの電圧を、極めて長い時間保持しておくことが可能となる。

【0162】

(実施の形態6)

本実施の形態では、上述の実施の形態で説明したトランジスタのしきい値電圧を制御可能な半導体回路を有する半導体装置を電子機器に適用する場合について、図8を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

10

【0163】

図8(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701内、筐体702内、及び表示部703の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能なノート型のパーソナルコンピュータが実現される。

20

【0164】

図8(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内、及び表示部713の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な携帯情報端末が実現される。

30

【0165】

図8(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723、表示部725、及び表示部727の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な電子書籍が実現される。

40

【0166】

図8(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図8(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741、及び表示パネル742の少なくとも一には、前述の実施の形態に示す半

50

導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な携帯電話機が実現される。

【0167】

図8(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内、表示部765、及び表示部767の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能なデジタルカメラが実現される。

10

【0168】

図8(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771、リモコン操作機780、及び表示部773の少なくとも一には、前述の実施の形態に示す半導体装置が搭載されている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能なテレビジョン装置が実現される。

【0169】

以上のように、本実施の形態に示す電子機器には、前述の実施の形態に係る半導体装置が搭載されている。このため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な電子機器が実現される。

20

【符号の説明】

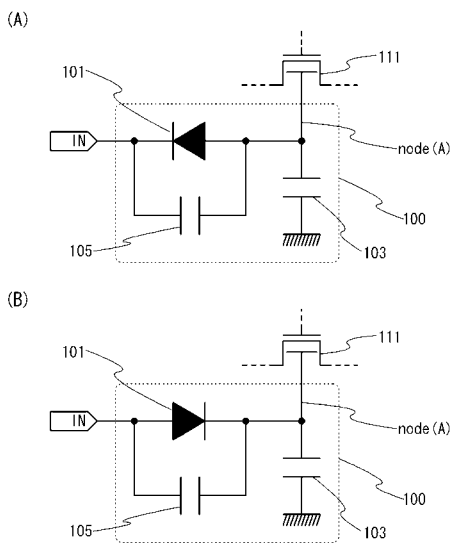
【0170】

100	制御回路	
101	ダイオード	
103	容量素子	
105	容量素子	
107	トランジスタ	30
109	トランジスタ	
111	トランジスタ	
151	曲線	
152	曲線	
153	曲線	
200	レジスタ回路	
201	トランジスタ	
203	容量素子	
205	フリップフロップ回路	
205 a	インバータ	40
205 b	インバータ	
210	記憶装置	
211	第1の駆動回路	
213	第2の駆動回路	
250	メモリセル	
251	トランジスタ	
253	容量素子	
255	トランジスタ	
257	抵抗素子	
260	記憶装置	50

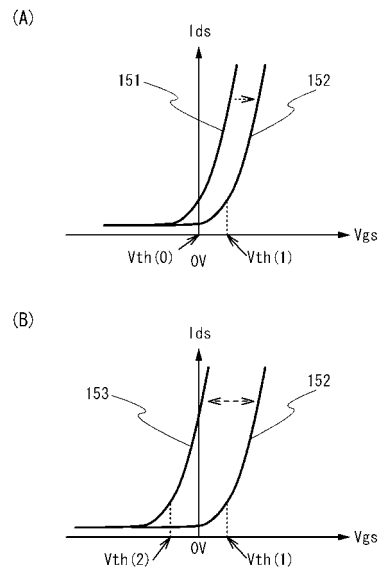
2 6 1	第 1 の駆動回路	
2 6 3	第 2 の駆動回路	
2 7 0	画素	
2 7 1	トランジスタ	
2 7 3	容量素子	
2 7 5	表示素子	
2 8 0	表示装置	
2 8 1	第 1 の駆動回路	
2 8 3	第 2 の駆動回路	
3 0 1	基板	10
3 0 3	素子分離層	
3 0 5	ゲート	
3 0 7 a	不純物領域	
3 0 7 b	不純物領域	
3 0 9	第 1 層間絶縁層	
3 1 1	コンタクトプラグ	
3 1 3 a	第 1 配線	
3 1 3 b	第 1 配線	
3 1 3 c	第 1 配線	
3 1 5	ゲート絶縁層	20
3 1 7	酸化物半導体層	
3 1 9 a	第 2 配線	
3 1 9 b	第 2 配線	
3 2 1	第 2 層間絶縁層	
3 2 3	第 3 配線	
3 2 5	トランジスタ	
3 2 7	トランジスタ	
3 2 9	容量素子	
7 0 1	筐体	
7 0 2	筐体	30
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	40
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	50

- 7 4 4     マイクロフォン
- 7 4 6     ポインティングデバイス
- 7 4 7     カメラ用レンズ
- 7 4 8     外部接続端子
- 7 4 9     太陽電池セル
- 7 5 0     外部メモリスロット
- 7 6 1     本体
- 7 6 3     接眼部
- 7 6 4     操作スイッチ
- 7 6 5     表示部
- 7 6 6     バッテリー
- 7 6 7     表示部
- 7 7 0     テレビジョン装置
- 7 7 1     筐体
- 7 7 3     表示部
- 7 7 5     スタンド
- 7 8 0     リモコン操作機

【 図 1 】

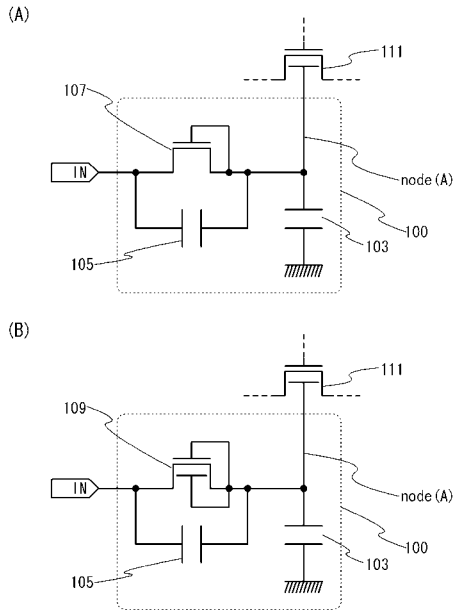


【 図 2 】

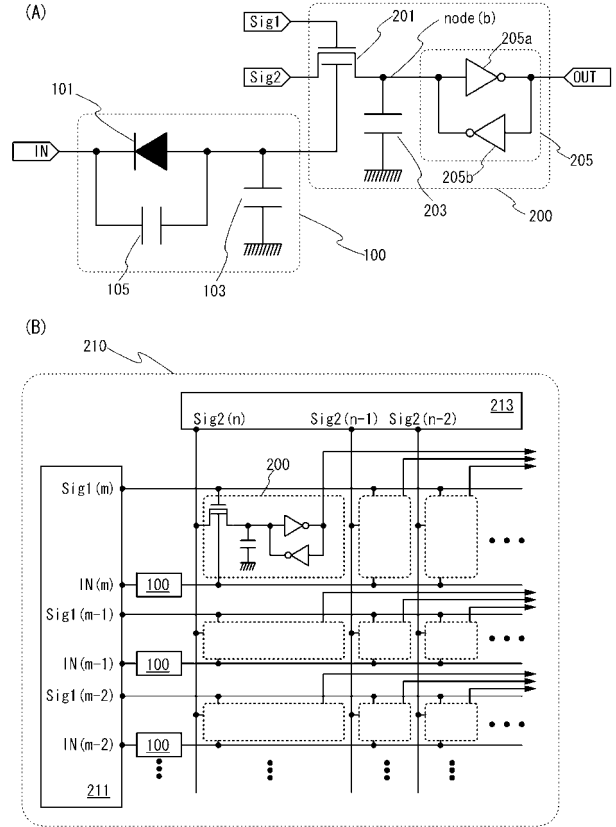




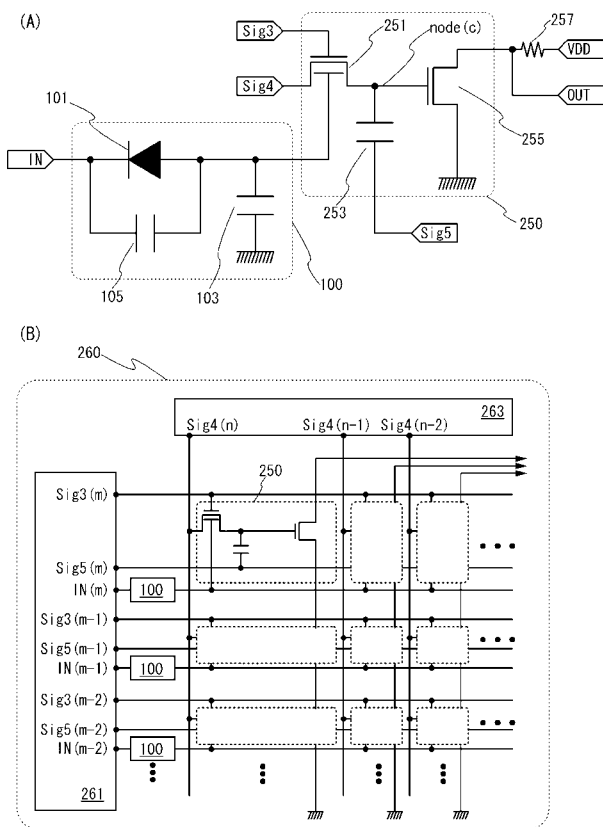
【 図 3 】



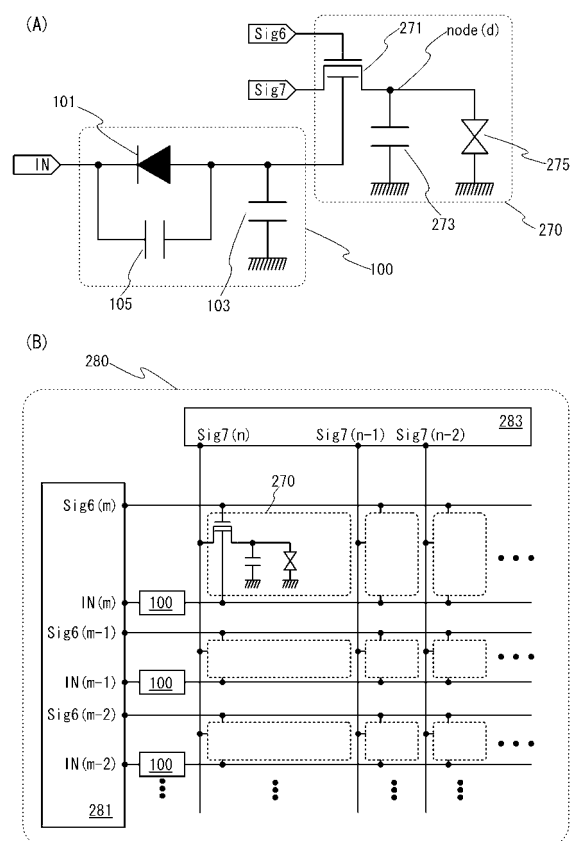
【 図 4 】



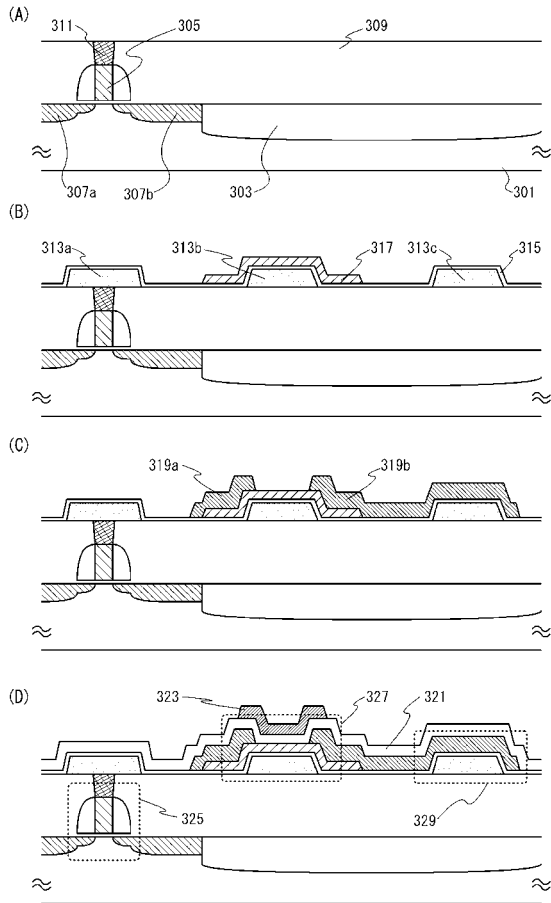
【 図 5 】



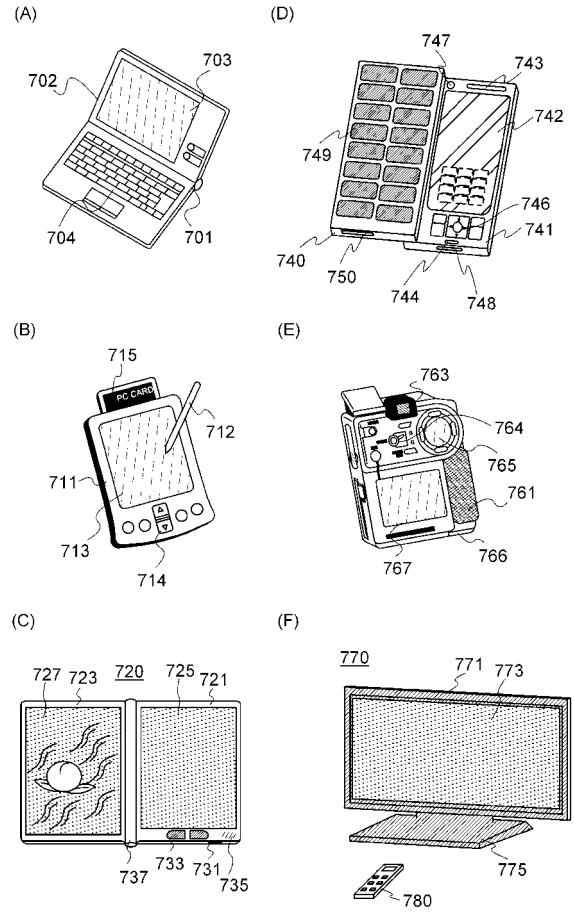
【 図 6 】



【 図 7 】



【 図 8 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/11 (2006.01)	H 0 1 L 29/78 6 1 3 Z	5 F 1 0 1
H 0 1 L 21/8244 (2006.01)	H 0 1 L 29/78 6 1 2 B	5 F 1 1 0
H 0 1 L 27/115 (2006.01)	H 0 1 L 27/08 1 0 2 J	
H 0 1 L 21/8247 (2006.01)	H 0 1 L 27/10 3 8 1	
H 0 1 L 27/105 (2006.01)	H 0 1 L 27/10 4 3 4	
H 0 1 L 29/792 (2006.01)	H 0 1 L 27/10 4 4 1	
H 0 1 L 29/788 (2006.01)	H 0 1 L 29/78 3 7 1	
H 0 1 L 21/336 (2006.01)	H 0 1 L 27/10 4 9 1	
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10 4 6 1	
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/10 4 8 1	
H 0 1 L 27/04 (2006.01)	H 0 1 L 27/04 F	
G 0 2 F 1/1345 (2006.01)	H 0 1 L 27/04 G	
G 0 2 F 1/1368 (2006.01)	G 0 2 F 1/1345	
G 0 2 F 1/133 (2006.01)	G 0 2 F 1/1368	
	G 0 2 F 1/133 5 5 0	

F ターム(参考)	5F048	AA07	AB01	AB10	AC01	AC02	AC10	BA14	BA16	BA19	BB11
		BB14	BE09	BF02	BF06	BF07	BF11	BF15	BF16	BF18	BG12
		BG13	CB03	CC08	CC13	CC18	CC19	CC20			
	5F083	AD02	AD14	AD69	BS03	BS06	BS10	BS13	BS27	BS49	BS50
		EP22	EP75	GA05	GA06	GA09	GA11	GA21	GA25	GA27	HA02
		HA06	HA08	JA01	JA02	JA05	JA06	JA19	JA35	JA36	JA37
		JA39	JA40	JA42	JA44	LA02	LA04	LA05	LA10	MA06	MA16
		NA01	PR33	ZA13							
	5F101	BA17	BD02	BD30	BD33	BD35	BD39	BD40	BE02	BE05	BE17
		BF01	BF02	BF03	BF09	BH16					
	5F110	AA08	AA09	BB02	BB03	BB05	BB08	CC02	DD01	DD02	DD05
		DD11	EE01	EE02	EE03	EE04	EE06	EE07	EE14	EE30	FF01
		FF02	FF03	FF04	FF09	GG01	GG13	GG14	GG17	GG19	GG43
		HK01	HK02	HK03	HK04	HK06	HK21	HK22	NN03	NN22	NN23
		NN24	NN72	NN73	NN74	NN78					