



Patent dodatkowy
do patentu nr _____

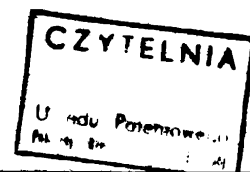
Zgłoszono: 82 05 06 (P. 236324)

Pierwszeństwo: 81 05 06 Francja

Zgłoszenie ogłoszono: 83 02 14

Opis patentowy opublikowano: 1987 06 30

Int. Cl.⁴ H04B 1/74
H04L 1/00



Twórca wynalazku _____

Uprawniony z patentu: Société Anonyme de Telecommunications, Paryż
(Francja)

Układ do ustawiania w fazie ciągów cyfrowych

1

Przedmiotem wynalazku jest układ do ustawiania w fazie ciągów cyfrowych, dla zapewnienia pewnego porządku komutacji przy transmisji cyfrowej. Wspomniane ciągi zawierają identyczne sygnały danych i sygnały zegarowe o tej samej częstotliwości.

Nowoczesne systemy transmisji cyfrowej wymagają układów eksploatacyjnych o tym większych wymaganiach odnośnie obsługi i pewności działania, im większa jest szybkość przesyłania informacji (2 Mbit/s, 8 Mbit/s, 34 Mbit/s, 2×34 Mbit/s, 140 Mbit/s). Wymagania takie występują zarówno dla transmisji przy pomocy łączy radiowych, kabli elektrycznych czy kabli z włóknami optycznymi.

Układ według wynalazku ma zastosowanie do wszystkich systemów transmisji cyfrowych, przesyłających informacje cyfrowe dwiema różnymi drogami. Wybór drogi jest funkcją określonych kryteriów, właściwych dla systemu i może być dokonany z zewnątrz. W szczególności, w systemach transmisji cyfrowej za pomocą łączy radiowych, do n pracujących kanałów jest dołożony jeden kanał bezpieczeństwa, który może dla nich wszystkich zastąpić sekcję komutacji niedostępnego kanału. Powodem stosowania takiego porządku transmisji są zaniki fal, odbicia fal na pracującym kanale, konieczność konserwacji lub też uszkodzenia.

Znane urządzenie do komutacji ciągów cyfrowych zostało opisane we francuskim zgłoszeniu patentowym nr 79 18 479. Urządzenie stawia wy-

2

maganie, by komutacja nie wprowadzała dodatkowej zmiany stanu w sygnale zegarowym. Stąd wynika, że taka komutacja powinna dokonywać się bardzo szybko po rozkazie pochodzącym z układu logicznego odbioru w następstwie np. sygnału wysłanego przez układ oceniania jakości, porządek komutacji jest przesyłany dzięki kanałom rozkazowym. Ta komutacja powinna dokonać się również bez strat informacji i pojawienia się dodatkowej informacji. Ten warunek jest nakazem, gdyż wyżej wspomniane błędy wprowadziłyby utratę synchronizacji układów położonych dalej w kierunku przesyłania informacji. Miliony bitów informacyjnych mogłyby być utracone. Wymagane więc jest, by ta komutacja nie wprowadziła informacji błędnej w szczególności w przypadku przejęcia kanału pomocniczego w stan obsługi.

Wspomniane znane urządzenie pozwala dokonać gładzenia skoku fazy sygnału zegarowego już w momencie komutacji, ale tylko wtedy, gdy ten skok nie jest zbyt duży. Jednakże jest bardzo trudno przewidzieć różnicę fazy sygnałów zegarowych i danych każdego kanału. Kanał bezpieczeństwa powinien być w takim stanie, by mógł pracować dla n kanałów bez chwili zwłoki. W rzeczywistości różne ciągi cyfrowe posiadają przesunięcia mogące osiągać kilka okresów zegarowych, a wynika to z faktu różnych ośrodków, w których odbywa się transmisja, starzenie się elementów, zmian temperatury itd.

Niezbędnym więc jest przygotowanie ciągów cyfrowych, które mają być kontynuowane, tak by je dostroić w fazie przed poddaniem ich komutacji opisanej w przytoczonym rozwiązaniu. Jednocześnie dostrojenie w fazie ciągów cyfrowych nie powinno pociągać za sobą urządzeń o zbyt dużych rozmiarach. Pod względem rozmiarów urządzenia powinny być kompatybilne z urządzeniami umieszczonymi dalej w kierunku przesyłania informacji, przykładem tu mogą być np. złącza. Zwłaszcza francuskie zgłoszenie patentowe nr 2 462 065 zwraca uwagę, by realizować komutację tylko po ustawieniu w fazie sygnałów zegarowych i zsynchronizowaniu przepływu informacji cyfrowej sygnałów. Dokonywane jest także sprawdzanie koincydencji, ale wysyłany jest tylko rząd przesunięcia za każdym razem, gdy wcześniej określona liczba braku koincydencji zostanie stwierdzona.

Układ do ustawiania w fazie ciągów cyfrowych, zawierający pierwszy komparator, oscylator, pierwszą pamięć, licznik, układ przesuwników fazowych, według wynalazku charakteryzuje się tym, że dla polepszenia prawdopodobieństwa transmisji zawiera drugą pamięć, elementu LUB, drugi licznik, drugi komparator, obwód decyzyjny, dyskryminator fazowy, przy czym wyjście pierwszego komparatora jest połączone z pierwszym wejściem pierwszej pamięci, której wyjście jest połączone z pierwszym wejściem drugiej pamięci, wyjście oscylatora jest połączone z drugimi wejściami pierwszej i drugiej pamięci, wyjście drugiej pamięci jest połączone z pierwszym wejściem pierwszego licznika, którego wyjście jest połączone z pierwszymi wejściami elementu LUB i drugiego licznika, wyjście elementu LUB jest połączone z wejściem sterowania układu przesuwników fazowych, pierwsze i drugie wyjście drugiego licznika są połączone odpowiednio z drugim wejściem pierwszego licznika i z pierwszym wejściem obwodu decyzyjnego, którego pierwsze wyjście jest połączone z pierwszym wejściem drugiego komparatora mającego wyjście połączone z drugim wejściem drugiego licznika, drugie wyjście obwodu decyzyjnego jest połączone z drugim wejściem elementu LUB, wyjście dyskryminatora fazowego jest połączone z drugim wejściem obwodu decyzyjnego, zaś wejścia pierwszego komparatora, dyskryminatora fazowego oraz wejścia informacyjne układów przesuwników fazowych stanowią wejścia informatyczne układu, wejście drugiego komparatora stanowi wejście sterowania układu, wyjścia układu przesunięcia fazowego stanowią wyjścia informatyczne układu, a pierwsze wyjście obwodu decyzyjnego stanowi wyjście sterowania układu.

Obwód decyzyjny zawiera przerzutniki, przy czym wyjście pierwszego przerzutnika jest połączone z pierwszym wejściem drugiego przerzutnika, którego drugie wyjście jest połączone z jego pierwszym wyjściem, pierwsze wejście pierwszego i trzeciego przerzutnika są połączone ze sobą i stanowią pierwsze wejście obwodu decyzyjnego, drugie wejścia pierwszego i trzeciego przerzutnika są połączone ze sobą i stanowią drugie wejście obwodu decyzyjnego, zaś drugie wyjście drugiego przerzut-

nika stanowi pierwsze wyjście obwodu decyzyjnego, a wyjście trzeciego przerzutnika stanowi drugie wyjście obwodu decyzyjnego.

Układ według wynalazku pozwala wykonać szybką komutację łącza radiowego, którego jakość pogarsza się w wyniku zaników fal w czasie rzędu kilku milisekund tak, by komutacja nastąpiła przed spadkiem jakości do poziomu nieakceptowanego nawet dla najszybszych zaników.

Z faktu, że układ według wynalazku jest dostosowany do kanału dodatkowego wynika, że unika się problemów konwergencji, związanych z zastosowaniem urządzenia opóźniającego, nie mogącego działać w roboczym kanale. Układ według wynalazku upraszcza proces transmisji i pozwala zaoszczędzić urządzenia odbiorcze kanałów radiowych. Układ według wynalazku zapewnia ciągły nadzór, przez pokazywanie opóźnień nad równoważeniem czasów propagacji kanałów radiowych i ewentualne doprowadzanie ich do równowagi bez przerywania ruchu. Układ ten adaptuje się łatwo do zmiennych zakresów przesunięć fazowych, mniejszych lub dużych, dzięki prostemu zwiększeniu pamięci buforowych danych bez modyfikacji innych elementów układu. Ponadto układ ten dostosowuje się łatwo do różnych technologii w funkcji ilości przesyłanych ciągów cyfrowych.

Układ według wynalazku jest bliżej objaśniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu cyfrowego korelacji danych według wynalazku, fig. 2 jest wykresem czasowym dla części szybkiej z fig. 1, fig. 3 jest wykresem czasowym dla części wolnej z fig. 1, fig. 4 jest wykresem czasowym detekcji braku koincydencji dwóch ciągów cyfrowych, fig. 5 jest zalecanym schematem układu realizacji testu wykonywanego na danych i sygnałach zegarowych, fig. 6 jest wykresem czasowym związanym z układem z fig. 5, fig. 7 jest zalecaną formą realizacji układu z fig. 5, fig. 8 jest schematem przedstawiającym zastosowanie układów z fig. 1—7 do komutacji ciągów cyfrowych $D'ir + H'ir$ i $D_x + H_x$, fig. 9 jest schematem blokowym układu zmiany fazy według wynalazku, fig. 10 jest schematem szczegółowym układu zmiany fazy z fig. 9, fig. 11 przedstawia kod cykliczny sterujący przesunięciem fazy, fig. 12 jest wykresem czasowym zmiennego przesunięcia fazowego w czasie jego zmiany, fig. 13 jest wykresem czasowym pamięci buforowej w przypadku zmiany opóźnienia przesunięcia fazowego zmiennego, fig. 14 jest zalecaną formą realizacji układu z fig. 10, fig. 15 jest szczegółowym schematem układu sterującego urządzeniem z fig. 10 i 14, a fig. 16 przedstawia wykorzystanie układu zmiennego przesuwania fazy według wynalazku, zastosowanego w komutacji identycznych ciągów cyfrowych.

Dwa ciągi danych $D'ir$ i D_xr (fig. 1) pochodzą z dwóch różnych dróg i powinny być identyczne. W układzie według wynalazku poszukuje się braku koincydencji dwóch ciągów danych $D'ir$ i D_xr . Sygnał zegara H_i ma tę samą nominalną częstotliwość co sygnały zegarowe $H'ir$ i H_xr wspomnianych ciągów ale fazę ściśle określoną i rytmu dzia-

łania komparatora 1, który odbiera sygnały D'_{ir} i D_{xr} .

Komparator 1 porównuje sygnały D'_{ir} i D_{xr} wstępnie zsynchronizowane sygnałem H_1 i daje na wyjściu sygnał DIV (dywergencja) reprezentatywny dla testu koincydencji danych. Dla przesunięcia sygnałów względem siebie (fig. 2) momenty porównania (sygnał C) odpowiadają zboczom opadającym sygnału zegara H_1 . W pewnych momentach (sygnał C') tego sygnału zegarowego wykrywany jest brak koincydencji dwóch sygnałów danych D'_{ir} i D_{xr} . Inny sygnał braku koincydencji DIV jest jeszcze przedstawiony jako sygnał niezerowany (nieidentyczne bity b_1 i b_3) na fig. 3

Niezależny oscylator 3, pracujący z dużo mniejszą częstotliwością niż częstotliwość ciągów cyfrowych generuje sygnał kwadratowy h , określający ciąg bitów stałej długości p (p jest liczbą całkowitą) odpowiadającej okresowi tego sygnału h .

Sygnał DIV braku koincydencji jest zapamiętywany w pamięci 2 i przechowywany tam aż do końca ciągu określonego sygnałem h , który również jest podawany do pamięci 2. Z wyjścia pamięci 2 wysyłany jest sygnał PER (ciąg błędny) wskazujący, że ciąg bitów zawiera co najmniej jedną niezgodność na wejściu danych D_{xr} i D'_{ir} . Tak więc sygnał PER nie wykazuje drugiego błędu, który może wystąpić w tym samym ciągu.

W pamięci 4 sygnał PER jest zapamiętywany w czasie trwania następnego ciągu. Zapamiętywanie występuje pod wpływem sygnału h podawanego na wejście pamięci 4. Pamięć 4 wysyła impuls $NOCO$ braku koincydencji równy 1 w stałym określonym czasie jeśli co najmniej jeden brak zgodności danych wystąpił w poprzednim ciągu. Ten stały czas trwania impulsu $NOCO$ powinien być kompatybilny z działaniem części powolnej układu korelacji danych. Część opisana powyżej utworzona z elementów 1, 2, 3, 4 działa w rytmie sygnału zegara H_1 i jest częścią „szybką” dowolnie zredukowaną ze względu na zużycie energii.

Sygnał $NOCO$ jest podawany na wejście licznika 6 o programowalnym braku koincydencji, który zlicza impulsy $NOCO$ pomiędzy dwoma impulsami przesuniętymi o t_1 , sygnału $INIT$ (inicjalizacja) wysyłanego przez licznik czasu 7. Jeśli licznik 6 zliczy maksymalną dla swej pojemności wcześniej określoną ilość q przed pojawieniem się innego impulsu sygnału $INIT$ wysyła impuls braku korelacji $ABSCORR$ (fig. 4). Jeśli impuls $ABSCORR$ pojawi się przed upływem czasu t_1 , następuje inicjalizacja licznika czasu 7. W tym przypadku i gdy licznik 7 osiągnie czas t_1 impuls $INIT$ zainicjalizuje programowany licznik 6. Czas t_1 wybrany jest tak, by zagwarantować rozpoznanie braku korelacji w ciągu najuboższym w przejścia. W rzeczywistości dane przesłane normalnie złączami radiowymi zawierają właściwą ramkę danych i pewną liczbę słów lub bitów dołączanych systematycznie. Tak więc częstotliwość sygnału h a tym samym długość ciągu, jest jednym z parametrów pozwalających optymalizować korelator według wynalazku. Długość ciągu powinna uwzględniać zawartość przebiegów danych rozpatrywanych, jak również ich rozdział czasowy. Fig. 3 przedstawia przypadek

szczególny, gdy długość ciągu p jest równa 10 bitom.

W ten sam sposób parametr q uwzględniający impulsy $NOCO$ między dwoma impulsami $INIT$ jest tak dobrany, by korelator według wynalazku był nieczuły na błędy mogące występować i by pq było pompatybilne z rozmiarami dopuszczalnego uchybu końcowego.

Układ korelacyjny danych według wynalazku jest korzystnie stosowany w przypadku żądania komutacji łącz celem potwierdzenia żądania T_{ri} komutacji wejściowej kanału porządku i oznaczającego, że kanał i wymaga przejścia w stan pomocniczy, lub że jest już w tym stanie i nie chce być już w nim dłużej. Sygnał T_{ri} ma wartość 1 gdy kanał i jest w stanie odbioru normalnego i ma wartość 0, gdy kanał i jest kanałem pomocniczym. Kanał pomocniczy oznaczono przez x . Tak więc ciąg D'_{ir} skojarzony ze swym zegarem H'_{ir} jest porównywany z ciągiem D_{xr} skojarzonym z zegarem H_{xr} .

Na fig. 5 przedstawiono układ, zawierający dyskryminator fazy sygnałów zegarowych 11 , na który podawane są sygnały zegarów H_{xr} i H'_{ir} i który na wyjściu daje sygnał Φ_0 reprezentatywny do przesunięcia między sygnałami zegarowymi tych dwóch ciągów.

Tak więc podczas gdy układ korelatora cyfrowego 10 zawierający elementy 1, 2, 3 i 4 z fig. 1 sprawdza brak koincydencji danych, dyskryminator fazy sygnałów zegarowych 11 podaje stan przesunięcia faz zegarów na wejściu obwodu decyzyjnego 8. Jeśli $\Phi = 0$ przesunięcie fazowe jest nie do przyjęcia, ponieważ jest zbyt duże i obwód decyzyjny wysyła sygnał $ABSPHA$ oznaczający, że zegary dwóch ciągów cyfrowych nie są w fazie. Sygnał ten podawany jest do obwodu zwrotnicy 9, który z kolei generuje impuls PAP (krok po kroku) oznaczający złą fazę.

Obwód decyzyjny 8 wysyła również, gdy zachodzi przypadek złej fazy, niezerowy sygnał N , $N = 0$ oznacza że sygnały są w fazie, sygnał ten jest podawany na wejście obwodu porównującego 5, na który podawany jest również sygnał T_{ri} żądania komutacji kanału i . Sygnał N wskazuje w jakim stanie jest komutacja: jeśli $N = 1$ kanał i jest w stanie normalnej transmisji, jeśli $N = 0$ kanał pomocniczy x jest w stanie roboczym.

Gdy T_{ri} i N nie są w tym samym stanie, obwód porównujący 5 wysyła sygnał REC (poszukiwanie) umożliwiający poszukiwanie dobrej pozycji fazy kanału pomocniczego. Sygnał REC jest podawany na wejście licznika czasu 7 i służy do jego inicjalizacji. Przy pomocy fig. 1 wyjaśniono, że programowany licznik 6 braku koincydencji zlicza impulsy $NOCO$ między dwoma impulsami $INIT$, wysyłanymi przez licznik czasu 7, i gdy zliczy on maksymalną liczbę q przed podaniem na impulsu $INIT$ wysyła impuls braku korelacji $ABSCORR$ oznaczający, że dane nie mają właściwego stosunku fazy. Sygnał $ABSCORR$ podawany również na wejście obwodu zwrotnicy 9 pozwala również na wysłanie przez ten obwód impulsu PAP .

Sygnał $ABSCORR$ ustawia w stan początkowy licznik czasu 7. Jeśli przy końcu upływu czasu t_1

nie było innego impulsu **ABSCORR** impuls **TTEST** jest podawany przez licznik czasu 7 na wejście obwodu decyzyjnego 8. Obwód 8 może więc zgodnie ze stanem Φ_0 podawanym przez dyskryminator zegara 11, wyzwolić impuls **PAP** na wyjściu obwodu zwrotnicy 9 przez podanie nań impulsu **ABSPHA** reprezentującego złą fazę (fig. 6).

Tak więc korelator 10 pozwala sprawdzić bardzo szybko (działa on w rytmie H_1) stosunek a często zły stosunek fazy między dwoma ciągami cyfrowymi, dzieje się to bez oczekiwania by dyskryminator fazy 11, wolniejszy, podał swój rezultat. Dobór ilości q impulsów pozwalający wyzwolić sygnał **PAP** jest taki, że zabezpiecza się przed ewentualnymi błędami danych jak również uchybem końcowym. Minimalny czas testu danych jednej pozycji wynosi więc $q \cdot t_1$, gdzie t_1 jest równe okresowi sygnału H_1 . Przeciwnie, dobry rezultat testu danych może być jeszcze potwierdzony przez test fazy Φ_0 na końcu czasu t_1 . Czasy t_1 testów są łączne i ich długość jest wybrana tak, by były kompatybilne z technologią wykonania układów 10, 11 i 12.

Figura przedstawia przykład zalecanego układu realizacji rozwiązania według wynalazku. Układ korelacji 10 zawiera komparator 1 dający sygnał **DIV**. Komparator 1 zawiera element **ALBO 101**, na który podawane są sygnały D'_{1r} i D_{1r} , przerzutnik 102, którego wejście **D** jest połączone z wyjściem elementu **ALBO 101** i którego drugie wejście **C** jest połączone z zegarem H_1 . Sygnał **DIV** występuje na wyjściu **Q** przerzutnika 102.

Pamięć 2 z fig. 5 zawiera dwa przerzutniki 201 i 202. Na przerzutnik 201 podawane są sygnały **DIV** na wejście **D** i H_1 na jego wejście zegarowe **C**. Sygnał **PER** występuje na jego wyjściu **Q**. Wyjście **Q** jest połączone z wejściem $\overline{CE}$ (negacja „clock enable”) tegoż przerzutnika zapewniając blokowanie go w stanie „1”.

Na wejście **D** przerzutnika 202 podawany jest sygnał **PER**, a na wejście zegarowe **C** podawany jest sygnał h reprezentatywny dla ciągu cyfrowego. Wyjście **Q** przerzutnika jest połączone z wejściem „reset” przerzutnika 201. Wejście „reset” przerzutnika 202 jest połączone z wyjściem **C** przerzutnika 201. Te połączenia gwarantują, że H_1 i h są niezależne, sygnał **PER** staje się zerem, gdy narasta zbocznie sygnał h , pozostawiając przerzutnikowi 400 czas na zapamiętanie informacji **PER**.

Oscylator 3 z fig. 5 zawiera klasyczny obwód 300 oscylatora **LC** (kondensator, indukcyjność), którego wyjście jest połączone z wejściem obwodu separatora 301. Na wyjściu tego obwodu występuje sygnał h .

Pamięć 4 z fig. 5 zawiera przerzutnik 400 i element **LUB 401**. Na wejście **D** przerzutnika 400 podawany jest sygnał **PER** pochodzący z przerzutnika 201 a na jego wejście zegarowe **C** podawany jest sygnał h . Z wyjścia **Q** przerzutnika 400 sygnał **NC** podawany jest na element **LUB 401**, na którego inne wejście podawany jest sygnał h . Na wyjściu tego elementu **LUB 401** występuje sygnał **NOCO**, który ogranicza również część szybką 10 korelatora.

Część wolna 12 tego korelatora składa się z licznika programowanego 6, zawierającego obwód zliczający 600, który zlicza impulsy **NOCO** podawane na jego wejście „count up”. Na jego wejście „load” podawany jest sygnał **INIT**, który ustawia stan początkowy zależny od połączeń wejść D_A , D_B , D_C i D_D . Impuls **ABSCORR** występujący na wyjściu „carry” obwodu 600 wskazuje, że licznik zanotował maksymalną liczbę równą swej pojemności.

Obwód porównujący 5 z fig. 5 zawiera element **ALBO 500**, na którego wejścia podawane są sygnały TR_1 i N , a na wyjściu którego występuje sygnał **REC**.

Licznik czasu 7 z fig. 5 zawiera przerzutnik monostabilny 700, inwertery 707 i 702 oraz element **I 703**.

Przerzutnik monostabilny 700 jest wyzwalany sygnałem **REC**, podawanym na jego wejście „clear”. Sygnał **TTEST** występuje na jego wyjściu **C**. Na inwerter 701 podawany jest sygnał z wyjścia elementu **I 900**. Zanegowany sygnał wejściowy z wyjścia inwertera podawany jest na wejście elementu **I 703**. Na drugie wejście tego elementu **I 703** podawany jest sygnał **REC**.

Wyjście elementu **I 703** jest połączone z wejściem **A** przerzutnika monostabilnego 700, który jest przez nią ponownie pobudzany i z wejściem inwertera 702, na którego wyjściu występuje sygnał **INIT**. Sygnał **INIT** jest podawany na wejście „load” licznika programowanego 600, pozwalające ustawić go i na wejście „preset” przerzutnika 800.

Obwód decyzyjny 8 z fig. 5 zawiera przerzutniki 800, 801 i 802. Na wejścia **D** przerzutników 800 i 801 podawany jest sygnał przesunięcia fazowego Φ_0 z dyskryminatora fazy 11 a na ich wejścia zegarowe **CK** podawany jest sygnał **TTEST** z przerzutnika monostabilnego 700, z jego wyjścia **Q**. Przerzutnik 800 jest ustawiany w stan „1” sygnałem **INIT**, podawanym na jego wejście „preset”. Przerzutnik 801 jest ustawiony w stan „0” sygnałem **REC**, podawanym na jego wejście „clear”. Sygnał **ABSPHA** występuje na wyjściu **Q** przerzutnika 800 podczas gdy wyjście **Q** przerzutnika 801 jest połączone z wejściem zegarowym **CK** przerzutnika 802. Przerzutnik ten ma połączone swoje wyjście **Q** ze swym wejściem **D** i pracuje w układzie dzielnika przez 2.

Sygnał **N** występuje na wyjściu **Q** przerzutnika 802 jak również na wejściu elementu **ALBO 500**, na którego drugie wejście podawany jest sygnał **TR₁**.

Obwód zwrotnicy 9 z fig. 5 zawiera element **I 900** i przerzutnik monostabilny 901. Element **I 900** ma jedno z wejść połączone z wyjściem „carry” licznika 600 a inne wejście połączone z wyjściem przerzutnika 800 i podawane na nią są odpowiednio sygnały **ABSCORR** i **ABSPHA**. Na wyjściu elementu **I 900** pojawia się impuls dodatni gdy **ABSCORR** lub **ABSPHA** mają wartość 0.

Wyjście elementu **I 900** jest połączone z wejściem **B** przerzutnika monostabilnego 901, który na wyjściu **Q** daje sygnał **PAP** — szeroki, przy każdym impulsie poślanym na jego wejście.

Figura 8 przedstawia zastosowanie układu ustalania fazy ciągów cyfrowych według wynalazku, działającego na ządanie komutacji tych ciągów, które to ządanie podawane jest kanałem TR_i na wejście obwodu logicznego 12 dla ciągu i , utworzonego z ciągu danych $D_{ir} + H_{ir}$ i skojarzonego z nim sygnału zegarowego. Ten ciąg i jest uzyskiwany przy pomocy układu wyrównującego 19, na którego wyjściu występuje ciąg D'_{ir} danych związanych z sygnałem H'_{ir} zegara (fig. 16). Jednocześnie kanał pomocniczy x jest uzyskiwany za pomocą zespołu 13 i dostosowuje fazę sygnałów $D_x + H_x$ w funkcji sygnału PAP tak, by podać na wejścia układu 10, 11 i 14 ciąg cyfrowy $D_{xr} + H_{xr}$ przedstawiający właściwy stosunek fazy z ciągiem i , który żąda przejścia w stan pomocniczy. Urządzenie 14 jest urządzeniem komutacji, takim jak opisane we francuskim zgłoszeniu patentowym nr 79 18 479. Na urządzenie 14 podawany jest sygnał N ządania komutacji z obwodu logicznego 12 dopuszczającego ządanie komutacji wyłącznie wtedy, gdy rezultaty dostarczane przez układy 10 i 11 są zadałające. Urządzenie 14 narzuca również rytm działania H_i układowi 10. Rytm ten jest rytmem ciągu cyfrowego po komutacji. Układ korelatora 10 pozwala testować sygnały D_{ir} i D'_{ir} , podczas gdy fazy sygnałów H_{ir} i H'_{ir} są porównywane za pomocą dyskryminatora fazy 11. Pozwala to uzyskać sygnał PAP na wyjściu decyzyjnego obwodu logicznego 12. Sygnał PAP jest impulsem szerokim, reprezentatywnym dla złej fazy na wejściu zespołu 13 zmiany fazy kanału pomocniczego $ir + H_{ir}$.

Zespół zmiany fazy 13 (fig. 9) zawiera obwód sterowania logicznego 15, na który podawany jest rozkaz PAP ządania modyfikacji fazy oraz obwód modyfikacji fazy 16, na który podawany jest wejściowy ciąg cyfrowy $H_x + D_x$ a który na wyjściu daje wyjściowy ciąg cyfrowy $D_{xr} + H_{xr}$ o przesuniętych fazach w wyniku rozkazu wysłanego przez obwód sterowania 15. Ponadto zespół zmiany fazy 13 zawiera urządzenie 17 do odwzorowania wspomnianego przesunięcia faz w funkcji i rozważanego kanału. Obwód modyfikacji fazy 16 według wynalazku, przedstawiony na fig. 9, zawiera pamięć buforową 160, do której równolegle zapisywane są dane D_x pochodzące z kanału pomocniczego, przy czym wpisywanie odbywa się w rytmie pracy licznika zapisu 161, który odbiera sygnał H_x z tego samego kanału pomocniczego. Obwód niestącej zmiany fazy 164 według wynalazku reaguje na zmianę pracy zegara licznika odczytu 163 w stosunku do zegara H_x licznika zapisu 161 o wielkość określoną przez obwód 164. Dane zapamiętywane w pamięci 160 są odczytywane i multipleksowane w multipleksorze 162 w rytmie narzuconym przez licznik odczytu 163. Wspomniany multipleksor 162 daje na wyjściu ciąg cyfrowy danych D_x .

Na fig. 10 przedstawiono przykład zalecanej realizacji obwodu niestącej zmiany fazy według wynalazku. Obwód niestącej zmiany fazy 164 według wynalazku ma za ządanie powodować nie ciągłą zmianę jak w znanych rozwiązaniach, ale dyskretną w określonym zakresie. Dla spełnienia tego celu P

przełączalnych przesuwników fazowych i obejmujących okres w P dyskretnych wartościach pozwala, w odpowiedzi na ządanie PAP zmiany fazy, skorygować przesunięcie zegarów. Krok P odpowiadający skokowi fazy o $\frac{1}{P}$ iu jest wielkością wybraną tego rodzaju, by była ona zgodna z uchybem końcowym tolerowanym przez obwody położone dalej w kierunku przekazywania informacji, przy czym iu jest odcinkiem czasowym równym jednemu okresowi. Ten skok fazy może być dokonany w pracującym kanale pomocniczym.

W przykładzie realizacji z fig. 10 wybrano P równe 8. Jest to wielkość dobrze wybrana do stosowania w obwodach logicznych, ponieważ $8 = 2^3$. Poza tym wielkość ta nie zwielokrotnia zbyt układów i daje dość niewielki skok. Przesuwnik fazy 16 według wynalazku pozwala zmieniać fazę o żadaną ilość okresów. Ciąg cyfrowy D_{xr} może się zmieniać w zakresie n bitów.

Przesuwnik 16 według wynalazku zapewnia ciągom cyfrowym pomocniczym zmienne skokowe opóźnienie, w obydwu kierunkach. Przesunięcie fazowe może być zmieniane w dwóch kierunkach aż do ograniczników zmieniających kierunek przeszukiwania na końcach zakresu. Przesuwnik fazowy 164 według wynalazku jest usytuowany na ostatniej sterowanej pozycji przed ostatnią komutacją.

Sygnał H_x zegara pochodzący z kanału x pomocniczego (patrz fig. 10) jest podawany na wejście obwodu dystrybutora sygnałów czasowych 165, który rozdziela je na 8 różnych wyjść $He_1, He_2, He_3, He_4, He_5, He_6, He_7, He_8$ z tą samą fazą. Te sygnały zegarowe podawane są na wejścia ośmiu obwodów 166 do 173, które z kolei na swych wyjściach dają sygnały zegarowe opóźnione o Δt .

Obwód 166 opóźnia o $\Delta t = \Delta t_0$

Obwód 167 opóźnia o $\Delta t = \Delta t_0 + \frac{iu}{8}$

Obwód 168 opóźnia o $\Delta t = \Delta t_0 + \frac{2iu}{8}$

Obwód 173 opóźnia o $\Delta t = \Delta t_0 + \frac{7iu}{8}$

Mamy więc 8 opóźnień przesuniętych o $\frac{iu}{8}$, gdzie iu jest równe okresowi zegara H_{ir} .

Sygnał H'_x pochodny sygnału H_x i odpowiedniej fazy powstaje w obwodzie 165 i podawany jest na wejście obwodu 174 obcinania fazy szeregu wejściowego D_x . Ten obwód na wyjściu daje ciąg D'_x , który jest podawany na wejście pamięci buforowej 175. Licznik zapisu 176 odbiera sygnał H_{CE} , który służy mu jako sygnał zegarowy zapisu. H_{CE} powstaje z sygnału H_x i odpowiedniej fazy w obwodzie 165.

Licznik synchroniczny 176 typu Johnsona odpowiada rozwiązaniu klasycznemu po to, by zapisywanie danych D'_x do pamięci 175 odbywało się bez ryzyka dwuznaczności. Licznik 176 wytwarza osiem sygnałów synchronicznych B_0, B_1, B_2, B_3 i ich uzupełnienie logiczne, które dają razem osiem sygnałów zapisu danych do pamięci 175. Obwód sterowania 177 zapamiętuje sygnały sterowania A, B, C wysyłane przez obwód logiczny sterowania 15. Nastąpi to

później, w rytmie impulsów zegara H_c wytworzonych przez obwód 165 z sygnału H_x za każdym razem, gdy sygnały A, B, C będą potwierdzone przez sygnał VAL również wysyłany przez obwód logiczny 15. Obwód 177 wytwarza sygnał EEN (rejestracja dokonana), który wskazuje, że te rozkazy zostały zarejestrowane. Przeznaczony jest on również dla obwodu 15.

Obwód 177 wytwarza również sygnały a, b, c , które są przeznaczone dla ośmiu obwodów przesuwania faz 166—173. Te obwody 166—173 są blokowane przez stan abc taki, by jeden sygnał był aktywny za każdym razem. Sygnały a, b, c wynikają z rozkazu A, B, C potwierdzonego przez sygnał VAL . Ten kod może być przykładowo przedstawiony na fig. 11. Litera a, b i c przedstawiają osiem różnych pozycji przesunięcia fazowego powodujących, że tylko jeden z obwodów 166—173 jest aktywny. Sygnały a, b, c , dla nich mają wartość 1 lub 0. Kod $a b c$ jest kodem cyklicznym takim, że przejście z jednego obwodu do sąsiedniego odbywa się bez zakłóceń na wyjściu. Z ośmiu zegarów 166—173 tylko jeden wysyła sygnał wyjściowy. Siedem innych pozostaje w stanie stałym. Sygnały a, b, c zmieniają się synchronicznie gdy jeden z obwodów 166—173 chwilowo aktywny, znajduje się w stanie spoczynkowym. Pozwala to nie dorzucać i nie ograniczać zbocza sygnału zegarowego. To właśnie ustala fazę zegara H_c synchronizującą obwód 177.

Zgodnie z konfiguracją już opisaną wykonuje się skoki tylko o $\frac{1}{8}$ iu dla każdego nowego rozkazu a, b, c . Wyjścia obwodów 166—173, na których występują sygnały $H_{s1}, H_{s2}, \dots, H_{s8}$ są połączone odpowiednio z ośmioma wejściami obwodu zwrotnicy 178. Na wyjściu obwodu zwrotnicy 178 występuje tylko sygnał $\overline{h_x}$ zegara wejściowego, który jest w stanie aktywnym. Opóźnienia związane z ośmioma sygnałami wejściowymi powinny być identyczne, by nie tworzyć zakłóceń w czasie komutacji opóźnień. Sygnał $\overline{h_x}$, wyjściowy obwodu 178, przechodzi przez filtr pasmowy 179 o wąskim pasmie przenoszenia nastawionym na częstotliwość nominalną H_x . Filtr 179 pozwala przetworzyć nieunikniony skok fazy $\frac{iu}{8}$ przy każdej zmianie opóźnienia w $\frac{miu}{8}$ (lub $\frac{miu}{p}$ w przypadku ogólnym), przy czym m jest liczbą całkowitą zawartą między 0 a 7. Poślizg fazy rozłożony na więcej niż 10 bitów jest łatwiejszy do przyjęcia dla układów umieszczonych dalej w kierunku przesyłania informacji. Gwarantuje on ponadto, że skok fazy nie spowoduje pojawienia się ani zniknięcia zbocza impulsu zegarowego.

Wyjście filtra 179 jest połączone z obwodem formującym 180, który wysyła sygnał H_{xr} o postaci kompatybilnej z zastosowaną technologią.

Ośiem bitów $b_0, b_1, \dots, b_8$ zapamiętanych w pamięci buforowej 175 jest podawanych na multiplekser 181, taktowany przez licznik odczytu 182. Dla licznika odczytu 182 sygnałem zegarowym jest sygnał H_{xr} występujący na wyjściu obwodu formującego 180.

Ten licznik 182 jest licznikiem synchronicznym typu Jonhsona. Wykorzystuje on proste obwody logiczne, ma niewielkie czasy propagacji i pracuje poprawnie przy dużym przepływie informacji. Cztery sygnały wyjściowe tego licznika 182 oznaczone B_4, B_5, B_6, B_7 sterują multiplekser 181. Multiplekser wytwarza sygnał d , który jest odtworzonym sygnałem danych D_x , opóźnionym w fazie o wybrany czas Δt .

Obwód obcinający 183 obcina w fazie sygnał d z sygnałem zegarowym H_{xr} wysyłanym z obwodu 180 i wytwarza na wyjściu sygnał danych D_{xr} .

Wykres czasowy z fig. 12 przedstawia działanie układu zmiany fazy z fig. 10. Początkowo tylko obwód 172 nie jest blokowany. Sygnały ABC dają kod stanu 00,1, podczas gdy a, b, c są w stanie 101. Sygnał potwierdzający VAL wywołuje sygnał EEN , który powinien ustawić w stan „1” sygnały zegarowe He_1 — He_8 z obwodu 161, stosując zasady przewidziane dla obwodu 177. Sygnały a, b, c są więc modyfikowane zgodnie z ABC powodując blokadę obwodu przesunięcia fazowego 172 podczas, gdy zegar H jest w tym samym co poprzednio stanie a, b, c . Na wykresie z fig. 12 strzałki wskazują jakie momenty odpowiadają różnym zboczom sygnału zegarowego i komutacji, a przesuwa się ku $\overline{H}_{s7}$ i $\overline{H}_{s8}$. Wydłużony okres $\overline{h_x}$ jest również przedstawiony.

Na fig. 13 przedstawione jest działanie pamięci buforowej 175 w przypadku skoku fazy o $\frac{iu}{8}$. Opóźnienie wnoszone przez pamięć 175 rozciąga się do prawie środka możliwego zakresu, po drugim zboczu narastającym sygnału zegarowego H_{xr} . Zbocza sygnałów zegarowych B_0, B_1, B_2, B_3 wytwarzanych przez licznik zapisu 176 rozkładają sygnał danych D'_x na osiem sygnałów $b_0, b_1, \dots, b_7$ zapisanych w pamięci buforowej 175. Licznik odczytu 182 wytwarza sygnały B_4, B_5, B_6, B_7 pozwalające odczytać sygnały $b_0, b_1, \dots, b_7$ zgodnie z sygnałem zegarowym H_{xr} , który jest poddawany poślizgowi fazy o $\frac{iu}{8}$, rozłożonemu na kilka okresów. Sygnały wyjściowe B_4, B_5, B_6, B_7 licznika odczytu 182 wymusiły poślizg fazy o $\frac{iu}{8}$ względem sygnału zegarowego H_{xr} .

Ciąg danych odtworzony przez multiplekser 187 jest również przesunięty i po ponownym odczytaniu przez sygnał zegarowy H_r przy pomocy układu 183 ciąg danych z kanału pomocniczego jest identyczny z ciągiem D'_x , ale poddany opóźnieniu fazowemu o $\frac{iu}{8}$.

Na fig. 14 podany jest przykład realizacji. Obwód rozdzielu sygnałów czasowych, oznaczony numerem 165 na fig. 10 zawiera sześć bramek 60, 61, 62, 63, 64, 65 połączonych jako separatory. Sygnał wejściowy H_x podawany jest na bramki 60 i 61. Wyjście bezpośrednie i zanegowane bramki 61 podają sygnały zegarowe odpowiednio do obwodu licznika zapisu 24 i do obwodu obcinającego 66. Wyjście bramki 60 jest połączone z wejściem bramki 63. Sygnał H_c uzyskany po przejściu przez bramki 63 i 65 jest opóźniony. Opóźnienie jest regulowane

przez kondensator 63 przyłączony do wyjścia bramki 63. Wyjście bramki 60 wysyła również sygnał zegarowy na bramki 62–64, których wyjścia są połączone z obwodami opóźniającymi obwodu o zmiennym przesunięciu fazy 166 z fig. 9. Ten obwód 166 zawiera osiem obwodów opóźniających 166–173 według fig. 10, na które podawanych jest osiem sygnałów zegarowych He_1 – He_8 przesuniętych w fazie.

Obwód logiczny 177 z fig. 10 zawiera cztery przerzutniki 84, 85, 86, 87. Sygnał He wychodzący z bramki 65 jest podawany na wejścia „common clock” tych czterech przerzutników. Na wyjście D przerzutnika 85 podawany jest sygnał VAL potwierdzenia wysyłany przez obwód sterowania 15. Na wyjściu Q tego przerzutnika występuje sygnał EEN. Ten sygnał EEN jest przesyłany do obwodu sterowania 15 i jest podawany na wejścia potwierdzające zegarowe „clock enable” przerzutników 84, 86, 87. Na wejścia D tych trzech przerzutników 84, 86, 87 przychodzą sygnały odpowiednio A/B/C wysyłane przez ten sam obwód sterowania 15. Trzy przerzutniki 84, 86, 87 wytwarzają odpowiednio na ich wyjściach Q sygnały a, b, c, a na ich wyjściach $\bar{Q}$ sygnały $\bar{a}$, $\bar{b}$, $\bar{c}$. Trzy ostatnie przerzutniki zapewniają także synchronizację sygnałów A, B, C z zegarem He a więc Hx wejściowym. Różne obwody przesunięcia 166–173 z fig. 10 odbierają odpowiednio sygnały He_1 – He_8 i sygnały sterujące a, b, c lub ich uzupełnienia wysyłane przez układ 177.

Obwód 166 z fig. 10 zawiera element LUB wysyłający 69 i element odbierający 88. Do elementu wysyłającego 69 doprowadzane są sygnały sterujące a, b, c jak również He_1 . Element odbierający 88 ma na wyjściu sygnał zegarowy $\bar{Hs}_1$. Element wysyłający LUB 70, na który podawane są sygnały a, b, c tworzy wraz z elementem odbierającym 89 i linią opóźniającą 77, separujący element 70 i 89, obwód przesuwający 167 z fig. 10. Linia opóźniająca 77 zapewnia opóźnienie $\frac{1}{8}$ iu sygnału $\bar{Hs}_2$ w stosunku do sygnału $\bar{Hs}_1$. To samo jest dla układu przesuwającego 168 z fig. 10 zawierającego element LUB 71, linię opóźniającą 78 i element 90 wysyłający sygnał $\bar{Hs}_3$. Element LUB 71 odbiera sygnały a, b, c podczas gdy linia opóźniająca 78 opóźnia o $\frac{2}{8}$ iu, a element 90 wysyła sygnał $\bar{Hs}_4$. Dla obwodu 169 obwody a, b, c i sygnał zegarowy He_1 są podawane do elementu LUB 72, następnie opóźniane w linii opóźniającej 79 o $\frac{3}{8}$ iu, podawane na wejście elementu 91, który wysyła sygnał $\bar{Hs}_5$.

W ten sam sposób obwód 170 zawiera element LUB 73, linię opóźniającą 80 wprowadzającą opóźnienie równe $\frac{4}{8}$ iu i element 92 wysyłający sygnał $\bar{Hs}_6$. Wreszcie obwód 171 zawiera element LUB 74, linię opóźniającą 81 z opóźnieniem równym $\frac{5}{8}$ iu i element 93 wysyłający sygnał $\bar{Hs}_7$.

Obwód 172 zawiera element LUB 75, linię opóźniającą 82 dającą opóźnienie równe $\frac{6}{8}$ iu i element 94 wysyłający sygnał $\bar{Hs}_8$. Obwód 173 zawiera element LUB 76, linię opóźniającą 83 z opóźnieniem równym $\frac{7}{8}$ iu i element 95, na wyjściu którego pojawia się sygnał $\bar{Hs}_9$.

Obwód zwrotnicy 178 z fig. 10 zawiera dwa elementy LUB 96 i 97 oraz separator 98. Do elementu 96 doprowadzane są sygnały $\bar{Hs}_1$ – $\bar{Hs}_4$, podczas gdy do elementu 97 sygnały $\bar{Hs}_5$ – $\bar{Hs}_8$. Wyjścia tych dwóch elementów 96 i 97 są połączone z wejściem elementu separującego 98, na którego wyjściu pojawia się sygnał $\bar{Hx}$. Sygnał ten jest podawany na wejście filtru 179. Obwód formujący 180 z fig. 10 połączony z wyjściem filtru 179 zawiera dwa kondensatory 20 i 21 zamontowane kaskadowo do dwóch kolejnych elementów separujących 22 i 23. Zanegowane wyjście elementu 23 wysyła sygnał $\bar{H}_{x,r}$.

Licznik zapisu 176 z fig. 10 zawiera cztery przerzutniki 24, 25, 26, 27 połączone w układ Johnsona i element LUB 28, którego wyjście jest połączone z wyjściem $\bar{Q}$ przerzutnika 27. Pozwala to uniknąć zabronionego cyklu licznika.

Na wyjściach Q i $\bar{Q}$ czterech przerzutników 24, 25, 26, 27 występują odpowiednio sygnały B_0 , $\bar{B}_0$, B_1 , $\bar{B}_1$, B_2 , $\bar{B}_2$, B_3 , $\bar{B}_3$, służą one jako sygnały zegarowe przerzutnikom tworzącym pamięć buforową 175 z fig. 10. Ponadto sygnały $\bar{B}_0$, B_1 i B_2 są podawane na wejścia elementu LUB 28. Wyjście negowane tego elementu 28 jest podawane na wejście D przerzutnika 24. Obwód obcinający 174 z fig. 10 zawiera przerzutnik 66 typu D, dla którego sygnał zegarowy przechodzi z zanegowanego wyjścia elementu 61, i na którego wejście D podawany jest sygnał D_x danych.

Obwód pamięci buforowej 175 z fig. 10 zawiera osiem przerzutników 29–30. Wyjście Q przerzutnika 66 jest połączone z wejściami D czterech przerzutników 29–32, które jako sygnały zegarowe odbierają sygnały B_0 – B_3 wychodzące z wyjść Q przerzutników 24–27. Na wyjściach Q przerzutników 29–32 uzyskuje się sygnały b_0 – b_3 już przedstawione na fig. 13. Żeby zmniejszyć obciążenie wyjścia Q przerzutnika 66 jego wyjście $\bar{Q}$ jest połączone z wejściami D przerzutników 33–36, na które jako zegarowe, podawane są sygnały $\bar{B}_0$ – $\bar{B}_3$ pochodzące z wyjść $\bar{Q}$ przerzutników 24–27. Na wyjściach $\bar{Q}$ przerzutników 33–36 występują sygnały $\bar{b}_4$ – $\bar{b}_7$. Obwód multiplexera 181 z fig. 10 zawiera dziesięć elementów LUB 37–46. Na jedno wejście każdego elementu 36–44 podawany jest odpowiednio sygnał b_0 – b_7 . Wejścia te są połączone z wejściami Q przerzutników 29–32 i $\bar{Q}$ przerzutników 33–36. Dwa inne wejścia tych elementów są połączone z licznikiem odczytu oznaczonym numerem 182 na fig. 10. Licznik odczytu 182 zawiera cztery przerzutniki 48–51 połączone w licznik Johnsona, element LUB 52, którego wyjście jest połączone z wyjściem $\bar{Q}$ prze-

rzutnika 51 po to, by uniknąć zabronionego cyklu licznika. Na wyjściach Q i $\bar{Q}$ czterech przerzutników 48—51 występują sygnały B_4 , $\bar{B}_4$, B_5 , $\bar{B}_5$, B_6 , $\bar{B}_6$, B_7 , $\bar{B}_7$ odpowiednio. Na wejścia zegarowe czterech przerzutników 48—51 podawany jest sygnał występujący na wyjściu bezpośrednim elementu 22. Ponadto sygnały $\bar{B}_4$, B_5 i B_6 są podawane na wejścia elementu 52.

Tak więc element 37 otrzymuje sygnały $\bar{B}_4$ i B_5 , element 38 sygnały $\bar{B}_5$ i B_6 , element 39 sygnały $\bar{B}_6$ i B_7 , element 40 sygnały $\bar{B}_7$ i B_4 . Wyjścia negowane tych czterech elementów 37—40 są połączone do czterech wejść elementu LUB 45.

Do elementu 41 doprowadzane są sygnały B_4 i $\bar{B}_5$, do elementu 42 sygnały B_5 i $\bar{B}_6$, do elementu 43 sygnały B_6 i $\bar{B}_7$, do elementu 44 sygnały $\bar{B}_7$ i B_4 . Wyjścia negowane tych czterech elementów 41—44 są połączone z wejściem elementu LUB 46. Wyjścia elementów 45 i 47 są połączone razem i przyłączone do wejścia D przerzutnika 47 typu D, na którego wejście zegarowe podawany jest sygnał H_{xx} zegara. Na wyjściu Q tego przerzutnika 47 występuje sygnał danych opóźnionych D_{xx} , synchroniczny z sygnałem zegara H_{xx} .

Rozpatrzmy ponownie fig. 9 i 10. Na obwód 15 sterowania przesunięciem fazy podawany jest sygnał PAP zadaną zmiany fazy. Obwód ten wysyła do obwodu 16 sygnały VAL i A/B/C sterowania jak również sygnał EEN. Ten obwód 15 przedstawiony na fig. 15 zawiera obwód pamiętający 150, który wytwarza sygnał VAL na zboczu narastającym sygnału PAP i który jest inicjalizowany przez sygnał EEN wysyłany przez obwód 16. Komparator fazy 151 porównuje fazy dwóch sygnałów HCE i HCL zapisu i odczytu, podane już na liczniki 176 i 182 z fig. 10. Na wyjściu komparatora 151 występuje napięcie V takie by V występowało przy wartościach ekstremalnych, gdy przesunięcie między dwoma licznikami 176 i 182 nie pozwala już dokonać poprawnego odczytu, lub gdy zostały osiągnięte granice zakresu żądanych zmian.

Obwód 152 jest wzmacniaczem, który wzmacnia i przesuwa napięcie do wartości „V odchyłki” kompatybilnej z napięciami wymaganymi do zobrazowania. Sygnał „V odchyłki” jest podawany na wejście układu 17 zobrazowania opóźnienia. To zobrazowanie dzięki zastosowaniu sygnału „V odchyłki” pozwala na sterowanie i łatwe regulowanie wyrównywania kanału i bez przerywania połączenia. To wyrównywanie pozwala w warunkach normalnych propagacji wykonać komutację w środku zmiennego zakresu kanału pomocniczego. Sygnał zmiany przesunięcia fazowego między dwoma kanałami jest nieznanym. Układ 17 pokazuje z korzyścią według wynalazku wartość m przesunięcia fazowego $\frac{m\mu}{p}$.

Układ progowy 153 odbiera również napięcie V podawane przez komparator 151 i pokazuje na wyjściu kiedy V osiągnie strefy odpowiadające położeniom względnym niewłaściwym dwóch liczników. Komparator 153 wytwarza dwa sygnały BUT A

i BUT B, które są dwoma ograniczeniami A i B, ograniczającymi przeszukiwanie przesunięcia fazowego. Ograniczenia A i B pozwalają na przejście sygnału PAP bądź przez układ 154, bądź przez układ 155. Na układ 154 podawany jest więc poza sygnałem PAP sygnał BUT A, układ ten wytwarza sygnał RET, który sterować będzie opóźnianie przesunięcia fazowego. Inaczej natomiast jest dla układu 155, poza sygnałem PAP na układ ten podawany jest sygnał AV, który sterować będzie przyspieszeniem przesunięcia fazowego. Przejście od RET do AV dokonuje się przez przejście do ograniczników.

Te dwa sygnały RET i AV podawane na wejście licznika 156 spełniają rolę sygnałów zegarowych i zwiększają lub zmniejszają zawartość licznika 156, który na wejściu wytwarza sygnał A/B/C, którego kod został już opisany w oparciu o fig. 11. To właśnie tylne zbocze sygnału PAP jest aktywne na poziomie liczników 154 i 155, przygotowujących zmianę następnego opóźnienia.

Tak więc ciąg dyskretny opóźnień zmiennych $\frac{m\mu}{p}$ (m jest liczbą całkowitą naturalną przy $1 < m < p-1$) może być przeszukiwany w jednym i w drugim kierunku. Ograniczniki A i B zmieniają kierunek przeszukiwania na końcach zakresu zmian.

Ten n-bitowy zakres przedstawiający krok $\frac{\mu}{p}$ może być przedstawiony na elemencie obrazującym układu odwzorowania 17 za pomocą diod. Dokładne opóźnienie jest bezwzględnie odczytywane dzięki sygnałowi „V odchyłki”.

Figura 16 przedstawia zalecane zastosowanie opóźnień przez skok komutacji ciągów cyfrowych przesyłanych łączami radiowymi. Jeśli $D_{ir} + H_{ir}$ jest ciągiem cyfrowym przesyłanym normalnym kanałem, który powinien być zastąpiony kanałem pomocniczym $D_x + H_x$ w wyniku rozkazu T_{ri} przesyłanym kanałem rzędu jest on najpierw podawany na wejście układu wyrównującego 19, który wytwarza na wyjściu ciąg $D'_{ir} + H'_{ir}$. Układ 18 odbiera ciąg $D'_{ir} + H'_{ir}$, sprawdza przesunięcie tego ciągu w stosunku do ciągu kanału pomocniczego x i wytwarza sygnał PAP zadaną przesunięcia fazy. Sygnał ten jest podawany na wejście zespołu 13 przesunięcia fazowego. Zespół 13 wytwarza na wyjściu ciąg cyfrowy $D_{xx} + H_{xx}$ przesunięty w fazie w stosunku do przebiegu pierwotnego. Układ 18 przedstawiony już na fig. 8, zawiera układ 10 korelatora danych D'_{ir} i D_{xx} , podający na wejście układu logicznego 12 sygnał ABSCORR.

Dyskryminator fazy 11 wytwarza sygnał Φ_0 . Wspomniany obwód logiczny 12 wytwarza sygnał PAP zadaną zmiany fazy lub sygnał N zadaną komutacji. Gdy układ testu 18 stwierdzi że wynik testu ciągów cyfrowych jest poprawny, wysyła sygnał N zadaną komutacji na wejście układu komutacji 14. Układ 14 odbiera sygnały $D'_{ir} + H'_{ir}$ po wyrównaniu kanału i, jak również sygnały $D_{xx} + H_{xx}$ z kanału pomocniczego i dokonuje komutacji synchronicznej szeregów celem wytworzenia na wyjściu sygnału $D_1 + H_1$ bez dorzucania lub przerywania przejść dokładnie w

momencie komutacji, co dokonuje się w rytmie własnego sygnału H_1 .

W efekcie na wspomniany komparator 14 podawane są dwa synchroniczne sygnały D'_{1r} i D_{1r} . Różnica fazy między sygnałami H_1 i H'_{1r} lub H_{1r} jest regulowana w ten sposób, by komutacja sygnałów zegarowych miała miejsce gdy H'_{1r} i H_{1r} są w stanie zerowym, uwzględniając odchylenie maksymalnie $\frac{iu}{p}$ możliwego okresu.

Zespół zniany fazy 13 może więc być umieszczony w elemencie odbiorczym kanału pomocniczego i być wykorzystywany w czasie komutacji n kanałów, dla których kanał dodatkowy x służy jako kanał pomocniczy. Przedstawiony wynalazek pozwoli więc uprościć wyposażenie, dokonać oszczędności przy realizacji urządzenia i zmniejszyć zużycie energii. Poza tym zastosowanie jednego tylko układu zmiennego opóźnienia umieszczonego w kanale pomocniczym pozwala uniknąć problemów połączonych ze zbieżnością związaną z zastosowaniem układu opóźniającego, które nie może działać w kanale roboczym.

Poza tym struktura zespołu zmiennego przesunięcia fazowego 13 ciągów cyfrowych pozwala zwiększyć zakres dochodzenia automatycznego, zwiększając tylko pojemność pamięci buforowej 175 z fig. 10, bez zmieniania innych elementów systemu komutacji.

Układ zmiennego przesunięcia fazowego według wynalazku jest wystarczająco szybki by dokonać komutacji łączy radiowego i zniekształconego przez zaniki w czasie rzędu milisekundy, a więc tak by komutacja nastąpiła przed tym, niż jakoś łączy osiągnie poziom nieakceptowalny i to nawet dla zaników najszybszych.

Poza tym układ przesunięcia zmiennego według wynalazku zachowuje w pamięci w układzie zobrażenia różnicę czasu propagacji ($\Delta t = \frac{miu}{p}$) między normalnym kanałem wspomagającym, a kanałem pomocniczym, po każdej komutacji i po każdym powrocie na kanał normalny, tak by inny kanał normalny nie był zastępowany pomocniczym. Ta właściwość pozwala na łatwe zobrażowanie różnicy czasów propagacji nawet w czasie pracy, bez stosowania elementów pomiarowych dużych i kosztownych, takich jak generatory i oscyloskopy. To zapewnia ciągły nadzór nad wyrównywaniem czasów propagacji łączy radiowych i ich ewentualne zrównoważenie, bez przerywania ruchu.

Zastrzeżenia patentowe

1. Układ do ustawiania w fazie ciągów cyfrowych, zawierający pierwszy komparator, oscylator, pierwszą pamięć, licznik, układ przesuwników fazowych, **znamienny tym**, że dla polepszenia prawdopodobieństwa transmisji zawiera drugą pamięć, element LUB, drugi licznik, drugi komparator, obwód decyzyjny, dyskryminator fazowy, przy czym wyjście pierwszego komparatora jest połączone z pierwszym wejściem pierwszej pamięci, której wyjście jest połączone z pierwszym wejściem drugiej pamięci, wyjście oscylatora jest połączone z drugimi wejściami pierwszej i drugiej pamięci, wyjście drugiej pamięci jest połączone z pierwszym wejściem pierwszego licznika, którego wyjście jest połączone z pierwszymi wejściami elementu LUB i drugiego licznika, wyjście elementu LUB jest połączone z wejściem sterowania układu przesuwników fazowych, pierwsze i drugie wyjście drugiego licznika są połączone odpowiednio z drugim wejściem pierwszego licznika i z pierwszym wejściem obwodu decyzyjnego, którego pierwsze wyjście jest połączone z pierwszym wejściem drugiego komparatora mającego wyjście połączone z drugim wejściem drugiego licznika, drugie wyjście obwodu decyzyjnego jest połączone z drugim wejściem elementu LUB, wyjście dyskryminatora fazowego jest połączone z drugim wejściem obwodu decyzyjnego, zaś wejścia pierwszego komparatora, dyskryminatora fazowego oraz wejścia informacyjne układów przesuwników fazowych stanowią wejścia informatyczne układu, wejście drugiego komparatora stanowi wejście sterowania układu, wyjścia układu przesunięcia fazowego stanowią wyjścia informatyczne układu, a pierwsze wyjście obwodu decyzyjnego stanowi wyjście sterowania układu.
2. Układ według zastrz. 1, **znamienny tym**, że obwód decyzyjny zawiera przerzutniki, przy czym wyjście pierwszego przerzutnika jest połączone z pierwszym wejściem drugiego przerzutnika, którego drugie wyjście jest połączone z jego pierwszym wyjściem, pierwsze wejścia pierwszego i trzeciego przerzutnika są połączone ze sobą i stanowią pierwsze wejście obwodu decyzyjnego, drugie wejścia pierwszego i trzeciego przerzutnika są połączone ze sobą i stanowią drugie wyjście obwodu decyzyjnego, zaś drugie wyjście przerzutnika stanowi pierwsze wyjście obwodu decyzyjnego, a wyjście trzeciego przerzutnika stanowi drugie wyjście obwodu decyzyjnego.

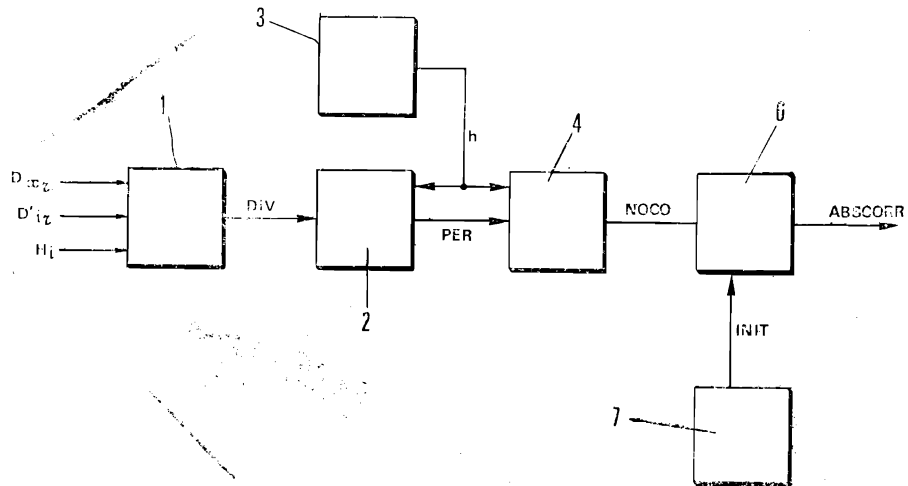


FIG. 1

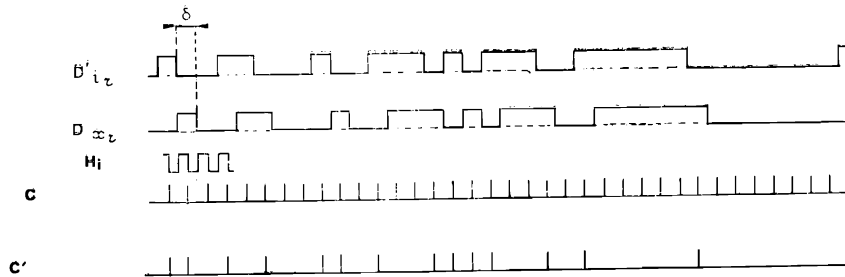


FIG. 2

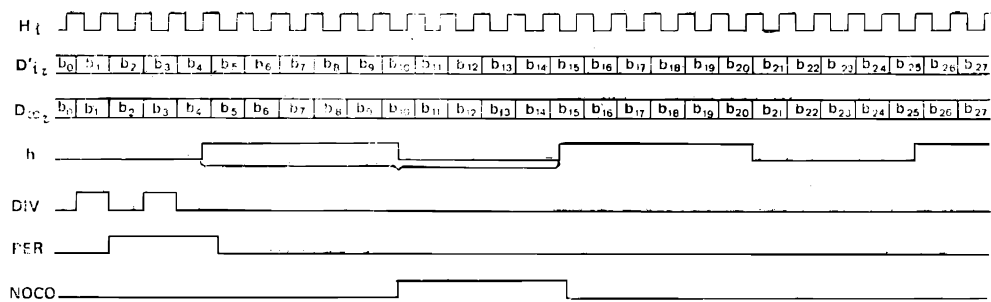


FIG. 3

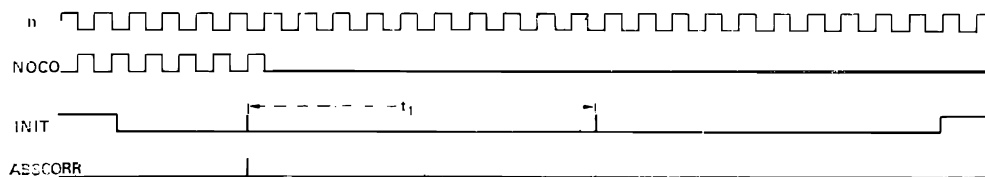


FIG. 4

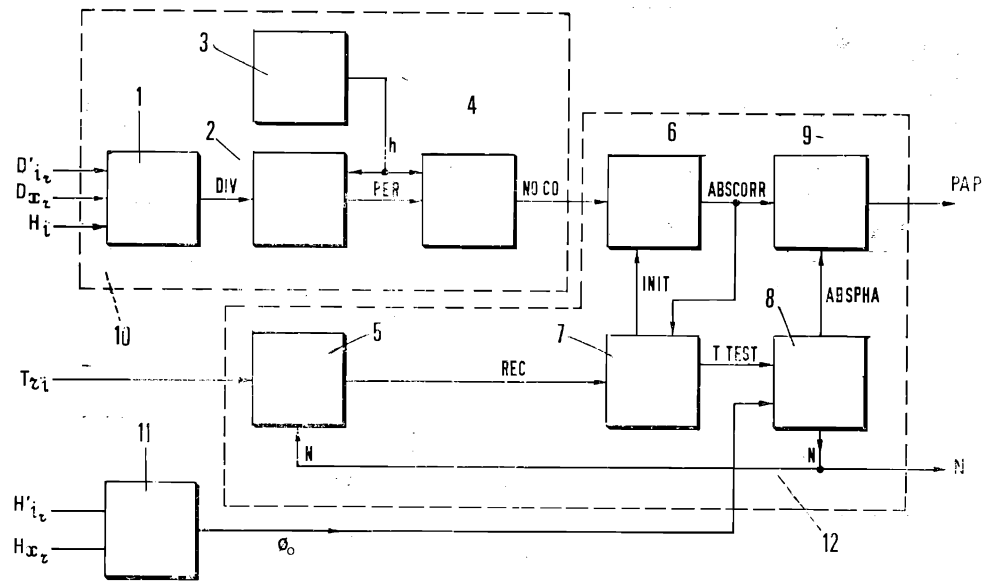


FIG. 5

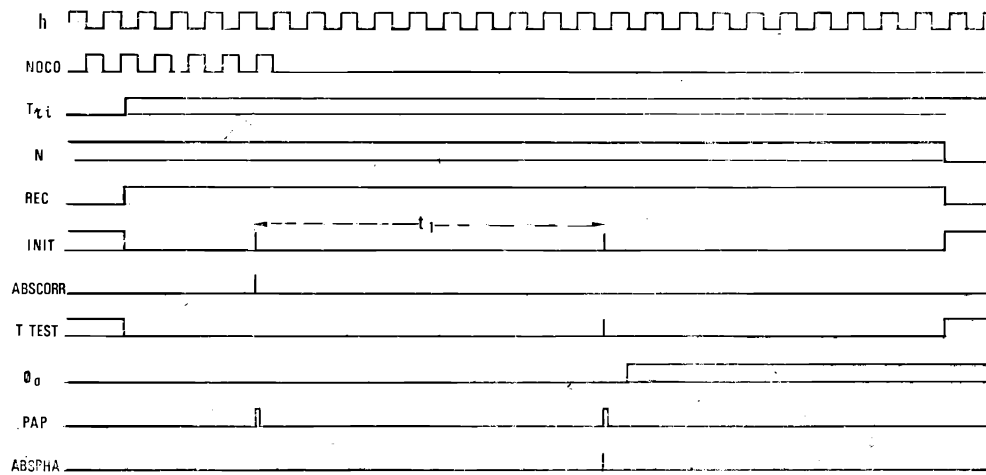
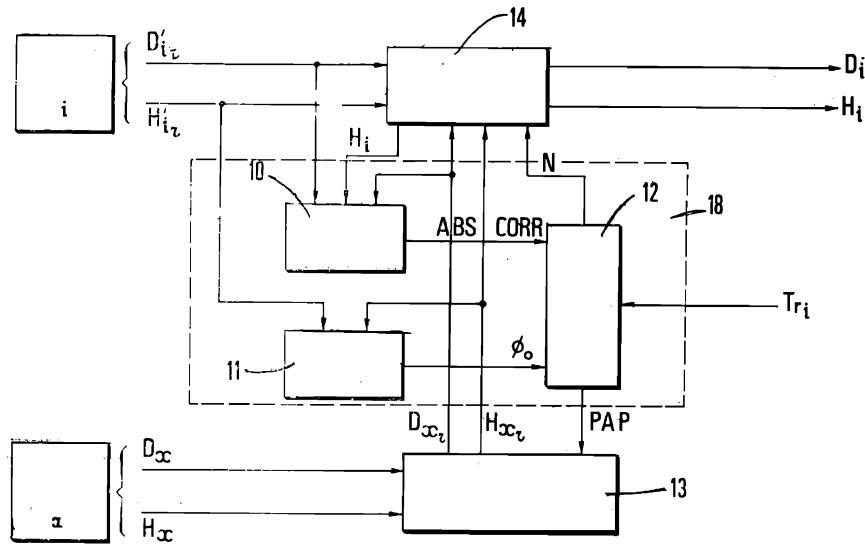
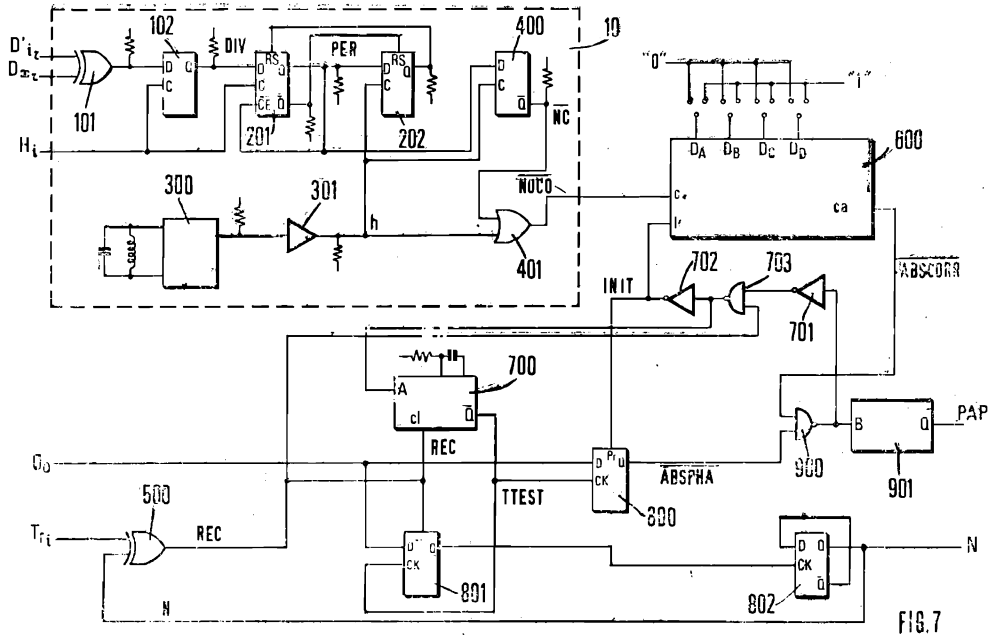


FIG. 6



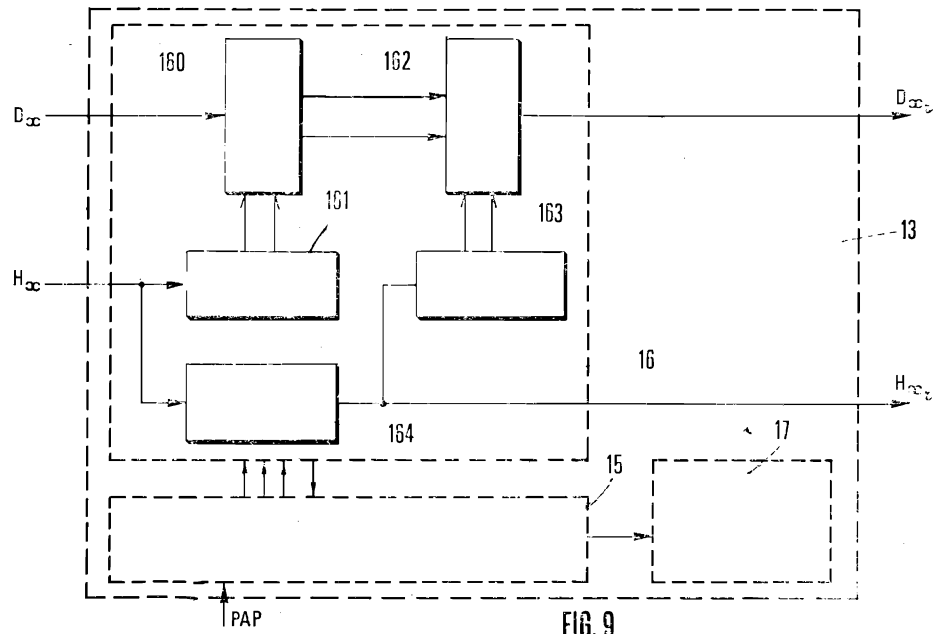


FIG. 9

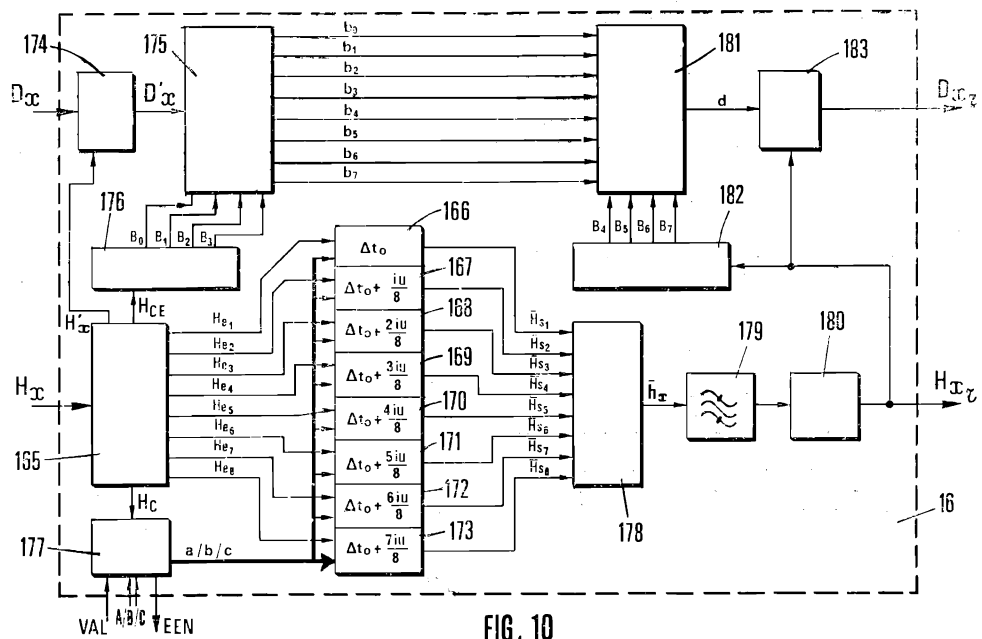


FIG. 10

a	b	c	
0	0	0	166
1	0	0	167
1	1	0	168
0	1	0	169
0	1	1	170
1	1	1	171
1	0	1	172
0	0	1	173

FIG. 11

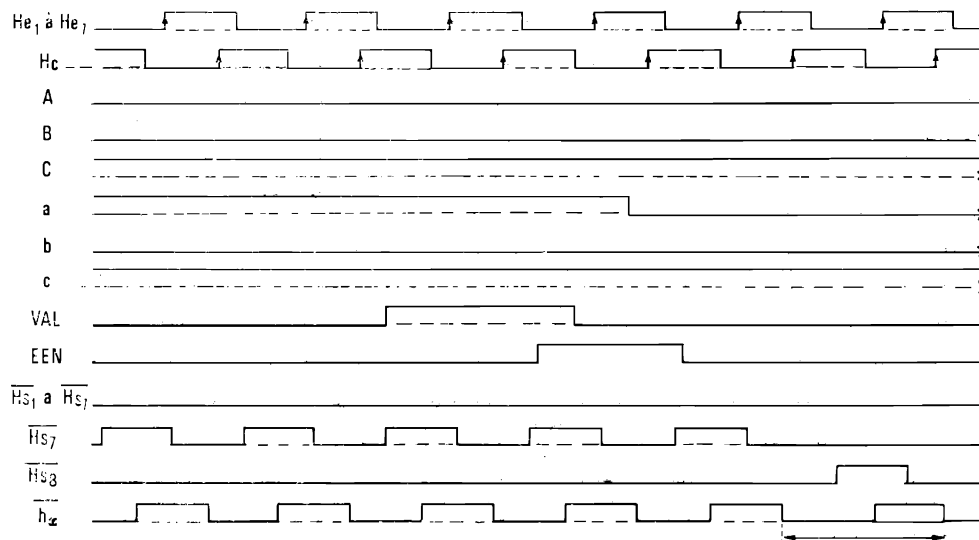


FIG. 12

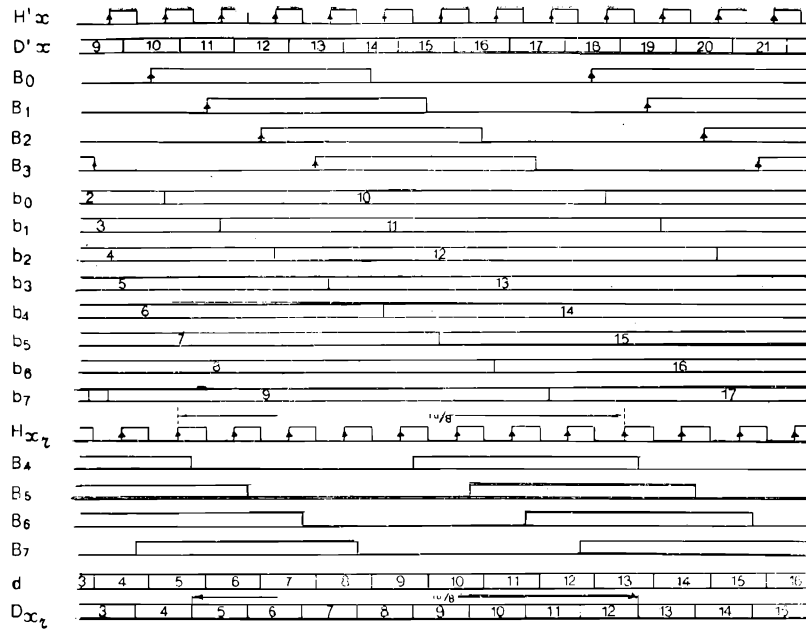


FIG. 13

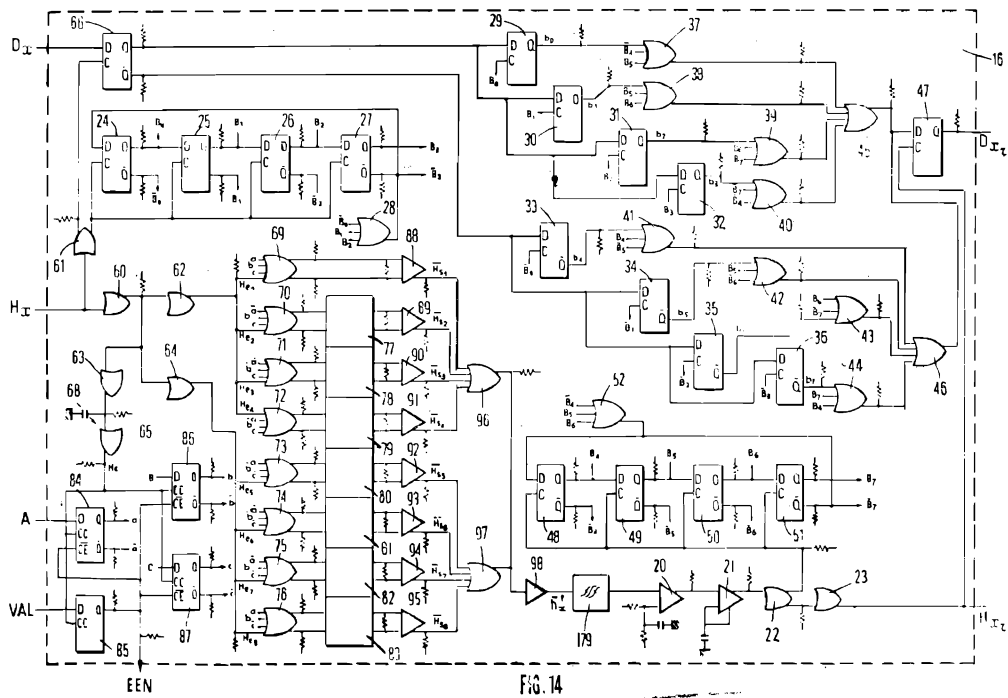


FIG. 14

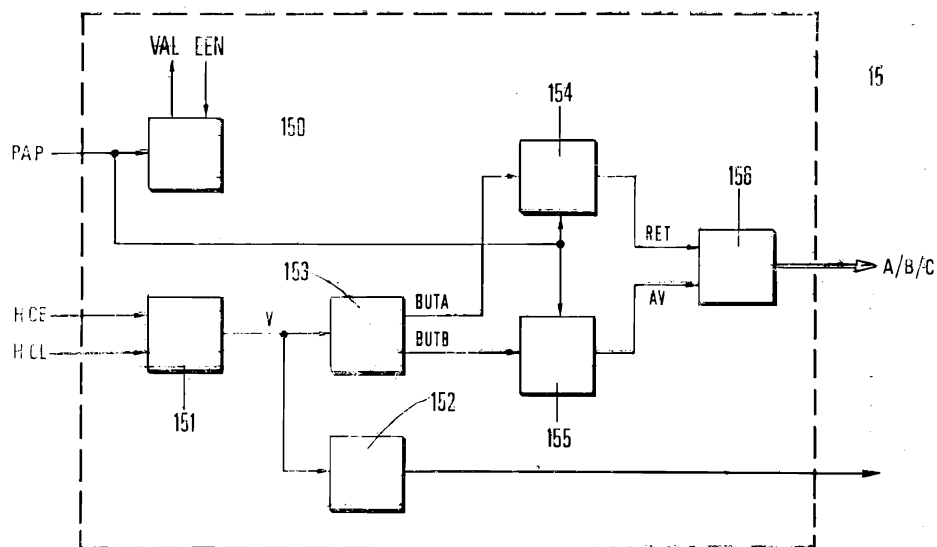


FIG. 15

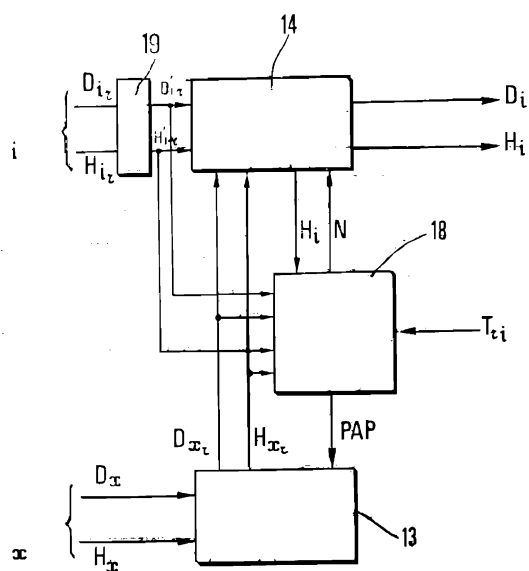


FIG. 16