

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/144181

発行日 平成26年7月28日 (2014. 7. 28)

(43) 国際公開日 平成24年10月26日 (2012. 10. 26)

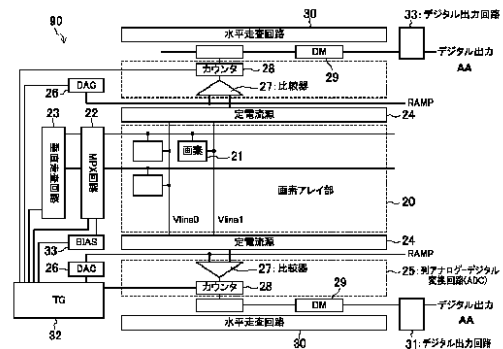
(51) Int.Cl.	F I	テーマコード (参考)
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O	4 M 1 1 8
HO 4 N 5/359 (2011.01)	HO 4 N 5/335 5 9 O	5 C O 2 4
HO 4 N 5/365 (2011.01)	HO 4 N 5/335 6 5 O	
HO 4 N 5/3745 (2011.01)	HO 4 N 5/335 7 4 5	
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 D	
審査請求 未請求 予備審査請求 未請求 (全 37 頁)		

出願番号	特願2013-510877 (P2013-510877)	(71) 出願人	000005821
(21) 国際出願番号	PCT/JP2012/002596		パナソニック株式会社
(22) 国際出願日	平成24年4月13日 (2012. 4. 13)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	特願2011-96384 (P2011-96384)	(74) 代理人	110001427
(32) 優先日	平成23年4月22日 (2011. 4. 22)		特許業務法人前田特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	網川 裕之
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	4M118 BA06 BA14 CA02 DD04 DD12 FA06 FA33 GB09 GB11 GB15 GC07 GD04 GD07 5C024 AX01 CX04 CX12 CY27 DX01 EX43 EX52 GX03 GX16 GY31 GZ37 GZ39 GZ40 GZ44 HX23 HX32
			最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【要約】

固体撮像装置(90)は、画素(21)が行列状を成す画素アレイ部(20)を備える。画素は、光電変換素子PD、転送トランジスタMT R、増幅トランジスタM S F、リセットトランジスタM R Sを含む。画素アレイ部は、PDに光が入射し映像信号を出力する有効画素部(42)、PDが遮光され基準信号を出力するオプティカルブラック画素部(44)、ダミー画素部(43)を含む。同じ信号出力線Vlineに接続された画素のうち、有効画素部(42)の各有効画素ではM R SからF D部に第1の電位が供給され、ダミー画素部(43)の複数のクリップ用画素では第2の電位が供給される。



20 PIXEL ARRAY SECTION
21 PIXEL
22 MPX CIRCUIT
23 VERTICAL SCANNING CIRCUIT
24 CONSTANT CURRENT SOURCE
25 COLUMN ANALOG-DIGITAL CONVERSION CIRCUIT (ADC)
27 COMPARATOR
28 COUNTER
30 HORIZONTAL SCANNING CIRCUIT
31, 33 DIGITAL OUTPUT CIRCUIT
AA DIGITAL OUTPUT

【特許請求の範囲】

【請求項 1】

複数の単位画素が行列状に配置された画素アレイ部を備え、
それぞれの前記単位画素は、
光電変換を行なう光電変換素子と、
前記光電変換素子からフローティングディフュージョン部に信号電荷を転送する転送トランジスタと、
前記信号電荷を増幅し、アナログ信号として信号出力線に出力する増幅トランジスタと

、
リセットラインの電位を前記フローティングディフュージョン部に供給して前記フローティングディフュージョン部をリセットするリセットトランジスタとを含み、

前記画素アレイ部は、

前記光電変換素子に光が入射する光照射画素部に含まれ、前記信号電荷が映像信号として使用される有効画素部と、

前記光電変換素子が遮光されている遮光画素部に含まれ、前記信号電荷が基準信号として使用されるオプティカルブラック画素部と、

前記有効画素部及び前記オプティカルブラック画素部以外の部分に配置されたダミー画素部とを含み、

前記有効画素部に含まれる複数の有効画素と、前記ダミー画素部に含まれる複数のダミー画素とが同一の前記信号出力線に接続され、

前記同一の出力線に接続されたそれぞれの前記有効画素において、前記リセットトランジスタから前記フローティングディフュージョン部に第 1 の電位が供給され、

前記同一の出力線に接続された前記ダミー画素のうちの複数のクリップ用画素において、それぞれ前記リセットトランジスタから前記フローティングディフュージョン部に、前記第 1 の電位とは異なる第 2 の電位が供給されることを特徴とする固体撮像装置。

【請求項 2】

請求項 1 の固体撮像装置において、

前記複数のクリップ用画素は、前記遮光画素部に位置することを特徴とする固体撮像装置。

【請求項 3】

請求項 1 又は 2 の固体撮像装置において、

前記ダミー画素部は、前記有効画素部を挟んで配置された第 1 のダミー画素部及び第 2 のダミー画素部を含み、

前記同一の信号出力線に接続された前記複数のクリップ用画素は、前記第 1 のダミー画素部及び前記第 2 のダミー画素部の両方に配置されていることを特徴とする固体撮像装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 つの固体撮像装置において、

前記信号出力線に定電流を供給する定電流回路が、前記画素アレイ部を挟んで両側にそれぞれ配置されていることを特徴とする固体撮像装置。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 つの固体撮像装置において、

前記リセットラインは、前記画素アレイ部に対して行単位の電位設定が可能であり、

前記有効画素及び前記複数のクリップ用画素に対し、それぞれ異なる電位を印加できることを特徴とする固体撮像装置。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 つの固体撮像装置において、

前記複数のクリップ用画素における前記リセットトランジスタから、前記フローティングディフュージョン部に対し、前記第 2 の電位又は前記第 2 の電位よりも低い第 3 の電位を印加する手段を有することを特徴とする固体撮像装置。

【請求項 7】

請求項 6 の固体撮像装置において、

前記第 2 の電位を供給する第 1 のバイアス回路及び前記第 3 の電位を供給する第 2 のバイアス回路を有し、前記第 2 の電位及び前記第 3 の電位は、同一の基準電位を用いて生成されることを特徴とする固体撮像装置。

【請求項 8】

請求項 6 の固体撮像装置において、

前記第 2 の電位と、前記第 3 の電位とは、電位切り替え制御を備えると共に動的に電位を切り替えることができるバイアス回路から生成されることを特徴とする固体撮像装置。

【請求項 9】

請求項 1 ～ 8 のいずれか 1 つの固体撮像装置において、

前記単位画素は、選択トランジスタを更に備え、

前記増幅トランジスタの一端は、前記選択トランジスタを介して前記信号出力線に接続されていることを特徴とする固体撮像装置。

【請求項 10】

請求項 1 ～ 4 のいずれか 1 つの固体撮像装置において、

前記単位画素は、選択トランジスタを更に備え、

前記増幅トランジスタの一端は、前記選択トランジスタを介して前記信号出力線に接続され、

前記リセットラインは、前記画素アレイ部の各行に対して共通であることを特徴とする固体撮像装置。

【請求項 11】

請求項 1 ～ 10 のいずれか 1 つの固体撮像装置において、

前記画素アレイ部に対して列並列に配置され、それぞれの前記単位画素において得られる前記アナログ信号をデジタル信号に変換するアナログーデジタル変換回路を備え、

前記アナログーデジタル変換回路は、前記アナログ信号が出力される前記信号出力線の値と参照線の値とを比較する比較器、及び、前記比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタを有し、

前記比較器は、前記比較を行なう前に、前記信号出力線及び前記参照線の所定値によって前記比較器の動作点を初期化する初期化手段を有し、

前記初期化後に前記参照線の値を変化させる制御手段を更に備えることを特徴とする固体撮像装置。

【請求項 12】

請求項 11 の固体撮像装置において、

前記比較器の前記初期化の後、前記参照線の値が変化する前に、前記複数のクリップ用画素における前記フローティングディフュージョン部に第 3 の電位を供給する手段を有し、

前記第 3 の電位は、前記第 2 の電位よりも低いことを特徴とする固体撮像装置。

【請求項 13】

請求項 9 又は 10 の固体撮像装置において、

前記画素アレイ部に対して列並列に配置され、それぞれの前記単位画素において得られる前記アナログ信号をデジタル信号に変換するアナログーデジタル変換回路を備え、

前記アナログーデジタル変換回路は、前記アナログ信号が出力される前記信号出力線の値と参照線の値とを比較する比較器、及び、前記比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタを有し、

前記比較器は、前記比較を行なう前に、前記信号出力線及び前記参照線の所定値によって前記比較器の動作点を初期化する初期化手段を有し、

前記初期化後に前記参照線の値を変化させる制御手段を更に備え、

前記比較器の前記初期化の後、前記参照線の値が変化する前に、前記第 2 の単位画素における前記選択トランジスタが非導通状態にされることを特徴とする固体撮像装置。

【請求項 14】

複数の単位画素が行列状に配置された画素アレイ部と、
前記画素アレイ部に対して列並列に配置され、それぞれの前記単位画素において得られる前記アナログ信号をデジタル信号に変換するアナログーデジタル変換回路と、
電位供給手段とを備える固体撮像装置の駆動方法において、
それぞれの前記単位画素は、
光電変換を行なう光電変換素子と、
前記光電変換素子からフローティングディフュージョン部に信号電荷を転送する転送トランジスタと、
前記信号電荷を増幅し、アナログ信号として信号出力線に出力する増幅トランジスタと
10
、
リセットラインの電位を前記フローティングディフュージョン部に供給して前記フローティングディフュージョン部をリセットするリセットトランジスタとを含み、
前記複数の単位画素のうち、前記信号電荷が映像信号として使用される複数の有効画素と、前記有効画素以外の複数のクリップ用画素とが同一の前記信号出力線に接続され、
前記電位供給手段は、前記同一の出力線に接続されたそれぞれの前記有効画素において、前記リセットトランジスタから前記フローティングディフュージョン部に第1の電位を供給すると共に、前記同一の出力線に接続されたそれぞれの前記クリップ用画素において、前記リセットトランジスタから前記フローティングディフュージョン部に、前記第1の
20
電位とは異なる第2の電位を供給し、
前記アナログーデジタル変換回路は、
前記アナログ信号が出力される前記信号出力線の値と参照線の値とを比較する比較器と
、
前記比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタとを有し、
前記比較器は、前記比較を行なう前に、前記信号出力線及び前記参照線の所定値によって前記比較器の動作点を初期化する初期化手段を有し、
前記固体撮像装置は、前記初期化後に前記参照線の値を変化させる制御手段を更に備え
、
前記比較器を初期化する工程（a）と、
30
前記工程（a）の後に、前記複数の所定の単位画素における前記リセットトランジスタから前記フローティングディフュージョン部に、前記第2の電位よりも低い第3の電位を印加する工程（b）と、
前記工程（b）の後に、前記参照線の値を変化させる工程（c）とを備えることを特徴とする固体撮像装置の駆動方法。

【請求項 15】

複数の単位画素が行列状に配置された画素アレイ部と、
前記画素アレイ部に対して列並列に配置され、それぞれの前記単位画素において得られる前記アナログ信号をデジタル信号に変換するアナログーデジタル変換回路と、
電位供給手段とを備える固体撮像装置の駆動方法において、
40
それぞれの前記単位画素は、
光電変換を行なう光電変換素子と、
前記光電変換素子からフローティングディフュージョン部に信号電荷を転送する転送トランジスタと、
前記信号電荷を増幅し、アナログ信号として信号出力線に出力する増幅トランジスタと
、
リセットラインの電位を前記フローティングディフュージョン部に供給して前記フローティングディフュージョン部をリセットするリセットトランジスタとを含み、
前記複数の単位画素のうち、前記信号電荷が映像信号として使用される複数の有効画素と、前記有効画素以外の複数のクリップ用画素とが同一の前記信号出力線に接続され、
50

前記電位供給手段は、前記同一の出力線に接続されたそれぞれの前記有効画素において、前記リセットトランジスタから前記フローティングディフュージョン部に第1の電位を供給すると共に、前記同一の出力線に接続されたそれぞれの前記クリップ用画素において、前記リセットトランジスタから前記フローティングディフュージョン部に、前記第1の電位とは異なる第2の電位を供給し、

前記アナログゲージデジタル変換回路は、

前記アナログ信号が出力される前記信号出力線の値と参照線の値とを比較する比較器と

、
前記比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタとを有し、

前記比較器は、前記比較を行なう前に、前記信号出力線及び前記参照線の所定値によって前記比較器の動作点を初期化する初期化手段を有し、

前記固体撮像装置は、前記初期化後に前記参照線の値を変化させる制御手段を更に備え

、
前記比較器を初期化する工程（a）と、

前記工程（a）の後に、前記複数の所定の単位画素における前記選択トランジスタを非導通状態とする工程（b）と、

前記工程（b）の後に、前記参照線の値を変化させる工程（c）とを備えることを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像装置及びその駆動方法に関し、特に、黒潰れ抑制と、黒潰れ抑制動作に起因する固定パターンノイズの抑制又は除去とに関する。

【背景技術】

【0002】

近年、固体撮像装置を内蔵したデジタルカメラ等が広く普及している。固体撮像装置において、一定以上の高輝度光が入射すると、光が入射されていないような黒く潰れた画像が得られる場合があることが知られている。この現象を黒潰れと呼ぶことにする。この黒潰れ現象を回避する技術として、下記のような技術（例えば、特許文献1参照）が開示されている。

【0003】

図16は、特許文献1の固体撮像装置100の構成を示す図である。図16に示すように、特許文献1固体撮像装置は、画素110、垂直信号線111、定電流源112、ノイズキャンセラ回路（CDS；correlated double sampling）113、水平信号線114、及び出力AMP115を備える。画素110は、単位画素として行列状に複数配置されている。

【0004】

画素110は、光電変換を行なうフォトダイオードPD、転送トランジスタMT R、リセットトランジスタMR S、増幅トランジスタMS F、電荷を蓄積するフローティングディフュージョンFD（以下、FD部と略すことがある）を備える。

【0005】

まず、黒潰れ現象について説明する。黒潰れは、高輝度光の入射によりFD部の電圧 V_{fd} が低下し、更に垂直信号線の電位 V_{pixout} が許容される最小値以下に低下する結果、フォトダイオードPDから信号電荷をFD部に転送しても、 V_{pixout} がそれ以上は低下できなくなることによって発生する。

【0006】

以下に、図16と、図17のタイミングチャートとを用いて更に説明する。図17は、特許文献1の固体撮像装置における駆動パルスの関係を示すタイミングチャートである。ここで、光の信号を読み出す画素を画素110iとしている。

10

20

30

40

50

【0007】

画素領域に高輝度光が入射すると、リセットパルス $\phi_{RS< i >}$ をLowレベルにした状態から、転送パルス $\phi_{TR< i >}$ をHighレベルにするまでの期間に、フローティングディフュージョンFDにおける電圧 V_{fd} が、許容される最小値（フローティングディフュージョン部最小電圧 V_{fdmin} ）まで下がってしまう場合がある。このとき、垂直信号線の電位 V_{pixout} も、許容される最小値（画素出力最小電圧 $V_{pixoutmin}$ ）まで下がる。

【0008】

これは、強い光がFD部にまで漏れ込み、フォトダイオードPDのみならずFD部においても電荷が発生すること、又は、フォトダイオードPDにて発生した電荷が溢れてFD部にまで漏れこむこと、等の原因によると考えられる。

10

【0009】

この状態において、転送パルス $\phi_{TR< i >}$ をHighレベルにして光による信号電荷をFD部に転送しても、FD部における電圧 V_{fd} は、FD部最小電圧 V_{fdmin} 以下に下ることができない。

【0010】

従って、画素出力電圧 V_{pixout} も画素出力最小電圧 $V_{pixoutmin}$ 以下に下がることがないので、リセット電圧と信号電圧との差、 $\Delta V_{pixout}(sig)$ は0となる（ $\Delta V_{pixout}(sig) = V_{pixout} - V_{pixoutmin} = 0$ ）。最終的に、水平信号線光信号電圧 $\Delta V_{out}(sig) = 0$ となる。

【0011】

20

この結果、一定以上の高輝度光が入射した場所には、あたかも光がまったく入射していないかのように、真っ黒な画像ができてしまう。

【0012】

このような黒潰れ現象を抑制するために、様々な抑制回路が提案されている。その1つとして、光の信号を読み出すための画素 $110< i >$ に対し、その近傍の他の画素 $110< i + 1 >$ により黒潰れ防止用のクリップ電圧を生成し、画素出力電圧 V_{pixout} をクリップすることが知られている。

【0013】

このことについて、図17のタイミングチャートを用いて説明する。

【0014】

30

最初に、電源パルス $\phi_{Vdd< i >}$ をリセット参照パルス ϕ_{Vddr} にすると共に、リセットパルス $\phi_{RS< i >}$ をHighレベルにすることにより、FD部電圧 $V_{fd< i >}$ がリセット参照電圧 V_{ddr} にセットされる。また、CD回路113にリセット電圧をクランプするために、クランプパルス ϕ_{CL} 、サンプルホールドパルス ϕ_{SH} をHighレベルにしておく。

【0015】

次に、読み出し画素 $110< i >$ 及びクリップ用画素 $< i + 1 >$ 以外の（図16には示していない）非選択画素 $110< K >$ に接続する電源パルス $\phi_{Vdd< K >}$ を、垂直信号線111に現れる光信号の最小値 $V_{pixoutmin}$ よりも低い値である非選択画素電圧 V_{ddl} にセットし、非選択画素のFD部電圧 $V_{fd< K >}$ を非選択画素電圧 V_{ddl} にセットしておく。

【0016】

40

次に、リセットパルス $\phi_{RS< i >}$ をLowレベルにする。

【0017】

これにより、画素出力電圧 $V_{pixout< i >}$ は、リセットトランジスタ $MR_{S< i >}$ におけるkTCノイズ（リセットノイズ）成分 $V_{ktc< i >}$ 、フィールドスルー電圧 $V_{ft< i >}$ 及び増幅トランジスタ $MS_{F< i >}$ におけるゲート・ソース間電圧 $V_{gs< i >}$ の影響により、リセット参照電圧 V_{ddr} よりも下降したリセット電圧 $V_{rst< i >}$ （ $= V_{ddr} - V_{noise< i >} - V_{gs< i >}$ ）となる。但し、リセットトランジスタ $MR_{S< i >}$ のノイズ $V_{noise< i >} = V_{ktc< i >} + V_{ft< i >}$ とする。

【0018】

次に、電源パルス $\phi_{Vdd< i + 1 >}$ をクリップ参照電圧 V_{ddc} （ $< V_{ddr}$ ）にセットし、

50

リセットパルス $\phi_{RS< i + 1 >}$ をHighレベルとし、転送パルス $\phi_{TR< i + 1 >}$ をLowレベルとする。これにより、FD部電圧 $V_{fd< i + 1 >}$ を、クリップ参照電圧 V_{ddc} にセットする。ここで、クリップ参照電圧 V_{ddc} は、クリップ電圧生成のための電圧であるから、リセット参照電圧 V_{ddr} より V_a 低い電圧に設定している ($V_{ddc} = V_{ddr} - V_a$)。

【0019】

次に、FD部電圧 $V_{fd< i >}$ は、高輝度光の影響によりリセット電圧をサンプルホールドする間に、FD部が許容する最小の電圧 $V_{fdmin< i >}$ に下降し、これに伴って画素出力電圧 $V_{pixout< i >}$ も下降する。

【0020】

一方、画素 $110< i + 1 >$ において、リセットパルス $\phi_{RS< i + 1 >}$ はHighレベル、転送パルス $\phi_{TR< i + 1 >}$ はLowレベル、 $V_{dd< i + 1 >} = V_{ddc}$ とする状態にすることにより、FD部電圧 $V_{fd< i + 1 >}$ は、クリップ参照電圧 V_{ddc} にセットされる。これにより、画素出力電圧 V_{pixout} はクリップ電圧 $V_{c< i + 1 >}$ ($= V_{ddc} - V_{gs< i + 1 >}$) 以下に下降することはない。つまり、クリップ電圧 $V_{c< i + 1 >}$ によってクリップされる。

【0021】

次に、電荷信号を転送するために、垂直信号線 111 の電圧を下げる。このために、画素 $110< i + 1 >$ の電源パルス $\phi_{Vdd< i + 1 >}$ を非選択画素電圧 V_{ddl} にセットし、クランプパルス ϕ_{CL} をLowレベルとし、リセットパルス $\phi_{RS< i + 1 >}$ をHighレベルのままにしておく。

【0022】

次に、画素 $110< i >$ の転送パルス $\phi_{TR< i >}$ をHighレベルにして、信号電圧を画素出力電圧 $V_{pixout< i >}$ に転送する。また、このとき、電源パルス $\phi_{Vdd< K >}$ 、電源パルス $\phi_{Vdd< i + 1 >}$ は、いずれも非選択画素電圧 V_{ddl} にセットされているので、画素 $110< i >$ のFD部電圧 $V_{fd< i >}$ のみが、画素出力電圧 $V_{pixout< i >}$ に現れる。

【0023】

この後、次の行を読み出すために、画素 $110< i + 1 >$ の電源パルス $\phi_{Vdd< i + 1 >}$ をリセット参照電圧 V_{ddr} にセットする。この後は、これまでに説明したのと同様の動作により、画素 $110< i + 2 >$ をクリップ用画素として、画素 $110< i + 1 >$ から信号を読み出す。

【0024】

以上の動作をアレイ状に並んだ各画素に対して順次行なうことにより、黒潰れ現象を抑えた画像を得ることができる。つまり、高輝度光の入射時に、画素出力電圧 $V_{pixout< i >}$ が下降しても黒潰れ現象は起らず、画素出力電圧を $V_{pixout(sig)< i >}$ としたとき、CDS回路 113 によって ($V_{c< i + 1 >} - V_{pixout(sig)< i >}$) の信号電圧を得ることができる。

【先行技術文献】

【特許文献】

【0025】

【特許文献1】特開2009-177378号公報

【発明の概要】

【発明が解決しようとする課題】

【0026】

近年、画素の微細化に伴い、高画質を維持するために、ランダムノイズを低減する種々の技術が開発されている。この結果、ランダムノイズに埋もれて見えなくなっていた、画素の固定パターンノイズ (FPN: Fixed Pattern Noise) の低減も重要になってきている。

【0027】

前記に説明した黒潰れ抑制回路の場合、クリップ用画素を読み出し画素の近傍とすることにより、トランジスタバラツキを抑制している。つまり、近傍の画素であればトランジスタの特性は互いに近いので、バラツキが相殺される。しかしながら、ランダムノイズの

10

20

30

40

50

低減に伴い、トランジスタバラツキを抑制するだけでは更なる F P N の抑制のためには不十分になり、根本的な対策が必要になっている。

【0028】

前記の黒潰れ抑制回路及び駆動方法によると、画素 110< i >を読み出す際には、クリップ用画素 110< i + 1 >に起因するノイズが発生する。当該ノイズは、画素 110< i + 1 >の特性に依存するので、固定パターンノイズ (F P N) を生じることになる。

【0029】

以下、図 18 を参照して、画素の F P N が発生するメカニズムを具体的に説明する。図 18 は、従来例の駆動方法による画素の F P N 発生メカニズムを説明する駆動タイミングを示している。尚、図 18 の期間、定電流源は I S F の電流を供給している。

10

【0030】

まず、時刻 t 1 において、 $\phi RS< i >$ を High レベルにし、読み出し画素 110< i >の F D 部電圧 $Vfd< i >$ に $Vddr$ を印加すると、垂直信号線 111 の電位が上昇する。

【0031】

時刻 t 2 において、 $\phi RS< i >$ を Low レベルにし、 $\phi RS< i + 1 >$ を High レベルして、クリップ用画素 110< i + 1 >の $Vfd< i + 1 >$ に、クリップ参照電圧 $Vddc$ (< $Vddr$) を印加する。また、この図では記載していないが、この他の画素 110< K >の F D 部には非選択画素電圧 $Vddl$ (< $Vddc$) が印加され、トランジスタ $MSF< K >$ はオフしている。

【0032】

20

このとき、クリップ用画素の F D 部にはクリップ参照電圧 $Vddc$ が印加され、これにより、トランジスタ $MSF< i + 1 >$ にリーク電流 I_leak が発生しているとする。この場合、読み出し画素の $MSF< i >$ に流れる電流は、リーク電流 I_leak 分低下し、 $[ISF - I_leak]$ となる。更に、このリーク電流による Vgs の変化量を ΔVgs_noise とすると、垂直信号線 111 の電位は $[Vfdr - Vgs< i > + \Delta Vgs_noise]$ となる。

【0033】

この後、時刻 t 3 において、C D S 回路 113 のクランプパルス ϕCL を High レベルから Low レベルにすると、垂直信号線 111 の電位に ΔVgs_noise が含まれた形の基準データが保持される。

【0034】

30

次に、時刻 t 4 において、クリップ用画素に印加していた電源 $Vdd< i + 1 >$ をクリップ参照電圧 $Vddc$ から非選択画素電圧 $Vddl$ に下げる。ここで、リーク電流はゲート電圧に対して指数関数的に変動するので、読み出し画素の $MSF< i + 1 >$ に流れていたリーク電流 I_leak は無視できるほど小さくなる。従って、このときの垂直信号線 111 の電位は $[Vfdr - Vgs< i >]$ となり、 $Vcdsout$ の電位は $[Vcl - \Delta Vgs_noise]$ となる。

【0035】

次に、時刻 t 5 にて、 $\phi RS< i + 1 >$ を Low レベルとし、 $Vfd< i + 1 >$ の電位は $Vddl$ に保持する。

【0036】

40

次に、時刻 t 6 にて、読み出し画素のフォトダイオード P D から信号電荷を読み出すために、 $\phi TR< i >$ を High レベルとする。続いて、時刻 t 7 において $\phi TR< i >$ を Low レベルとする。

【0037】

これにより、 $Vfd< i >$ の電位は、P D の電荷量に応じて $[Vfdr - \Delta Vsig]$ となる。この変動量に応じて、 $Vpixout$ の電位は $[Vfdr - Vgs< i > + \Delta Vsig]$ となり、 $Vcdsout$ の電位は $[Vcl - \Delta Vgs_noise - \Delta Vsig]$ となる。

【0038】

時刻 t 8 において、C D S 回路 113 の ϕSH を High レベルから Low レベルとすることにより、トランジスタ MSH を OFF する。これにより、フォトダイオードの信号が $Vcdsout$ に保持される。このとき、信号としては $[\Delta Vsig + \Delta Vgs_noise]$ となり、クリッ

50

プ用画素起因によるノイズ ΔV_{gs_noise} が検出される。これにより画素の F P N が発生する。

【0039】

画素の F P N 発生を抑制するためには、クリップ用画素にクリップ参照電圧 V_{ddc} が印加されているときのリーク電流 I_{leak} を抑制する必要がある。

【0040】

ここで、クリップ用画素のリーク電流を抑制するためには、印加するクリップ参照電圧 V_{ddc} を低くすれば良い。しかし、クリップ用画素の F D 部に印加するクリップ参照電圧 V_{ddc} を下げると、黒潰れ発生時の信号出力が低下する。これは、黒潰れ発生時にはクリップ参照電圧 V_{ddc} と非選択画素電圧 V_{ddl} の電位差を信号出力として出力するからである。このような黒潰れ発生時の信号出力レベルは、画素の飽和出力以上であることが必要とされるので、クリップ参照電圧 V_{ddc} はある程度までしか下げることができない。

10

【0041】

従来技術では、クリップ用画素 $110 < i + 1 >$ としては 1 画素しか割り当てられていない。従って、垂直信号線を所望のクリップ電圧によりクリップするとき、クリップ参照電圧 V_{ddc} としてはある程度高い電圧値が求められる。しかし、クリップ参照電圧 V_{ddc} が高いとリーク電流 I_{leak} による画素の F P N が発生するので、クリップ参照電圧 V_{ddc} の設定可能範囲が確保できない課題がある。

【0042】

また、読み出し画素の近傍においてクリップ用画素を生成すると、読み出し画素に黒潰れが発生する高輝度光が照射されたとき、クリップ用画素にも高輝度光が照射された状態となる可能性が高い。この場合、クリップ用画素の F D 部にはクリップ参照電圧 V_{ddc} が印加されるが、フォトダイオードから光電変換された信号電荷が溢れ、F D 部に転送されることにより、結果的に F D 部の電位が低下し、十分な黒潰れ抑制を行なうことができなくなる。

20

【0043】

また、読み出し画素より前に読み出された画素をクリップ用画素として使用すると、読み出し画素が最終行（画素アレイの上端）のとき、クリップ用画素は開始行（画素アレイの下端）となる。この場合、読み出し画素とクリップ用画素との間にトランジスタ特性のバラツキが発生する。

30

【0044】

また、クリップ用画素を順次走査する方法の場合、走査回路が複雑になるという課題がある。

【0045】

例えば、通常、1つの固体撮像装置には様々な駆動モードが存在する。具体的には、デジタルスチルカメラは、静止画を撮影するスチルモード、液晶画面に表示するモニターモード及び動画を撮影するムービーモード等を備える。このとき、各駆動モードに応じて、画素を走査する走査方法が異なる。例えば、スチルモードにおいては全画素を 1 行ずつ順番にアクセスするが、モニターモードにおいては特定の行を間引いて走査する。従って、各モードに対応するようにクリップ用画素を走査する必要がある、回路及び駆動が非常に複雑となる。これは、回路規模が大きくなる原因にもなる。

40

【0046】

また、読み出し行、電子シャッター行とは独立してクリップ用画素にアクセスする必要があるので、走査回路が必要となり、チップ面積に大きく影響する。

【0047】

以上に鑑み、本開示は、回路規模の増大を避けながら黒潰れ抑制動作を行なわせることができると共に、黒潰れ抑制の動作に起因する画素の F P N バラツキを抑制するか、又は、根本的に画素の F P N バラツキを完全に取り除くことができる固体撮像装置及びその駆動方法を提供する。

【課題を解決するための手段】

50

【0048】

本開示の固体撮像装置は、複数の単位画素が行列状に配置された画素アレイ部を備える。それぞれの単位画素は、光電変換を行なう光電変換素子と、光電変換素子からフローティングディフュージョン部に信号電荷を転送する転送トランジスタと、信号電荷を増幅し、アナログ信号として信号出力線に出力する増幅トランジスタと、リセットラインの電位をフローティングディフュージョン部に供給してフローティングディフュージョン部をリセットするリセットトランジスタとを含む。画素アレイ部は、光電変換素子に光が入射する光照射画素部に含まれ、信号電荷が映像信号として使用される有効画素部と、光電変換素子が遮光されている遮光画素部に含まれ、信号電荷が基準信号として使用されるオプティカルブラック画素部と、有効画素部及びオプティカルブラック画素部以外の部分に配置されたダミー画素部とを含む。有効画素部に含まれる複数の有効画素と、ダミー画素部に含まれる複数のダミー画素とが同一の信号出力線に接続され、同一の出力線に接続されたそれぞれの有効画素において、リセットトランジスタからフローティングディフュージョン部に第1の電位が供給される。同一の出力線に接続されたダミー画素のうちの複数のクリップ用画素において、それぞれリセットトランジスタからフローティングディフュージョン部に、第1の電位とは異なる第2の電位が供給される。

10

【0049】

このような固体撮像装置によると、ダミー画素部を利用することにより、クリップ用画素の操作回路を別個に設けること無しに黒潰れを抑制することができる。従って、回路面積を削減できる。また、複数のダミー画素をクリップ用画素として用いることにより、クリップ参照電圧の設定可能な範囲を拡大すると共に、黒潰れ抑制動作に起因するF P Nバラツキを抑制することができる。

20

【0050】

尚、複数のクリップ用画素は、遮光画素部に位置しても良い。

【0051】

このようにすると、クリップ用画素において、高輝度光によりフローティングディフュージョン部の電位が低下するのを避けて、黒潰れ抑制の効果をより確実にすることができる。

【0052】

また、ダミー画素部は、有効画素部を挟んで配置された第1のダミー画素部及び第2のダミー画素部を含み、同一の信号出力線に接続された複数のクリップ用画素は、第1のダミー画素部及び第2のダミー画素部の両方に配置されていても良い。

30

【0053】

また、信号出力線に定電流を供給する定電流回路が、画素アレイ部を挟んで両側にそれぞれ配置されていても良い。

【0054】

これらのことにより、読み出しを行なう有効画素の位置によるバラツキ（例えば、垂直信号線に沿った電圧ドロップ等に起因するバラツキ）の影響を低減することができる。

【0055】

また、リセットラインは、画素アレイ部に対して行単位の電位設定が可能であり、有効画素及び複数のクリップ用画素に対し、それぞれ異なる電位を印加できるのであっても良い。

40

【0056】

また、複数のクリップ用画素におけるリセットトランジスタから、フローティングディフュージョン部に対し、第2の電位又は第2の電位よりも低い第3の電位を印加する手段を有していても良い。

【0057】

第2の電位を供給する第1のバイアス回路及び第3の電位を供給する第2のバイアス回路を有し、第2の電位及び第3の電位は、同一の基準電位を用いて生成されるのであっても良い。

50

【0058】

このようにすると、基準電位が変動した場合にも、第2の電位及び第3の電位は同じ方向に変動するので、差を取ることににより変動を相殺できる。従って、基準電位の変動による影響を抑えることができる。

【0059】

また、第2の電位と、第3の電位とは、電位切り替え制御を備えると共に動的に電位を切り替えることができるバイアス回路から生成されるのであっても良い。

【0060】

また、単位画素は、選択トランジスタを更に備え、増幅トランジスタの一端は、選択トランジスタを介して信号出力線に接続されているのであっても良い。

10

【0061】

また、単位画素は、選択トランジスタを更に備え、増幅トランジスタの一端は、選択トランジスタを介して信号出力線に接続され、リセットラインは、画素アレイ部の各行に対して共通であっても良い。

【0062】

黒潰れ及び画素のF P Nを抑制するために、このような構成とすることもできる。

【0063】

また、画素アレイ部に対して列並列に配置され、それぞれの単位画素において得られるアナログ信号をデジタル信号に変換するアナログーデジタル変換回路を備え、アナログーデジタル変換回路は、アナログ信号が出力される信号出力線の値と参照線の値とを比較する比較器、及び、比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタを有し、比較器は、比較を行なう前に、信号出力線及び参照線の所定値によって比較器の動作点を初期化する初期化手段を有し、初期化後に参照線の値を変化させる制御手段を更に備えていても良い。

20

【0064】

また、比較器の初期化の後、参照線の値が変化する前に、複数のクリップ用画素におけるフローティングディフュージョン部に第3の電位を供給する手段を有し、第3の電位は、第2の電位よりも低くても良い。

【0065】

このようにすると、黒潰れ抑制動作に起因する画素のF P Nバラツキを根本的に取り除くことができる。

30

【0066】

また、画素アレイ部に対して列並列に配置され、それぞれの単位画素において得られるアナログ信号をデジタル信号に変換するアナログーデジタル変換回路を備え、アナログーデジタル変換回路は、アナログ信号が出力される信号出力線の値と参照線の値とを比較する比較器、及び、比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタを有し、比較器は、比較を行なう前に、信号出力線及び参照線の所定値によって比較器の動作点を初期化する初期化手段を有し、初期化後に参照線の値を変化させる制御手段を更に備え、比較器の初期化の後、参照線の値が変化する前に、第2の単位画素における選択トランジスタが非導通状態にされても良い。

40

【0067】

このようにすることによっても、黒潰れ抑制動作に起因する画素のF P Nバラツキを根本的に取り除くことができる。

【0068】

次に、本開示の第1の固体撮像装置の駆動方法は、複数の単位画素が行列状に配置された画素アレイ部と、画素アレイ部に対して列並列に配置され、それぞれの単位画素において得られるアナログ信号をデジタル信号に変換するアナログーデジタル変換回路と、電位供給手段とを備える固体撮像装置の駆動方法である。それぞれの単位画素は、光電変換を行なう光電変換素子と、光電変換素子からフローティングディフュージョン部に信号電荷を転送する転送トランジスタと、信号電荷を増幅し、アナログ信号として信号出力線に出

50

力する増幅トランジスタと、リセットラインの電位をフローティングディフュージョン部に供給して前記フローティングディフュージョン部をリセットするリセットトランジスタとを含む。複数の単位画素のうち、信号電荷が映像信号として使用される複数の有効画素と、有効画素以外の複数のクリップ用画素とが同一の信号出力線に接続され、電位供給手段は、同一の出力線に接続されたそれぞれの有効画素において、リセットトランジスタからフローティングディフュージョン部に第1の電位を供給すると共に、同一の出力線に接続されたそれぞれのクリップ用画素において、リセットトランジスタからフローティングディフュージョン部に、第1の電位とは異なる第2の電位を供給する。アナログーデジタル変換回路は、アナログ信号が出力される信号出力線の値と参照線の値とを比較する比較器と、比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタとを有する。比較器は、比較を行なう前に、信号出力線及び参照線の所定値によって比較器の動作点を初期化する初期化手段を有する。固体撮像装置は、前記初期化後に前記参照線の値を変化させる制御手段を更に備える。このような固体撮像装置の駆動方法において、比較器を初期化する工程（a）と、工程（a）の後に、複数の所定の単位画素におけるリセットトランジスタからフローティングディフュージョン部に、第2の電位よりも低い第3の電位を印加する工程（b）と、工程（b）の後に、参照線の値を変化させる工程（c）とを備える。

10

【0069】

このような駆動方法によると、黒潰れを抑制すると共に、FPNバラツキを抑えることができる。

20

【0070】

次に、本開示の第2の固体撮像装置の駆動方法は、複数の単位画素が行列状に配置された画素アレイ部と、画素アレイ部に対して列並列に配置され、それぞれの単位画素において得られるアナログ信号をデジタル信号に変換するアナログーデジタル変換回路と、電位供給手段とを備える固体撮像装置の駆動方法である。それぞれの単位画素は、光電変換を行なう光電変換素子と、光電変換素子からフローティングディフュージョン部に信号電荷を転送する転送トランジスタと、信号電荷を増幅し、アナログ信号として信号出力線に出力する増幅トランジスタと、リセットラインの電位をフローティングディフュージョン部に供給して前記フローティングディフュージョン部をリセットするリセットトランジスタとを含む。複数の単位画素のうち、信号電荷が映像信号として使用される複数の有効画素と、有効画素以外の複数のクリップ用画素とが同一の信号出力線に接続され、電位供給手段は、同一の出力線に接続されたそれぞれの有効画素において、リセットトランジスタからフローティングディフュージョン部に第1の電位を供給すると共に、同一の出力線に接続されたそれぞれのクリップ用画素において、リセットトランジスタからフローティングディフュージョン部に、第1の電位とは異なる第2の電位を供給する。アナログーデジタル変換回路は、アナログ信号が出力される信号出力線の値と参照線の値とを比較する比較器と、比較器による比較が完了するまでの時間を計測して当該比較結果を保持するカウンタとを有する。比較器は、比較を行なう前に、信号出力線及び参照線の所定値によって比較器の動作点を初期化する初期化手段を有する。固体撮像装置は、初期化後に参照線の値を変化させる制御手段を更に備える。このような固体撮像装置の駆動方法において、比較器を初期化する工程（a）と、工程（a）の後に、複数の所定の単位画素における選択トランジスタを非導通状態とする工程（b）と、工程（b）の後に、参照線の値を変化させる工程（c）とを備える。

30

40

【0071】

このような駆動方法によると、黒潰れを抑制すると共に、FPNバラツキを抑えることができる。

【発明の効果】**【0072】**

本開示の固体撮像装置及びその駆動方法によると、画素に高輝度光が入射した際の黒潰れ現象を抑制することができる。これは、ダミー画素を利用し、別個にクリップ用画素の

50

ために走査回路を設けることなく実現できるので、回路面積の削減又は増大抑制が可能である。更に、F P N バラツキの抑制及び根本的な除去が可能である。

【図面の簡単な説明】

【0073】

【図1】図1は、本開示の第1の実施形態の例示的固体撮像装置について示す構成図である。

【図2】図2は、図1の固体撮像装置における画素アレイ部の構成を示す平面図である。

【図3】図3は、図1の固体撮像装置における画素アレイ部の構成を示す断面図であり、図2のIII-III'線に対応する。

【図4】図4は、図1の固体撮像装置の画素アレイ部を説明するための構成図である。

10

【図5】図5は、図1の固体撮像装置の比較器の回路の一例を示す図である。

【図6】図6は、図1の固体撮像装置のバイアス回路の一例を示す図である。

【図7】図7は、図1の固体撮像装置における黒潰れ抑制動作を説明するための駆動タイミングの一例を示す図である。

【図8】図8は、図1の固体撮像装置における画素のF P N バラツキを抑制する動作を説明するための駆動タイミングの一例を示す図である。

【図9】図9は、図1の固体撮像装置における画素のF P N バラツキを除去する動作を説明するための駆動タイミングの一例を示す図である。

【図10】図10は、図1の固体撮像装置における画素のF P N バラツキを除去する動作をしたときの黒潰れ抑制動作を説明するための駆動タイミングの一例を示す図である。

20

【図11】図11は、第2の実施形態の例示的固体撮像装置の画素アレイ部を説明するための構成図である。

【図12】図12は、図11の固体撮像装置における黒潰れ抑制動作を説明するための駆動タイミングの一例を示す図である。

【図13】図13は、図11の固体撮像装置における垂直信号線の電位低下抑制機能を追加した黒潰れ抑制動作を説明するための駆動タイミングの一例を示す図である。

【図14】図14は、第3の実施形態の例示的固体撮像装置の画素アレイ部を説明するための構成図である。

【図15】図15は、図14の固体撮像装置における黒潰れ抑制動作を説明するための駆動タイミングの一例を示す図である。

30

【図16】図16は、従来技術に係る固体撮像装置の構成図である。

【図17】図17は、従来技術に係る固体撮像装置の動作を説明するための駆動タイミングを示す図である。

【図18】図18は、従来技術に係る固体撮像装置の問題点を示すための駆動タイミングを示す図である。

【発明を実施するための形態】

【0074】

(第1の実施形態)

以下、本開示の第1の実施形態の固体撮像装置及びその駆動方法について、図面を参照しながら説明する。

40

【0075】

図1は、本実施形態の例示的固体撮像装置90の構成図である。但し、画素、比較器及びカウンタ等については、代表して少数のみ示されている。

【0076】

図1に示すように、固体撮像装置90は、光電変換を行なうフォトダイオード及びM O S (metal oxide semiconductor) トランジスタからなる単位画素21が行列状に多数配置されてなる画素アレイ部20を備える。また、画素アレイ部20を駆動するマルチプレクサ回路(M P X) 22と、選択行に行選択パルスを供給する垂直走査回路23と、垂直信号線Vlineに接続された定電流源24と、画素信号を受ける列アナログーデジタル変換回路(A D C) 25とを備える。垂直信号線Vlineは、単位画素21の列毎に設けられて

50

おり、個別に数字を付してVline0、Vline1 ……としている。

【0077】

ここで、列アナログーデジタル変換回路(ADC)25は、デジタルーアナログ変換回路(DAC)26から生成される参照信号RAMPと、単位画素21から垂直信号線Vline0、Vline1 ……を経由して得られるアナログ信号とを比較する比較器27と、比較時間をカウントするカウンタ28とを有する。

【0078】

更に、固体撮像装置90は、カウンタ28のデータを保持するデジタルメモリ(DM)29と、DM29に保持された画素信号を順次選択する水平走査回路30と、DM29に接続されたデジタル出力回路31と、各部を動作させるためのパルスが発生するタイミング発生回路(TG)32とを備えている。

10

【0079】

TG32は、外部からデータを受けて複数の駆動モードに対応する駆動パルスが発生させるように構成されている。

【0080】

また、バイアス回路33にてクリップ参照電圧Vddc及び非選択電圧Vddlを生成し、MPX回路22を介して画素アレイ部20に伝達する。

【0081】

次に、図2は、画素アレイ部20の構成を示す平面図である。

【0082】

画素アレイ部20は、光が照射される光照射画素部40と、光が遮光膜によって遮られている遮光画素部41とを有する。光照射画素部40には、映像信号として使用される有効画素部42と、その周囲を取り囲む光照射ダミー画素部43aとが設けられている。また、遮光画素部41には、画素の信号電荷を黒レベルの基準信号として使用されるオプティカルブラック(OB)画素部44と、OB画素部44以外の位置に配置された遮光ダミー画素部43bとが設けられている。

20

【0083】

次に、図3は、図2の画素アレイ部20について、III-III'線による断面構成を示す図である。

【0084】

画素アレイ部20において、基板55の上部に、入射光を受光して信号電荷が発生させるフォトダイオード56(PD56)が単位画素毎に設けられている。基板55上には、入射光を透過させる絶縁層58と、当該絶縁層58内に設けられ、それぞれの画素部の回路を接続する配線である第1のメタル配線54及びその上方に位置する第2のメタル配線53とが設けられている。更に、個々のフォトダイオード56入射した光をそれぞれのフォトダイオード56に集光するマイクロレンズ51と、マイクロレンズ51の下方に位置するカラーフィルタ52が設けられている。

30

【0085】

また、遮光画素部41において、第2のメタル配線53よりも上方に、光の入射を遮るための遮光配線57が形成されている。

40

【0086】

遮光配線57に起因して、遮光画素部41と、光照射画素部40との間に、段差が発生している。この段差により、光照射画素部40と遮光画素部41との境界から光照射画素部40の外周部かけて、マイクロレンズ51及びカラーフィルタ52が基板55に対して平行に形成されない領域が発生する。当該領域では、光がフォトダイオード56に入射される割合が変化し、画素信号が有効画素部42に対して変動する。そこで、この領域については、光照射ダミー画素部43aとする。光照射ダミー画素部43aは、遮光画素部41光照射画素部40との段差を緩衝する緩衝領域として利用され、当該領域における画素信号は、映像信号として使用されない。

【0087】

50

尚、光照射画素部には2層のメタル配線が設けられ、その外側に位置する部分（例えば、MPX回路22等の画素部を駆動するための周辺回路）に3層以上のメタル配線が設けられる等のように、光照射画素部40に比べてその周囲において配線層数が増加する場合がある。このような場合にも、配線層数の違いによって生じる段差を緩和するために緩衝領域が必要になるので、画素信号を映像信号として用いないダミー画素部を設ける。

【0088】

また、光照射画素部40と、遮光画素部41との境界から、OB画素部44までの間に、光照射画素部40において入射した光がOB画素部44に入射するのを抑えるための緩衝領域として、遮光ダミー画素部43bが配置される。

【0089】

また、レイアウトの連続性を確保した領域をOB画素部44として使用するために、画素アレイ部20の端とOB画素部44との間にも、遮光ダミー画素部43bが配置される。遮光ダミー画素部43bの画素信号は、黒レベルの基準信号としては使用されない。

【0090】

以上のように、画素アレイ部20には、光が照射され且つ映像信号として画素信号が使用される有効画素部42と、遮光され且つ基準信号として画素信号が使用されるOB画素部44と、光が照射されるが映像信号として画素信号が使用されない光照射ダミー画素部43aと、遮光されるが黒レベルの基準信号として画素信号が使用されない遮光ダミー画素部43bとを備えている。

【0091】

次に、図4に、画素アレイ部20を説明するための構成図を示す。

【0092】

図4に示す通り、画素アレイ部20を形成する単位画素21は、光電変換素子（例えばフォトダイオードPD）に加えて、PDから電荷が転送されるフローティングディフュージョン部（FD部）、転送トランジスタMTR、リセットトランジスタMRS、増幅トランジスタMSFの3つのトランジスタを有する回路構成となっている。尚、本実施形態において、これらのトランジスタとして、N型のMOSトランジスタを用いる例を示している。但し、P型のMOS等の他のトランジスタを用いることも可能である。

【0093】

転送トランジスタMTRは、フォトダイオードPDのカソード電極とFD部との間に接続され、且つ、転送ゲートパルスφTRが与えられる転送制御線に転送ゲート電極が接続されている。

【0094】

リセットトランジスタMRSは、画素アレイ部20の行毎に配線され且つ電位φVddを伝達するバイアス配線にドレイン電極、FD部にソース電極、リセットパルスφRSが与えられるリセット制御線にゲート電極がそれぞれ接続されている。

【0095】

増幅トランジスタMSFは、FD部にゲート電極、画素電源AVDDPにドレイン電極、垂直信号線Vlineにソース電極が接続されている。

【0096】

垂直信号線Vlineには、当該垂直信号線Vlineに定電流を供給する定電流源24（24U及び24D）と、比較器27とが接続されている。

【0097】

また、単位画素21のうち、単位画素21<N>は、画素アレイ部20の有効画素部42に配置されたN行目に位置する単位画素であり、光の信号を読み出す画素（読み出し画素）である。単位画素21<U>は、有効画素部42の一方に位置する特定の複数行の光照射ダミー画素部43a又は遮光ダミー画素部43bに位置し、黒潰れ防止のために使用されるクリップ用画素（クリップ電圧生成用画素）である。単位画素21<D>は、有効画素部42の他方に位置する特定の複数行の光照射ダミー画素部43a又は遮光ダミー画素部43bに位置し、黒潰れ防止のために使用されるクリップ用画素（クリップ電圧生成用画素

10

20

30

40

50

）である。尚、クリップ用画素（21<U>及び21<D>）は、有効画素部42を垂直信号線の方向に挟むように配置されている。

【0098】

以上のように、クリップ用画素として、もともと設けられている光照射ダミー画素部43a及び遮光ダミー画素部43bの画素を利用することにより、クリップ用画素として新たな画素を追加することは不要であり、チップ面積の増大を避けることができる。

【0099】

ここで、クリップ用画素を常時選択するためには、クリップ用画素は特定の行に位置するので、垂直走査回路23からの行選択線との接続をカットすると共に、行選択信号の状態を常に保持するように、MPX回路22からクリップ用画素に必要な電位を入力する。

10

【0100】

例えば、行を選択している状態がHighレベルの信号であれば、Highレベルの信号をクリップ用画素に常に入力することにより、常時、行選択された状態となる。これは、回路規模の増大無しに実現可能である。

【0101】

尚、図4において、定電流源24は有効画素部42の上下に設けられているが、一方だけに配置されていても良い。

【0102】

また、以上では、単位画素21において、3つのトランジスタ（転送トランジスタMTR、リセットトランジスタMRS及び増幅トランジスタMSF）に対して1つのフォトダイオードPDが設けられている。しかしながら、1つの単位画素に、それぞれ複数のフォトダイオードPD及び転送トランジスタMTRが設けられていても良い。

20

【0103】

次に、図5に、比較器27の回路の一例を示す。

【0104】

比較器27は、N型のペアトランジスタMN1を入力とし、P型のペアトランジスタMP1、及び、ゲートを任意バイアスされて定電流動作するN型トランジスタMN2により構成された作動アンプ部と、それぞれの入力N型トランジスタのドレイン及びゲートを短絡するためのスイッチングトランジスタとなる一組のP型トランジスタMP2と、それぞれの入力となる一組のN型トランジスタMN1と、当該N型トランジスタMN1のゲートのDCレベルをカットするための一組の容量CINとを備える。

30

【0105】

一組の容量CINは、いずれも一端が前記差動アンプの入力N型トランジスタMN1に接続され、他端については、単位画素の画素信号が出力される垂直信号線Vline又はDAC26からの参照信号RAMPに接続されている。また、垂直信号線Vlineに接続された容量CINと入力N型トランジスタMN1との間のノードをノードNx、参照信号RAMPに接続された容量CINと入力N型トランジスタMN1との間のノードをノードMxとする。

【0106】

尚、入力トランジスタMN1は、入力値によっては、P型トランジスタを用いて構成することもできる。また、差動アンプ部は、出力を含め左右反転した構成としても良い。

40

【0107】

次に、図6に、バイアス回路33の一例を示す。

【0108】

バイアス回路33は、基準電圧Vrefからリファレンス電圧Vxを生成するリファレンス電圧生成回路81と、オペアンプ（OPAMP）82と、BUFF回路83とを備える。

【0109】

リファレンス電圧生成回路81は、直列に接続された抵抗素子R1、R2及びR3と、抵抗素子R1及びR2にそれぞれに並列に接続されているスイッチングトランジスタMS

50

W 1 及び M S W 2 とを備える。スイッチングトランジスタ M S W 1 及び M S W 2 のゲートには、それぞれ、制御信号であるスイッチングパルス ϕ S W 1 及び ϕ S W 2 が入力される。

【0110】

抵抗素子 R 1 の一端には、基準電圧 V R E F が供給され、抵抗素子 R 3 の一端は G N D に接続されている。

【0111】

また、直列に接続された抵抗素子 R 2 と抵抗素子 R 3 との接続部であるノード V x が、リファレンス電圧として O P A M P 8 2 に入力されている。O P A M P 8 2 の出力は、信号を増幅する B U F F 回路 8 3 の入力に接続され、B U F F 回路 8 3 に接続された出力線から、バイアス電圧 Vbiasout が出力される。O P A M P 8 2 のもう一端の入力には、前記出力線が接続されて、Vbiasout が入力されている。

10

【0112】

この O P A M P 8 2 のゲインを Aop とすると、 $[Vbiasout = Aop \times (Vx - Vbiasout)]$ が成立し、Aop が十分に大きい場合には、Vbiasout には V x の電圧が出力される。

【0113】

尚、直列に接続された抵抗素子の数及びスイッチングトランジスタ M S W の数を増やすことにより、設定値を増やしても良い。また、スイッチングトランジスタ M S W 1 及び M S W 2 に入力するスイッチングパルス ϕ S W 1 及び ϕ S W 2 は、D C であっても良いし、パルスとして所定のタイミングにおいて High レベルと Low レベルとを切り替えて出力し、バイアス値 Vbiasout を変化させても良い。

20

【0114】

(固体撮像装置の駆動方法)

以下に、固体撮像装置 9 0 の駆動方法、特に、黒潰れ抑制動作を説明する。

【0115】

図 7 は、固体撮像装置 9 0 において黒潰れ抑制動作をする際の駆動タイミングの一例を示す図である。

【0116】

図 7 に示すように、時刻 t 1 において、読み出し画素 2 1 <N> のリセットパルス ϕ R S <N> が High レベルとされ、読み出し画素 2 1 <N> の F D 部の電圧 Vfd<N> に Vddh が印加されて、垂直信号線 Vline の電位 Vpixout が上昇する。

30

【0117】

このとき、クリップ用画素 2 1 <U> 及び 2 1 <D> (以下、合わせてクリップ用画素 2 1 <U, D> と記すことがある) については、リセットパルス ϕ R S <U, D> が High レベルであり、且つ、 ϕ Vdd<U, D> はクリップ参照電圧 Vddc (非選択電圧 Vddl よりも高い電圧) である。従って、クリップ用画素 2 1 <U, D> の F D 部電位 Vfd<U, D> には Vddc が印加された状態である。

【0118】

また、比較器 2 7 に関し、N 型ペアトランジスタ M N 1 のゲートとドレインとを短絡させるスイッチングトランジスタ M P 2 のゲートに入力されるリセットパルス ϕ C M P R S が Low レベルであって、短絡した状態となっている。つまり、比較器 2 7 はリセットが掛かった状態である。

40

【0119】

参照電圧 R A M P は、初期値にリセットされている。カウンタに入力されるクロック C K は、Low レベルに固定されている。

【0120】

また、カウント値としては、初期値 C init に設定されている。また、図示されていない画素の F D 部の電位 Vfd<K> は、非選択画素電圧 Vddl (前記の通り、 $Vddl < Vddc$ である) に保持され、増幅トランジスタ M S F <K> はオフしている。

50

【0121】

以下、黒潰れが発生しない程度の入射がある場合（又は、光の入射が無い場合）を通常時と呼ぶ。

【0122】

時刻 t_2 において、 $\phi R S < N >$ が Low レベルとされる。

【0123】

このとき、通常時には、リセットトランジスタ $M R S$ のスイッチングによって生じるノイズに起因して、 $F D$ 部の電位に段差が発生する。つまり、 $V_{fd} < N >$ は、実線に示すように V_{fdr} になり、垂直信号線 V_{line} の電位 V_{pixout} は V_{rst} となる。

【0124】

これに対し、黒潰れが発生するような高輝度光が入射した場合、フォトダイオード $P D$ から画素信号が溢れ、 $F D$ 部に転送されてしまう等により、 $V_{fd} < N >$ は、破線に示すように電位が低下する。このとき、仮にクリップ用画素 $21 < U, D >$ が無いとすると、垂直信号線 V_{line} の電位 V_{pixout} は、図示していない他の画素 $21 < K >$ によって決まる垂直信号電位 V_k に低下する。しかしながら、固体撮像装置 90 の場合、クリップ用画素 $21 < U, D >$ が設けられている。従って、クリップ参照電圧 V_{ddc} と、クリップ用画素の数とに応じて、垂直信号線 V_{line} の電位 V_{pixout} は、 V_k よりも高い V_{clip} にクリップされる。

【0125】

時刻 t_3 において、比較器 27 のリセットパルス $\phi C M P R S$ が High レベルとされて、比較器 27 のリセットが解除される。リセットの解除に伴い、比較器 27 のトランジスタ $M P 2$ のスイッチングによるオフセット等の発生に起因して、ノード $M x$ の電位とノード $N x$ の電位とに段差が発生する（ノード $M x$ の電位を実線、ノード $N x$ の電位を破線により重ねて示している。ノード $N x$ の電位については、通常時、黒潰れ発生時及び黒潰れ抑制時についてそれぞれ示している）。尚、この段差は意図的にノード $N x$ の電位の方が低くなるようにしてもよく、また、この段差によってダウンカウント $C a$ 値が決まる。

【0126】

時刻 t_4 において、参照信号 $R A M P$ の電位がある一定の傾きをもって低下を始める。これに伴い、ノード $M x$ （参照信号 $R A M P$ に接続された容量 $C I N$ 側のノード）の電位も低下を始める。また、同時に、カウンタ 28 に入力されるクロック $C K$ に $C K$ パルスが入力される。

【0127】

時刻 t_5 において、ノード $N x$ （垂直信号線 V_{line} に接続された容量 $C I N$ 側のノード）の電位と、ノード $M x$ の電位とが一致する。このとき、比較器 27 の出力が反転し、同時に、比較期間に応じたカウント値 $[C_{init} - C a]$ がカウンタ内に保持される。時刻 t_4 から時刻 t_5 までのカウントは、ダウンカウントとする。

【0128】

時刻 t_6 において、参照信号 $R A M P$ の電位の低下（一定の傾きをもった低下）が終了する。

【0129】

時刻 t_7 において、 $\phi V_{dd} < U, D >$ は、クリップ参照電圧 V_{ddc} から、非選択電圧 V_{ddl} に下げられる。これにより、クリップ用画素 $21 < U, D >$ の $F D$ 部についても、クリップ参照電圧 V_{ddc} から非選択電圧 V_{ddl} に下がる。垂直信号線 V_{line} の電位 V_{pixout} は、他の画素 $21 < K >$ によって決まる V_k とほぼ同等になる。

【0130】

この際、通常時であれば、垂直信号線 V_{line} の電位 V_{pixou} は、読み出し画素 $21 < N >$ によって決まるので、クリップ用画素 $21 < U, D >$ の $F D$ 部における電位低下には関係なく、 V_{rst} のままである。ノード $N x$ の電位も変化しない。

【0131】

また、黒潰れが発生する高輝度光が読み出し画素 $21 < N >$ に入射し、クリップ用画素 $21 < U, D >$ が有る場合、垂直信号線 V_{line} の電位 V_{pixout} は、クリップ用画素 $21 < U,$

10

20

30

40

50

D>によって決まる。従って、電位 V_{pixout} は、クリップ用画素 2 1<U, D>の F D 部における電位低下に応じて低下する。これに伴い、時刻 t_7 においてノード N_x の電位も低下する。

【0 1 3 2】

また、仮に、黒潰れが発生する高輝度光が読み出し画素 2 1<N>に入射し、クリップ用画素 2 1<U, D>が無い場合、垂直信号線 V_{line} の電位 V_{pixout} は、既に低下した V_k のまま変化しない。ノード N_x の電位も変化しない。

【0 1 3 3】

時刻 t_8 において、読み出し画素 2 1<N>の転送パルス $\phi_{TR<N>}$ が High レベルとされ、フォトダイオード P D から転送トランジスタ M T R<N>を介して F D 部に信号電荷が転送される。

10

【0 1 3 4】

通常時であれば、読み出し画素 2 1<N>の F D 部における電位は画素信号により低下する。これに応じて、垂直信号線 V_{line} の電位 V_{pixout} 、更にはノード N_x の電位が低下する。

【0 1 3 5】

また、黒潰れが発生する高輝度光が読み出し画素 2 1<N>に入射した場合、フォトダイオード P D から溢れた電荷が既に F D 部に転送されている。従って、 $V_{fd<N>}$ は、転送パルス $\phi_{TR<N>}$ が High レベルになったとしても、既に低下した電位から変化しない。このことから、黒潰れ発生時及び黒潰れ抑制時のいずれにおいても、ノード N_x の電位は変化しない。

20

【0 1 3 6】

時刻 t_9 において、読み出し画素 2 1<N>の転送パルス $\phi_{TR<N>}$ が High レベルから Low レベルにされ、転送トランジスタ M T R<N>はオフされる。

【0 1 3 7】

時刻 t_{10} において、参照信号 R A M P は初期値にリセットされる。これにより、ノード M_x の電位も初期値に戻る。

【0 1 3 8】

時刻 t_{11} において、クリップ用画素 2 1<U, D>のリセットパルス $\phi_{RS<U, D>}$ が、High レベルから Low レベルにされる。

30

【0 1 3 9】

時刻 t_{12} において、参照信号 R A M P がある一定の傾きをもって低下を始める。これに伴い、ノード M_x の電位も低下を始める。同時に、カウンタ 2 8 に入力されるクロック C K に、C K パルスが入力される。

【0 1 4 0】

この後、ノード M_x の電位と、ノード N_x の電位とが一致する時刻において比較器 2 7 の出力が反転し、同時に、比較期間に応じたカウント値がカウンタ内に保持される。尚、カウントはアップカウントとする。これにより、カウンタ内には、時刻 t_{12} 後のアップカウントと、時刻 t_4 から時刻 t_5 までの間のダウンカウントとの差分が自動的に保持されることになる。

40

【0 1 4 1】

通常時には、読み出し画素 2 1<N>の画素信号によって垂直信号線 V_{line} の電位 V_{pixout} が低下し、ノード N_x の電位の電位も低下しているので、当該低下量に応じてアップカウント時の比較期間が長くなり、時刻 t_{14} において比較器 2 7 の出力が反転する。カウンタ内には比較期間に応じたカウント C_b が追加されるので、カウンタ内には、初期値 C_{init} 、ダウンカウント値 C_a 及びアップカウント値 C_b から求まる $[C_{init} - C_a + C_b]$ が保持される。

【0 1 4 2】

また、黒潰れが発生する高輝度光が読み出し画素 2 1<N>に入射し、仮にクリップ用画素 2 1<U, D>が設けられていない場合には、比較器 2 7 のリセット解除（時刻 t_3 ）か

50

らダウンカウント期間、アップカウント期間にかけて、垂直信号線Vlineの電位VpixoutはV_kのまま変化しない。従ってノードN_xの電位も変化しないので、ノードM_xの電位と、ノードN_xの電位とが一致する時刻t₁₃において、アップカウント値C_b'は、ダウンカウント値C_aとほぼ同等となる。この結果、カウンタ内のカウンタ値は、ダークレベルとほぼ同等であるC_{init}が保持されることになる。

【0143】

また、黒潰れが発生する高輝度光が読み出し画素21<N>に入射し、本実施形態のようにクリップ用画素21<U, D>が設けられている場合は、次のようになる。つまり、ダウンカウント期間の後に、垂直信号線Vlineの電位Vpixout（更にはノードN_xの電位）は、クリップ用画素21<U, D>のFD部電位の変動により低下した分だけ（つまり、[V_{clip} - V_k] に対応するだけ）比較時間が長くなる。従って、ノードM_xの電位と、ノードN_xの電位とは時刻t = 15において一致し、このとき比較器27の出力が反転すると共に、カウンタ内には比較時間に応じたカウンタ値として「C_{init} - C_a + C_b」が保持される。

10

【0144】

ここで、高輝度光が入射しても黒潰れが抑制されるためには、得られるFD部電位の変位量（[V_{clip} - V_k]）が、フォトダイオードPDに蓄積できる最大の信号である飽和信号よりも大きいことが必要とされる。

【0145】

更に、クリップ用画素21<U, D>の増幅トランジスタM_{SF}<U, D>のゲート・ソース間電圧をV_{gs_clip} とすると、垂直信号線Vlineの電位Vpixoutのクリップ電位は、[V_{clip} = V_{ddc} - V_{gs_clip}] となる。従って、黒潰れ抑制のためには、クリップ参照電圧V_{ddc} をある程度高くすることが必要である。

20

【0146】

次に、時刻t₁₆において、参照信号RAMPにおける一定の傾きをもった電位の低下が終了し、アップカウント期間も終了する。

【0147】

以上のようにして、黒潰れが発生するような高輝度光が読み出し画素21<N>に入射したとしても、クリップ用画素21<U, D>によって黒潰れを抑制することができる。但し、クリップ参照電圧V_{ddc} についての制約を伴う。

30

【0148】

尚、図7のタイミングチャートに基づく黒潰れ抑制は、列アナログーデジタル変換回路(ADC)25を備えていない固体撮像装置にも適用可能である。

【0149】

（画素のFPN抑制について）

前記の通り、クリップ参照電圧V_{ddc} は、ある程度以上に高くする必要がある。しかしながら、クリップ参照電圧V_{ddc} が垂直信号線Vlineの電位Vpixoutに対して高くなるほど、クリップ用画素21<U, D>のリーク電流に起因する画素のFPNが発生する。

【0150】

図8に、列アナログーデジタル変換回路(ADC)25を備えた例において、画素のFPNバラツキが発生した時の動作を説明するための駆動タイミングを例示する。以下、図7の駆動タイミングとの相違を主に説明する。

40

【0151】

図8の時刻t₂において、φ_{RS}<N>はLow レベルとされ、φ_{RS}<U, D>はHighレベルであるから、クリップ用画素21<U, D>のV_{fd}<U, D>には、クリップ参照電圧V_{ddc} が印加されている。クリップ用画素21<U, D>の増幅トランジスタM_{SF}<U, D>にリーク電流I_{leak} が発生しているとすると、読み出し画素21<N>の増幅トランジスタM_{SF}<N>に流れる電流は、前記のリーク電流I_{leak} 分低下する。つまり、[I_{SF} - I_{leak}] となる。

【0152】

50

このリーク電流による V_{gs} の低下量を ΔV_{gs_noise} とすると、垂直信号線 V_{line} の電位 V_{pixout} は、 $[V_{fdr} - V_{gs<N>} + \Delta V_{gs_noise}]$ となる。図 8 では、 ΔV_{gs_noise} を含めた場合の V_{pixout} を破線に、 ΔV_{gs_noise} を含めない場合の V_{pixout} を実線に示している。また、ノード N_x の電位についても、ノイズの影響を含める (N_x_noise) 場合及び含めない場合 (N_x) をそれぞれ示している。

【0153】

時刻 t_4 において、ダウンカウント期間が開始され、比較器 27 においてノード M_x の電位と、ノード N_x の電位とが比較される。この際にも、クリップ用画素 21<U, D>にはクリップ参照電圧 V_{ddc} が印加されているので、 I_{leak} が発生し、垂直信号線 V_{line} の電位 V_{pixout} は $[V_{fdr} - V_{gs<N>} + \Delta V_{gs_noise}]$ となっている。

10

【0154】

時刻 t_5 において、ノード M_x の電位と、ノード N_x の電位とが一致し、比較器 27 が反転すると共に、比較時間に応じたカウント値 C_a がカウンタ 28 に設定される。尚、ダウンカウント期間は時刻 t_6 に終了する。

【0155】

時刻 t_7 において、クリップ用画素 21<U, D>に印加されていた電源電位 $V_{dd<U, D>}$ が、クリップ参照電圧 V_{ddc} から非選択画素電圧 V_{ddl} に下げられる。ここで、リーク電流 I_{leak} は、ゲート電圧に対して指数関数的に変動するので、クリップ用画素 21<U, D>の増幅トランジスタ $M_{SF<U, D>}$ に流れていたリーク電流 I_{leak} は無視できるほど小さくなる。従って、このときの垂直信号線 V_{line} の電位 V_{pixout} は、 $[V_{fdr} - V_{gs<N>}]$ となる。

20

【0156】

時刻 t_8 において、読み出し画素 21<N>のフォトダイオード P_D から信号電荷を読み出すために、 $\phi_{TR<N>}$ が High レベルとされる。

【0157】

時刻 t_9 において、 $\phi_{TR<N>}$ が Low レベルとされる。 $V_{fd<N>}$ の電位は、フォトダイオード P_D の電荷量に応じて、 $[V_{fdr} - \Delta V_{sig}]$ となる。この変動に応じて、垂直信号線 V_{line} の電位 V_{pixout} は、 $[V_{fdr} - V_{gs<N>} - \Delta V_{sig}]$ となる。

【0158】

時刻 t_{13} において、アップカウント期間が開始され、比較器 27 においてノード M_x の電位と、ノード N_x の電位とが比較される。2つの電位は、 ΔV_{gs_noise} の影響を含めない場合、時刻 t_{14} において一致し、アップカウント値 C_b がカウンタ 28 に保存される。これに対し、 ΔV_{gs_noise} の影響を含めたノード N_x の電位 (N_x_noise) の場合、時刻 t_{15} において一致し、アップカウント値 C_{bn} がカウンタ 28 に保存される。この違いから、前述した列アナログデジタル変換回路 (ADC) 25 が無い場合と同様に、クリップ用画素起因によるノイズ ΔV_{gs_noise} が検出される。

30

【0159】

このようにして、画素の F_{PN} が発生する。クリップ用画素 21<U, D>にクリップ参照電圧 V_{ddc} が印加されているときのリーク電流 I_{leak} が画素の F_{PN} 発生の原因になっているのであるから、画素の F_{PN} 発生を抑制するためには、 I_{leak} を抑制すれば良いことになる。

40

【0160】

しかし、クリップ用画素 21<U, D>の F_D 部に印加するクリップ参照電圧 V_{ddc} を下げると、黒潰れ発生時には垂直信号線 V_{line} のクリップ電位 V_{clip} ($V_{ddc} - V_{gs_clip}$) が低下し、クリップ用画素 21<U, D>による信号出力 $[V_{clip} - V_k]$ も低下する。前述の通り、 $[V_{clip} - V_k]$ は、画素の飽和信号以上であることが必要とされるので、クリップ参照電圧 V_{ddc} は、ある程度までしか低下させることができない。

【0161】

ここで、黒潰れが発生する高輝度光が読み出し画素 21<N>に入射するとき、クリップ用画素 21<U, D>による垂直信号線のクリップ電位は V_{clip} であり、 V_{clip} は、 $[V_{dd}$

50

c - Vgs_clip] と表される。従って、垂直信号線 Vline のクリップ電位 Vclip を上昇させるためには、Vgs_clip を低下させれば良いことになる。

【0162】

それぞれの画素部の増幅トランジスタ M S F は、ソースフォロワとして動作している。増幅トランジスタ M S F のゲート・ソース間電圧を Vgs、増幅トランジスタ M S F のドレインからソースに流れる電流を Ids、閾値を Vth、増幅トランジスタのチャンネルの幅を W、長さを L とし、比例係数を β_0 としたとき、ゲートとソース間電圧は、 $[V_{gs} = (I_{ds} / (2 * \beta_0 * W / L))^{0.5} + V_{th}]$ と表される。

【0163】

従って、Vgs_clip を下げるためには、クリップ用画素 21<U, D>を複数用意して並列に動作させることにより、クリップ用画素 21<U, D>1 つあたりに流れる電流量 Ids を減少させれば良い。クリップ参照電圧 Vddc の設定範囲を広げるためにも、クリップ用画素 21<U, D>を複数用意することが有効である。

【0164】

また、黒潰れ抑制時におけるクリップ用画素 21<U, D>による信号出力は $[V_{clip} - V_k]$ と表され、Vclip 及び V k をそれぞれ書き直すと、 $[(V_{ddc} - V_{gs_clip}) - (V_{ddl} - V_{gs_clip}')]]$ となる。但し、Vgs_clip' は、読み出し画素 21<N>とは異なる他の画素 21<K>と、クリップ用画素 21<U, D>の増幅トランジスタ M S F とにおけるゲート・ソース間電圧を表す。

【0165】

また、クリップ参照電圧 Vddc 及び非選択電圧 Vddl について、同じ基準電圧 V R E F を使用した図 6 に示したバイアス回路から生成すると、基準電圧 V R E F が変動しても、クリップ参照電圧 Vddc 及び非選択電圧 Vddl は同じ方向に変動する。これにより、黒潰れ抑制時におけるクリップ用画素 21<U, D>による信号出力としては相殺される。つまり、信号出力が低下することにはならず、基準電圧 V R E F の変動に対して、影響を受けない構成を取ることができる。このことから、クリップ参照電圧 Vddc において基準電圧 V R E F のバラツキを考慮せずに設定範囲を決められるので、設定範囲を広げる手段となりうる。

【0166】

また、画素アレイ部 20 の上下に定電流源 24 (24 U 及び 24 D) を配置すること (これは必須の構成ではない) により、読み出し画素 21<N>からクリップ用画素 21<U, D>までの垂直信号線 Vline の配線抵抗による電圧ドロップを軽減することができる。これにより、以下のようにして、画素の F P N の発生を抑制することができる。

【0167】

クリップ用画素 21<U, D>のリーク電流 I_leak は、クリップ用画素 21<U, D>の増幅トランジスタ M S F<U, D>のゲート・ソース間電圧が高くなると増加する。そこで、読み出し画素の位置によってクリップ用画素の増幅トランジスタ M S F<U, D>のソース電位が低下するのを抑制することにより、クリップ用画素のリーク電流について、読み出し画素の位置に対する依存性を低減し、画素の F P N の発生を抑制することができる。

【0168】

また、図 1 に示すように上下に比較器 27 を有する場合には、クリップ用画素 21<U, D>を有効画素部 42 の上下に配置することが望ましい。上下に配置することにより、読み出し画素 21<N>とクリップ用画素 21<U, D>の位置関係によるバラツキ (例えば、前述した電圧ドロップなど) を低減させることができる。

【0169】

尚、2 つ以上の読み出し画素 21<N>が同時に読まれ、垂直信号線 Vline にて信号電荷が混合される駆動においても、上記駆動方法により黒潰れ抑制が可能である。

【0170】

(変形例)

また、以上では、クリップ用画素 21<U, D>を用いて画素の F P N の発生を抑制する

10

20

30

40

50

方法について述べた。これに対し、図 9 には、例示的固体撮像装置 90 における画素の FPN バラツキを根本的に除去する動作を説明するための駆動タイミングの一例を示す。尚、前述した図 8 の駆動タイミングとの差違を主に説明する。

【0171】

時刻 t_3 において、比較器 27 のリセットパルス ϕ_{CMPRS} を High レベルとし、比較器 27 のリセットを解除する。

【0172】

この後、時刻 t_4 において、クリップ用画素 21<U, D>に印加していた電源 $\phi_{Vdd<U, D>}$ を、クリップ参照電圧 V_{ddc} から非選択画素電圧 V_{ddl} に下げる。このとき、クリップ用画素 21<U, D>のリーク電流 I_{leak} の影響が無くなるので、垂直信号線 V_{line} の電位 V_{pixout} は、 $[V_{fdr} - V_{gs<N>}]$ となる。 10

【0173】

時刻 t_5 において、ダウンカウント期間が開始され、クリップ用画素 21<U, D>のリーク電流の影響がない状態における垂直信号線 V_{line} の電位 V_{pixout} に応じたカウント値 C_a がカウンタ 28 に保持される。

【0174】

時刻 t_8 において、読み出し画素 21<N>のフォトダイオード PD から信号電荷を読み出すために、 $\phi_{TR<N>}$ が High レベルにされる。

【0175】

時刻 t_9 において、 $\phi_{TR<N>}$ が Low レベルにされ、フォトダイオード PD の電荷量に応じて、 $V_{fd<N>}$ は $[V_{fdr} - \Delta V_{sig}]$ となる。この変動に応じて、垂直信号線 V_{line} の電位 V_{pixout} は、 $[V_{fdr} - V_{gs<N>} - \Delta V_{sig}]$ となる。 20

【0176】

時刻 t_{12} において、アップカウント期間が開始され、比較器 27 によりノード M_x の電位と、ノード N_x の電位とが比較される。このとき、垂直信号線 V_{line} の電位 V_{pixout} に応じたカウント値 C_b がカウンタ 28 に加算され、結果として、カウンタ 28 には ΔV_{sig} に対応するカウント値 $[C_{init} - C_a + C_b]$ が保持される。

【0177】

このように、クリップ用画素 21<U, D>に起因するノイズ ΔV_{gs_noise} が含まれないカウント値を得ることができる。つまり、画素の FPN を除去することができる。 30

【0178】

次に、図 10 には、図 9 の駆動タイミングにおいて、黒潰れの発生する高輝度光が読み出し画素 21<N>に入射したときの黒潰れ抑制動作を説明する駆動タイミングを例示している。尚、前述した図 9 の駆動タイミングとの差違を主に説明する。

【0179】

時刻 t_2 において、 $\phi_{RS<N>}$ は Low レベルとされる。このとき、高輝度光が読み出し画素 21<N>に入射したとすると、フォトダイオード PD から画素信号が溢れ、FD 部に転送されてしまう。この結果、 $V_{fd<N>}$ に示すように電位の低下が起る。

【0180】

仮に、クリップ用画素 21<U, D>が無いとすると、垂直信号線 V_{line} の電位 V_{pixout} は、不図示の画素 21<K>によって決まる垂直信号線電位 V_k に低下する。これに対し、本実施形態ではクリップ用画素 21<U, D>が設けられているので、クリップ参照電圧 V_{ddc} 及びクリップ用画素 21<U, D>の数に応じて、垂直信号線 V_{line} の電位 V_{pixout} は、 V_k よりも高い V_{clip} にクリップされる。 40

【0181】

時刻 t_3 において、比較器 27 のリセットパルス ϕ_{CMPRS} が High レベルとされ、リセットが解除される。このとき、比較器 27 としては、参照信号 $RAMP$ の初期値と、垂直信号線 V_{line} の電位 V_{pixout} ($= V_{clip}$) の状態と、比較器 27 のオフセット成分とによって動作点（反転が起る点）が決められることになる。

【0182】

この後、時刻 t_4 において、クリップ用画素 $21<U, D>$ に印加されていた電源 $\phi V_{dd}<U, D>$ は、クリップ参照電圧 V_{ddc} から非選択画素電圧 V_{ddl} に下げられる。このとき、比較器 27 の一端の入力である垂直信号線 V_{line} の電位 V_{pixout} は、 V_{clip} から V_k まで低下する。

【0183】

時刻 t_5 において、ダウンカウント期間が開始される。このとき、動作点が決まった時刻 t_3 の状態に対し、垂直信号線 V_{line} の電位 V_{pixout} の電位は、信号出力よりも大きい $[V_{clip} - V_k]$ だけ電位変動して低下している。これに伴い、ノード N_x の電位も低下している。

【0184】

また、参照信号 $RAMP$ の電位が一定の傾きをもって低下され、ノード M_x の電位も低下する。ダウンカウント期間中において、ノード M_x の電位の低下量は、ノード N_x の電位の電位変動量よりも小さい。従って、カウンタ 28 には、ダウンカウント期間に応じたカウント値 C_{af} が保持される。

【0185】

また、時刻 t_{12} からアップカウント期間が開始され、参照信号 $RAMP$ の電位は、一定の傾きをもって低下されて、ノード M_x の電位も低下する。しかし、ダウンカウント期間と同様に、電位変動量 $[V_{clip} - V_k]$ が十分に大きいと、所定のアップカウント期間中におけるノード M_x の電位低下が、電位変動量 $[V_{clip} - V_k]$ に伴うノード M_x の電位低下よりも小さくなる。この結果、カウンタ 28 には、アップカウント期間に応じたカウント値 C_{bf} が保持される。よって、カウント値としては、 $[C_{init} - C_{af} + C_{bf}]$ が書き込まれる。

【0186】

ここで、列アナログゲージデジタル変換回路 (ADC) 25 が n ビットの解像度を持つとしたとき、 $[C_{init} - C_{af} + C_{bf}]$ が 2 の n 乗のカウント値を確保できるように、アップカウント期間中において、ダウンカウント期間分のカウント値のマージンを持たせる。

【0187】

このようにすると、ダウンカウント期間及びアップカウント期間に比較器 27 の出力が反転しなくても、十分な信号出力が確保される。

【0188】

尚、クリップ用画素 $21<U, D>$ の垂直信号線 V_{line} のクリップ電位 V_{clip} の値によっては、アップカウント期間中に比較器 27 が反転する場合も考えられる。この場合においても、カウント値として、画素の飽和出力以上のカウント値が確保されていれば、問題なく黒潰れを抑制することができる。

【0189】

以上のような駆動方法により、クリップ用画素 $21<U, D>$ による画素の FPN バラツキ除去が可能となる。また、大幅にクリップ参照電圧 V_{ddc} の設定範囲を広げることができ、黒潰れが発生する高輝度光が読み出し画素 $21<N>$ に入射したときにも、クリップ用画素 $21<U, D>$ を利用して黒潰れを抑制することができる。

【0190】

(第 2 の実施形態)

以下、第 2 の実施形態の固体撮像装置とその駆動方法について、図面を参照して説明する。尚、第 1 の実施形態との相違点を主に説明する。

【0191】

図 11 は、本実施形態の例示的固体撮像装置における画素アレイ部 20 を説明する構成図である。図 4 に示す第 1 の実施形態の場合との相違は、それぞれの単位画素 21 において、増幅トランジスタ M_{SF} と垂直信号線 V_{line} との間に、選択トランジスタ M_{SEL} が直列に接続されている点である。また、選択トランジスタ M_{SEL} のゲートには選択制御線が接続され、選択パルス ϕ_{SEL} が印加されるようになっている。

【0192】

尚、図 1 1 において、上下に定電流源 2 4 (2 4 U 及び 2 4 D) が配置されているが、片方のみに配置されていても良い。

【 0 1 9 3 】

また、単位画素 2 1 において、4 トランジスタ (転送トランジスタ M R T 、リセットトランジスタ T R S 、増幅トランジスタ M S F 、選択トランジスタ M S E L) に 1 つのフォトダイオード P D が設けられている。これに対し、それぞれの単位画素 2 1 に、複数のフォトダイオード P D 及び転送トランジスタ M T R が設けられていても良い。

【 0 1 9 4 】

図 1 2 には、本実施形態の固体撮像装置における黒潰れ抑制動作を説明するための駆動タイミングを例示する。尚、第 1 の実施形態の図 9 及び図 1 0 の駆動タイミングとの差違を主に説明する。

10

【 0 1 9 5 】

読み出し画素 2 1 < N > の選択パルス ϕ S E L < N > は High レベルに固定されている (図示せず) 。また、クリップ用画素 2 1 < U , D > の選択パルス ϕ S E L < U , D > は、ある時刻においてパルスとして入力されている。また、図示はしていないが、読み出し画素 2 1 < N > 及びクリップ用画素 2 1 < U , D > 以外の他の画素 2 1 < K > の選択パルス ϕ S E L < K > は、Low レベルに固定されている。

【 0 1 9 6 】

クリップ用画素 2 1 < U , D > の電源パルス ϕ V d d < U , D > は、クリップ参照電圧 V d d c に固定され、クリップ用画素 2 1 < U , D > のリセットパルス ϕ R S < U , D > も High レベルに固定されている。従って、クリップ用画素 2 1 < U , D > の F D 部の電位 V f d < U , D > は、V d d c に固定されている。

20

【 0 1 9 7 】

時刻 t 1 において、パルス ϕ R S < N > が High レベルとされ、読み出し画素 2 1 < N > のフローティングディフュージョン F D の電位 V f d < N > に V d d h が印加されて、垂直信号線 V line の電位 V p i x o u t が上昇する。また、クリップ用画素 2 1 < U , D > における選択トランジスタ M S E L < U , D > が O N する。

【 0 1 9 8 】

時刻 t 2 において、パルス ϕ R S < N > は Low レベルとされる。この時、垂直信号線 V line の電位 V p i x o u t は、V r s t となる。しかしながら、黒潰れが発生する高輝度光が読み出し画素 2 1 < N > に入射した場合、フォトダイオード P D から画素信号が溢れ、F D 部に転送されてしまう。この結果、電位 V f d < N > は、破線によって示すように低下する。

30

【 0 1 9 9 】

このとき、仮にクリップ用画素 2 1 < U , D > が無いとすると、垂直信号線 V line の電位 V p i x o u t は、V f d < N > に応じた電位である V k s まで低下する。

【 0 2 0 0 】

ここで、V k s は、第 1 の実施形態にて説明した V k よりも低い。第 1 の実施形態において、V k は、非選択画素 (非選択画素電圧 V d d l) によって決まる電位であった。しかし、本実施形態の場合、それぞれの単位画素 2 1 は選択トランジスタ M S E L を有しており、非選択画素の選択トランジスタ M S E L は O F F しているので、読み出し画素のみによって信号線 V line の電位 V p i x o u t が決まる。読み出し画素 2 1 < N > の F D 部の電位は、黒潰れ発生時には、非選択画素電圧 V d d l よりも低下してしまう。従って、V k s は、V k よりも低い。

40

【 0 2 0 1 】

本実施形態のようにクリップ用画素 2 1 < U , D > がある場合に高輝度光が入射すると、垂直信号線 V line の電位 V p i x o u t は、クリップ参照電圧 V d d c 及びクリップ用画素 2 1 < U , D > の数とに応じて決まるクリップ電位 V c l i p にクリップされる。V c l i p は、V k s よりも高い。

【 0 2 0 2 】

時刻 t 3 において、比較器 2 7 のリセットパルス ϕ C M P R S が High レベルとされ、リ

50

セットが解除される。

【0203】

時刻 t_4 において、クリップ用画素 $21<U, D>$ の選択パルス $\phi SEL<U, D>$ を Low レベルとする。これにより、クリップ用画素 $21<U, D>$ による垂直信号線 $Vline$ の電位クリップが解除される。

【0204】

通常時は、垂直信号線 $Vline$ の電位 $Vpixout$ は読み出し画素 $21<N>$ によって決まっているので、電位 $Vpixout$ に変化はない。但し、クリップ用画素 $21<U, D>$ にリーク電流が発生していたとすると、第1の実施形態にて説明した通り、クリップが解除されることによって電位 $Vpixout$ からオフセット ΔVgs_noise が無くなる。

10

【0205】

黒潰れが発生する高輝度光が読み出し画素 $21<N>$ に入射していた場合、垂直信号線 $Vline$ の電位 $Vpixout$ はクリップ用画素 $21<U, D>$ によって決まっているので、電位 $Vpixout$ は $Vclip$ から Vks まで低下する。この結果、比較器 27 の一端の入力である垂直信号線 $Vline$ の電位 $Vpixout$ は、 Vks まで低下する。

【0206】

時刻 t_5 以降は、第1の実施形態において図9、図10により説明したのと同様である。よって、以下には簡略に説明する。

【0207】

始めに、通常時について説明する。

20

【0208】

通常時には、ダウンカウント期間中にノード Mx の電位と、ノード Nx の電位とが一致した時に比較器 27 が反転し、比較期間に対応するカウント値がダウンカウントとしてカウンタ 28 に保持される。

【0209】

また、時刻 t_8 において、読み出し画素 $21<N>$ の転送パルス $\phi TR<N>$ が High レベルとなり、フォトダイオード PD の画素信号が FD 部に転送される。これにより FD 部の電位 $Vfd<N>$ が低下し、これに応じて垂直信号線 $Vline$ の電位 $Vpixout$ が低下する。更に、ノード Nx の電位も低下する。

【0210】

30

この後、アップカウントが開始され、アップカウント期間中に、画素信号が転送された後のノード Mx の電位と、ノード Nx の電位とが一致したときに比較器 27 が反転する。比較期間に対応したカウント値がアップカウントされて、カウンタ 28 に保持される。これにより、カウンタにはアップカウント値とダウンカウント値との差分が自動的に保持され、画素信号に応じたカウント値が保持されることになる。

【0211】

次に、黒潰れが発生する高輝度光が読み出し画素 $21<N>$ に入射し、黒潰れが発生している場合について説明する。

【0212】

40

この場合において、時刻 t_5 にダウンカウントが開始される。ここで、動作点が決まった時刻 t_4 の状態に対して、垂直信号線 $Vline$ の電位 $Vpixout$ は、出力信号よりも大きい $[Vclip - V_k]$ だけ電位変動して低下している。参照信号 $RAMP$ の電位が一定の傾きをもって低下するが、ダウンカウント期間中におけるノード Mx の電位低下は、 $[Vclip - V_k]$ に伴うノード Nx の電位低下よりも小さい。従って、ノード Mx の電位と、ノード Nx の電位とが一致することは無いので、カウンタ 28 にはダウンカウント期間に応じたカウント値 Caf が保持される。

【0213】

また、時刻 t_{12} からアップカウントが開始される。参照信号 $RAMP$ 及びノード Mx の電位は初期値から一定の傾きをもって低下する。しかし、ダウンカウント期間と同様に、電位変動量 $[Vclip - V_k]$ が大きいと、所定のアップカウント期間中におけるノード

50

Mxの電位低下が、電位変動量 $[V_{clip}-V_k]$ に伴うノードNxの電位低下よりも小さくなる。この結果、カウンタ28には、アップカウント期間に応じたカウント値Cbfが保持される。

【0214】

以上から、カウント値としては $[C_{init}-Caf+Cbf]$ が書き込まれ、十分な信号出力が確保される。

【0215】

尚、クリップ用画素21<U, D>の垂直信号線Vlineのクリップ電位Vclipの値によっては、アップカウント期間中に比較器27が反転する場合もある。この場合においても、カウント値として、画素の飽和出力以上のカウント値が確保されていれば、黒潰れは抑制される。

10

【0216】

上記のような駆動方法により、クリップ用画素21<U, D>に起因するFPNバラツキを除去することが可能となり、大幅にクリップ参照電圧Vddcの設定範囲を広げることができる。従って、黒潰れが発生する高輝度光が読み出し画素21<N>に入射したときにも、クリップ用画素21<U, D>を利用して黒潰れを抑制することができる。

【0217】

(変形例)

次に、図13には、変形例として、垂直信号線Vlineの電位Vpixoutが下がり過ぎないようにクリップする機能を追加した黒潰れ抑制動作を説明する駆動タイミングを例示する。尚、第1の実施形態における図10の駆動タイミングとの差違を主に説明する。

20

【0218】

読み出し画素21<N>の選択パルス $\phi_{SEL<N>}$ はHighレベルに固定されている(図示せず)。また、クリップ用画素21<U, D>の選択パルス $\phi_{SEL<U, D>}$ は、ある時刻においてパルスとして入力されている。また、図示はしていないが、読み出し画素21<N>及びクリップ用画素21<U, D>以外の他の画素21<K>の選択パルス $\phi_{SEL<K>}$ は、Lowレベルに固定されている。

【0219】

これにより、転送パルス $\phi_{TR<N>}$ にパルスが入力した後も、クリップ用画素21<U, D>の選択トランジスタMSEL<U, D>はONしたままとなる。従って、垂直信号線Vlineの電位Vpixoutの最小値としては、クリップ用画素21<U, D>により、 $V_{kc}(>V_{ks})$ にクリップされる。

30

【0220】

ここで、定電流源24は、ある程度垂直信号線Vlineの電位Vpixoutが低下すると、電流値が低下する特性を有している。このような電流変動に起因して、特定の画素信号の読み出し動作の際、当該画素と同じ行に含まれる他の画素に高輝度光が入射すると、電流値が変動することになる。この結果、同じ期間に画素信号の読み出しを行なっている画素に影響を与える。つまり、画素信号としてオフセットを持たせてしまい、画質の劣化を招く。

【0221】

しかし、上記に示したようにクリップ用画素21<U, D>を用いることにより、垂直信号線Vlineの電位Vpixoutの低下を一定の範囲に抑制し、電流値の変動を抑制することができる。従って、電流変動に起因する画質の劣化を抑制することができる。

40

【0222】

(第3の実施形態)

以下、第3の実施形態の固体撮像装置とその駆動方法について、図面を参照して説明する。尚、第2の実施形態との相違点を主に説明する。

【0223】

図14は、本実施形態の例示的固体撮像装置における画素アレイ部20を説明する構成図である。図11に示す第2の実施形態の場合との相違は、各単位画素21において、リ

50

セットトランジスタMRSのドレイン側に接続する画素電源パルス配線が、行毎に接続されている点、及び、前記画素電源パルス配線が、増幅トランジスタMSFのドレイン側にも接続されている点である。

【0224】

尚、図14では上下に定電流源24（24U及び24D）が設けられているが、片方のみでも良い。また、単位画素21において4トランジスタ（転送トランジスタMRT、リセットトランジスタTRS、増幅トランジスタMSF、選択トランジスタMSEL）毎に1つのフォトダイオードPDが設けられているが、単位画素に複数のフォトダイオードPD及び転送トランジスタMTRが設けられていても良い。

【0225】

図15には、本実施形態の固体撮像装置における黒潰れ抑制動作を説明するための駆動タイミングを例示する。尚、第2の実施形態の図12の駆動タイミングとの差違を主に説明する。

【0226】

時刻t14よりも前については、クリップ用画素21<U, D>のリセットパルスφRS<U, D>がLowレベルにされていることを除いて、図12の駆動タイミングと同様である。

【0227】

時刻t14において、画素電源パルスφVddが、Vddh からクリップ参照電圧Vddc に代えられる。

【0228】

時刻t15において、クリップ用画素21<U, D>のリセットパルスφRS<U, D>がHighレベルにされる。これにより、クリップ用画素21<U, D>のFD部電位Vfd<U, D>に、クリップ参照電圧Vddc が書き込まれる。

【0229】

時刻t16において、クリップ用画素21<U, D>のリセットパルスφRS<U, D>がLowレベルにされ、クリップ用画素21<U, D>のFD部電位Vfd<U, D>には、クリップ参照電圧Vddc が保持される。

【0230】

時刻t17において、画素電源パルスφVddが、クリップ参照電圧Vddc からVddh に変えられ、行周期の画素読み出し動作が完了する。

【0231】

ここで、クリップ用画素21<U, D>のリセットパルスφRS<U, D>がLowレベルにされているから、リセットトランジスタMRS<U, D>はOFFしている状態である。従って、クリップ用画素21<U, D>に黒潰れが発生する高輝度光が入射した場合、FD部電位Vfd<U, D>が低下し、クリップの機能は失われてしまう。そこで、クリップ用画素21<U, D>は、黒潰れの発生を避けるための対策として、遮光ダミー画素部43b（図2を参照）に配置されていることが必要である。あるいは、別の対策として、クリップ用画素21<U, D>にはフォトダイオードPDを設けない構成とすることが必要である。

【0232】

このような対策を取ることにより、クリップ用画素21<U, D>のFD部に書き込まれたクリップ参照電圧Vddc が保持され、黒潰れ抑制動作が可能となる。

【0233】

従って、以上の構成においても、クリップ用画素21<U, D>による画素のFPNバラツキ除去が可能となると共に、黒潰れが発生する高輝度光が読み出し画素21<N>に入射したとしても、クリップ用画素21<U, D>によって黒潰れを抑制することができる。

【産業上の利用可能性】

【0234】

本開示の固体撮像装置及びその駆動方法によると、回路規模の増大を避けながら黒潰れ及びFPNバラツキ等を抑制して画質を向上させることができ、ビデオカメラ、デジタル

10

20

30

40

50

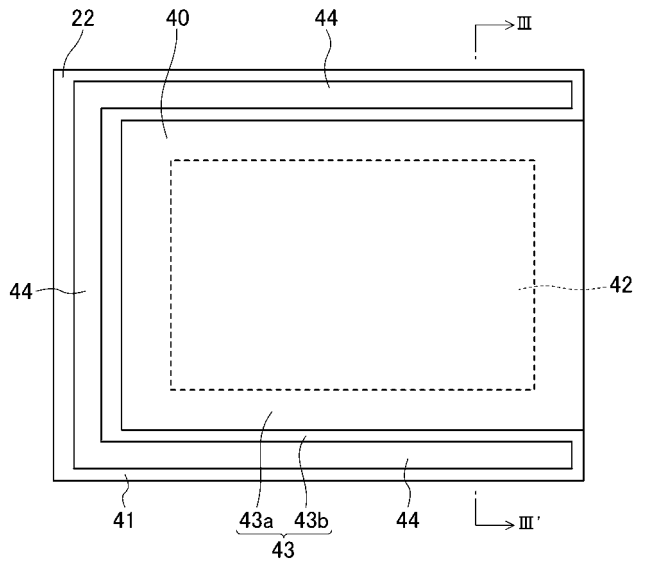
カメラ等にも有用である。

【符号の説明】

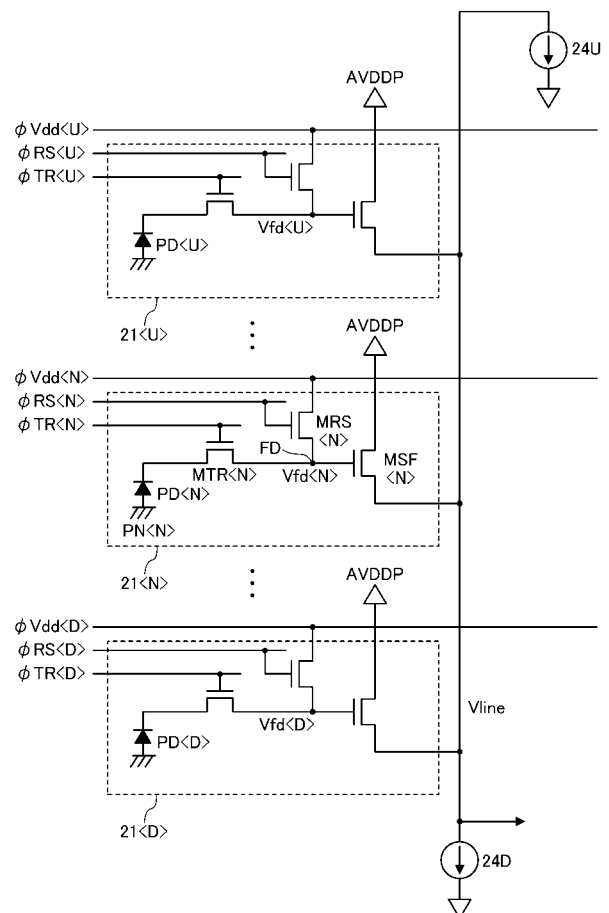
【0235】

20	画素アレイ部	
21	単位画素	
21<U>	クリップ用画素	
21<D>	クリップ用画素	
21<N>	読み出し画素	
21<K>	他の画素	
22	マルチプレクサ回路 (MPX)	10
23	垂直走査回路	
24U	定電流源	
24D	定電流源	
25	列アナログーデジタル変換回路 (ADC)	
26	デジタルーアナログ変換回路 (DAC)	
27	比較器	
28	カウンタ	
29	デジタルメモリ (DM)	
30	水平走査回路	
31	デジタル出力回路	20
32	タイミング発生回路 (TG)	
33	バイアス回路	
40	光照射画素部	
41	遮光画素部	
42	有効画素部	
43a	光照射ダミー画素部	
43b	遮光ダミー画素部	
44	オプティカルブラック (OB) 画素部	
51	マイクロレンズ	
52	カラーフィルタ	30
53	第2のメタル配線	
54	第1のメタル配線	
55	基板	
56	フォトダイオード	
57	遮光配線	
58	絶縁層	
81	リファレンス電圧生成回路	
82	オペアンプ (OPAMP)	
83	バッファ回路 (BUFF)	
90	固体撮像装置	40

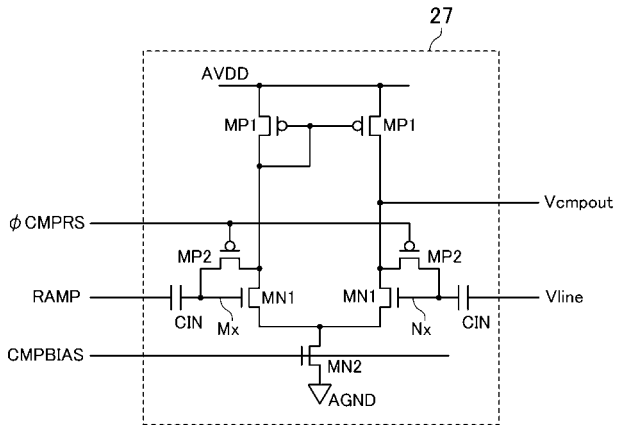
【図 2】



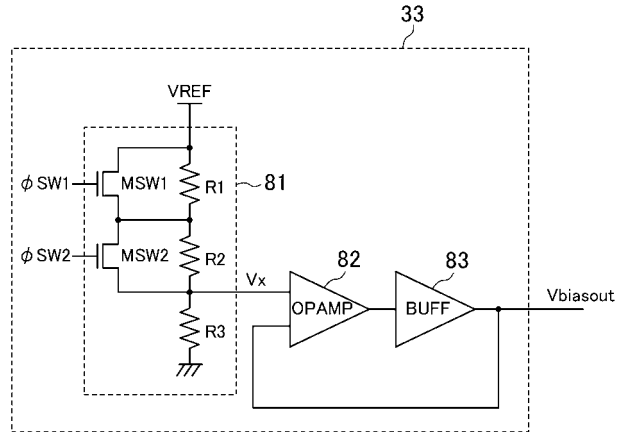
【図 4】



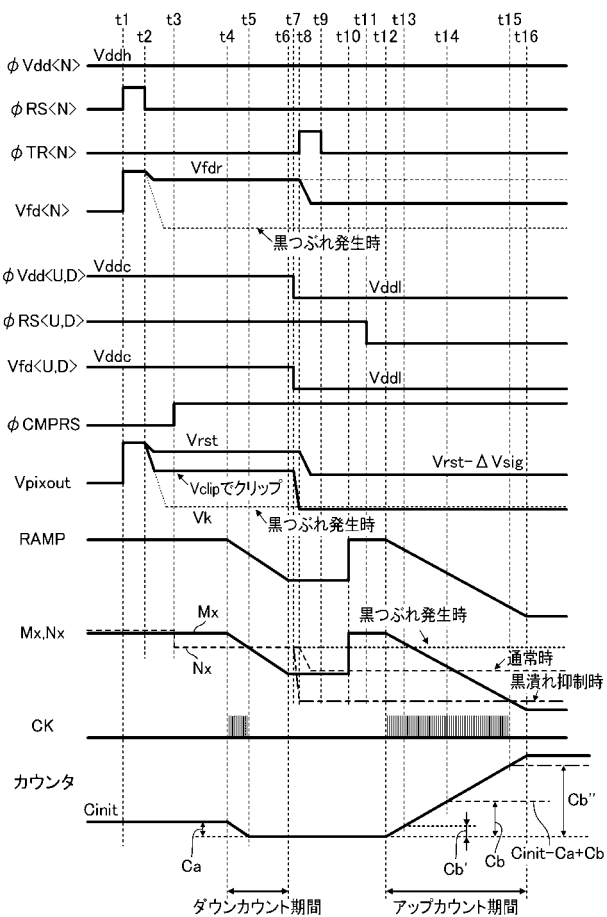
【図 5】



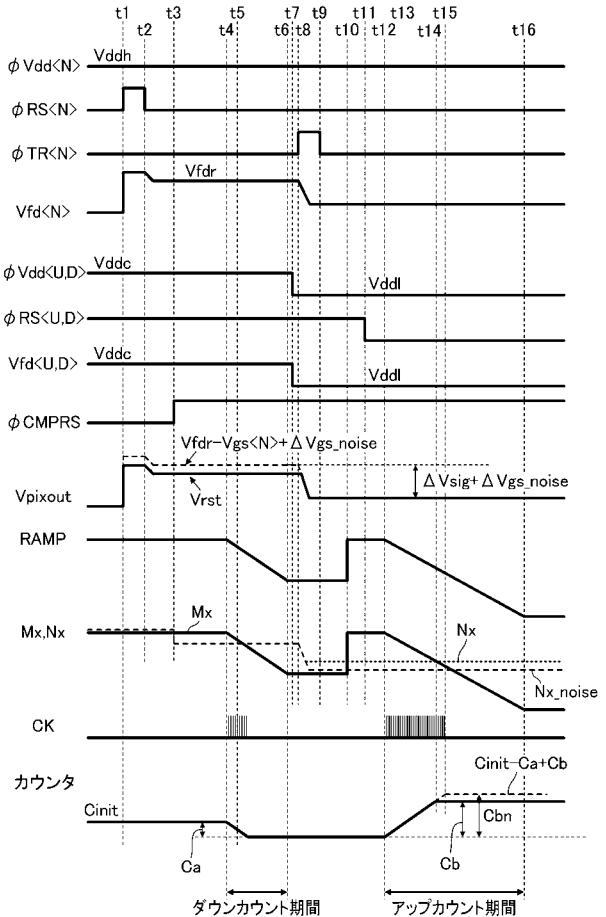
【図 6】



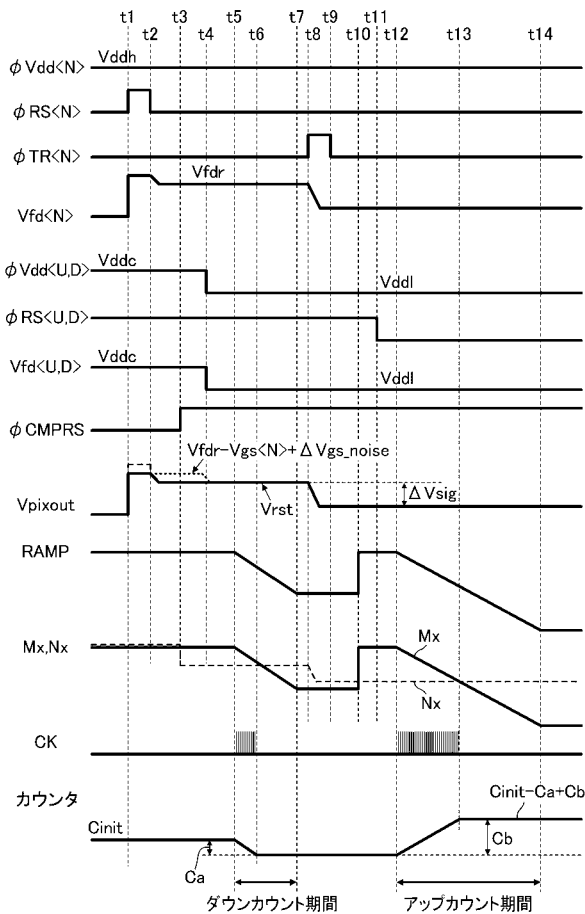
【 図 7 】



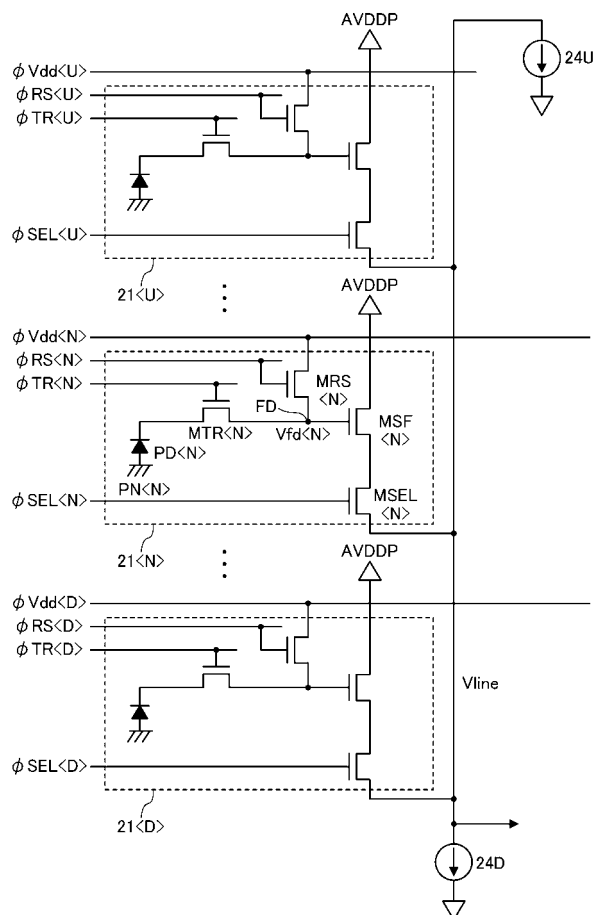
【図 8】



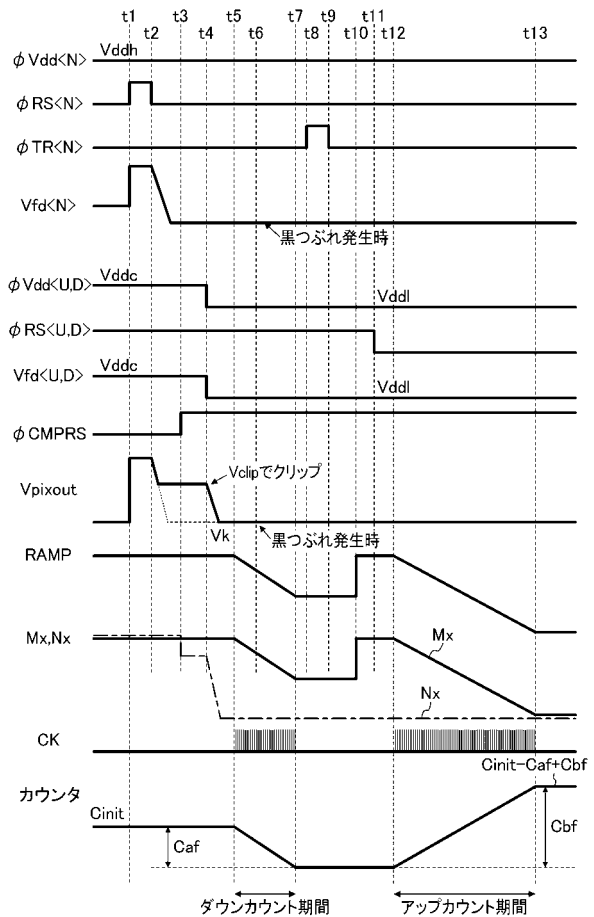
【図 9】



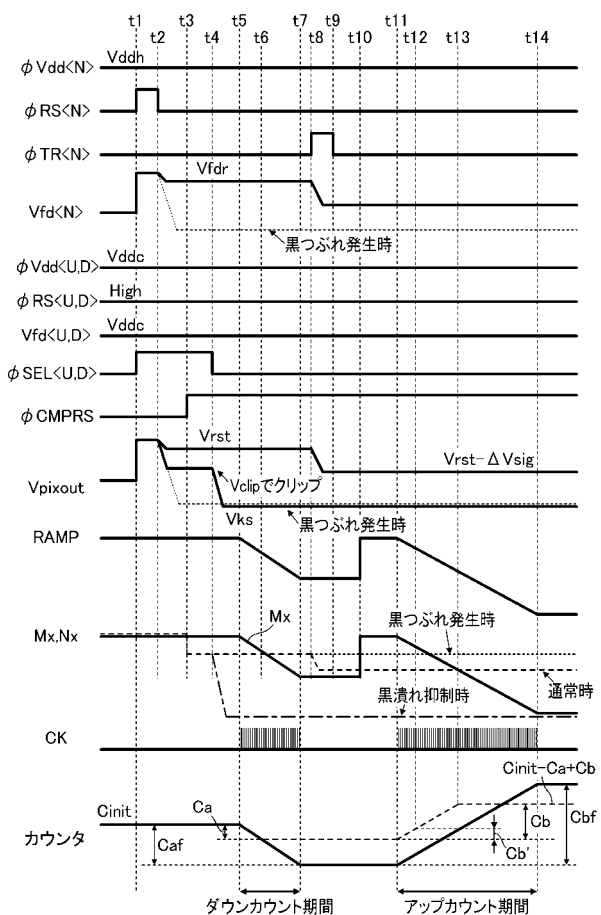
【図 1 1】



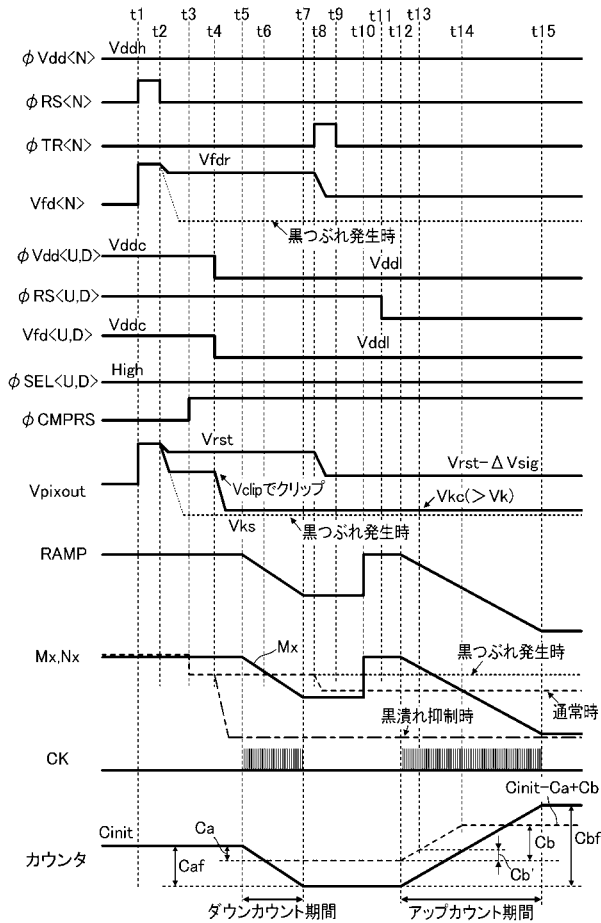
【図 1 0】



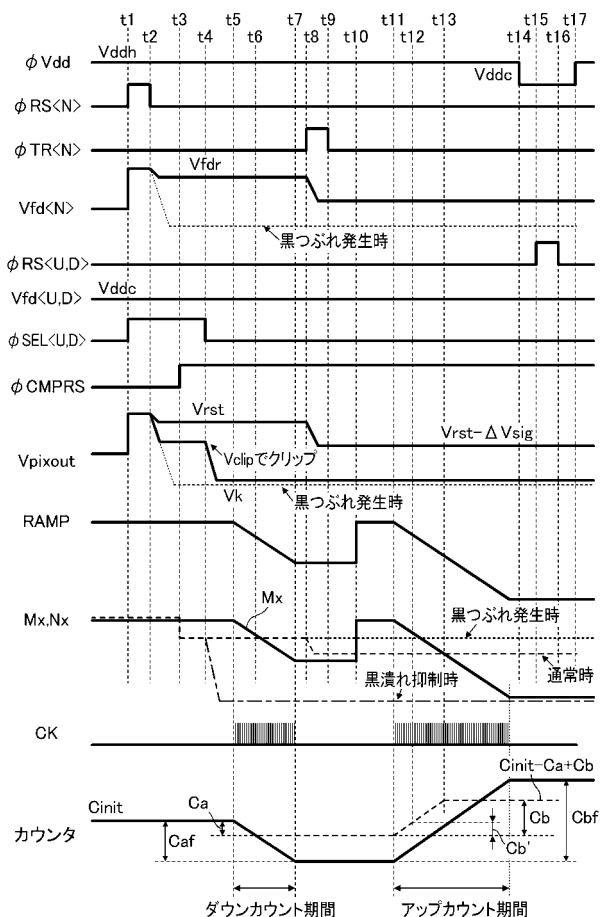
【図 1 2】



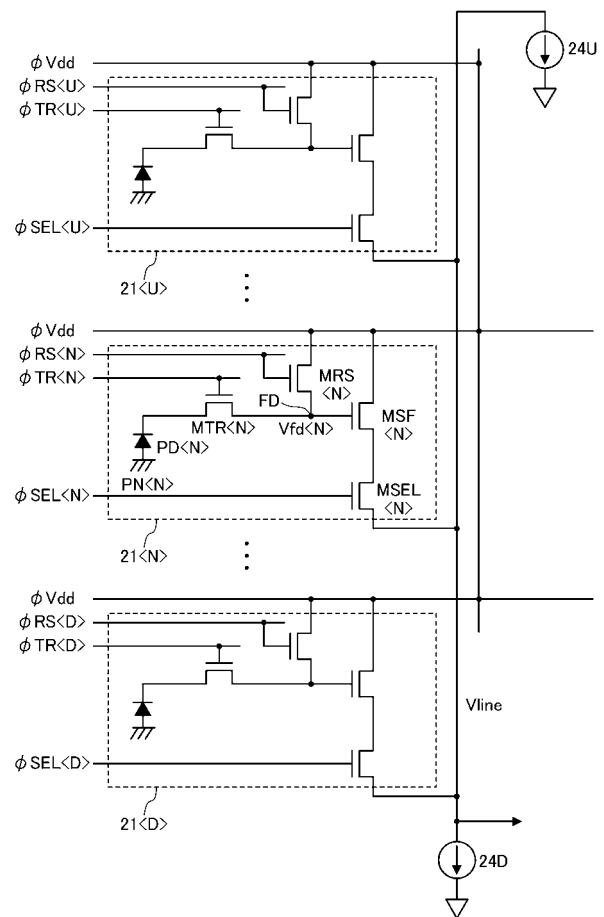
【図 1 3】



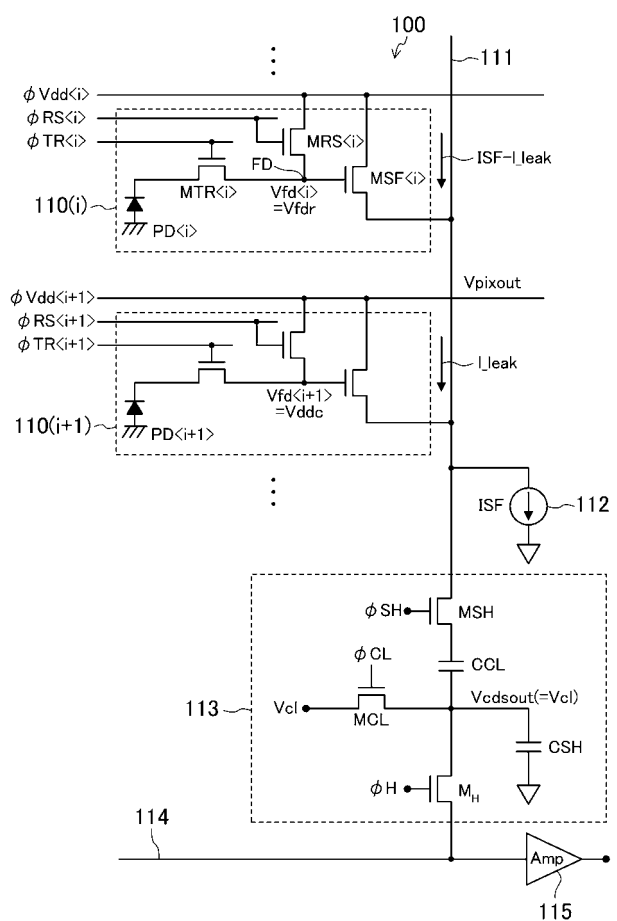
【図 1 5】



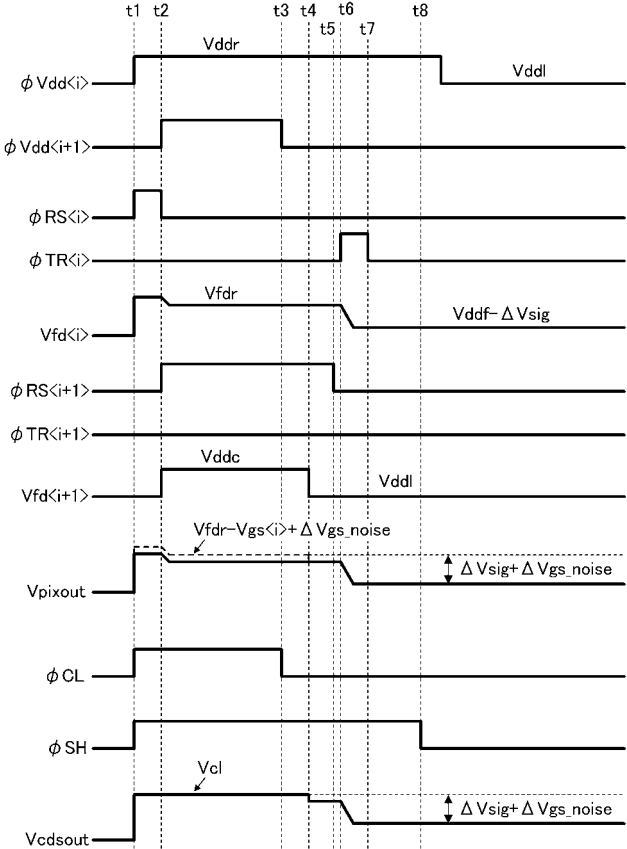
【図 1 4】



【図 1 6】



【図 18】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002596

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H01L27/146, H04N5/359

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-263443 A (Nikon Corp.), 18 November 2010 (18.11.2010), paragraphs [0064], [0071] (Family: none)	1-11 12-15
Y A	JP 2009-278454 A (Nikon Corp.), 26 November 2009 (26.11.2009), paragraphs [0038] to [0040], [0044] to [0045] (Family: none)	1-11 12-15
A	WO 2010/023903 A1 (Nikon Corp.), 04 March 2010 (04.03.2010), entire text; all drawings (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 May, 2012 (10.05.12)Date of mailing of the international search report
22 May, 2012 (22.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 0 2 5 9 6									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H04N5/374, H01L27/146, H04N5/359											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2012年										
日本国実用新案登録公報	1996-2012年										
日本国登録実用新案公報	1994-2012年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 2010-263443 A（株式会社ニコン）2010.11.18, 段落64, 71（ファミリーなし）	1-11 12-15									
Y A	JP 2009-278454 A（株式会社ニコン）2009.11.26, 段落38-40, 44-45（ファミリーなし）	1-11 12-15									
A	W0 2010/023903 A1（株式会社ニコン）2010.03.04, 全文、全図（ファミリーなし）	1-15									
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 10.05.2012		国際調査報告の発送日 22.05.2012									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 若林 治男 電話番号 03-3581-1101 内線 3581	5 P 4190								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。