

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 5 月 26 日 (2005.5.26)

【公開番号】特開 2004-241632(P2004-241632A)

【公開日】平成 16 年 8 月 26 日 (2004.8.26)

【年通号数】公開・登録公報 2004-033

【出願番号】特願 2003-29657(P2003-29657)

【国際特許分類第 7 版】

H 0 1 L 27/105

H 0 1 L 27/00

H 0 1 L 27/02

H 0 1 L 29/786

【F I】

H 0 1 L 27/10 4 4 4 Z

H 0 1 L 27/00 3 0 1 B

H 0 1 L 27/00 3 0 1 R

H 0 1 L 27/02

H 0 1 L 27/10 4 4 4 B

H 0 1 L 29/78 6 1 3 B

【手続補正書】

【提出日】平成 16 年 7 月 27 日 (2004.7.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

強誘電体キャパシタを含むメモリセルアレイと、前記メモリセルアレイの上方に形成された薄膜トランジスタを含む回路部と、を有するシート状デバイスを含む、強誘電体メモリ。

【請求項 2】

請求項 1 において、

前記シート状デバイスが、複数層積層されている、強誘電体メモリ。

【請求項 3】

請求項 1 または 2 において、

前記薄膜トランジスタの半導体層は、ポリシリコン層である、強誘電体メモリ。

【請求項 4】

請求項 1 ～ 3 のいずれかにおいて、

前記メモリセルアレイは、ライン状に形成された複数の第 1 電極と、該第 1 電極と交差する複数の第 2 電極と、前記第 1 電極と前記第 2 電極との少なくとも交差領域に強誘電体層が配置されて構成されている、強誘電体メモリ。

【請求項 5】

請求項 1 ～ 4 のいずれかにおいて、

さらに、前記シート状デバイスの周辺に、周辺回路部が設けられている、強誘電体メモリ。

【請求項 6】

請求項 1 ～ 5 のいずれかにおいて、

前記周辺回路部は、薄膜トランジスタを含んで構成される、強誘電体メモリ。

【請求項 7】

請求項 4 ~ 6 のいずれかにおいて、

前記強誘電体層は、構成元素中にシリコン及びゲルマニウムを同時に含み、その割合が 0 (ゲルマニウム / シリコン) 10 である、強誘電体メモリ。

【請求項 8】

(a) 強誘電体キャパシタを含むメモリセルアレイを形成し、

(b) 前記メモリセルアレイの上方に、薄膜トランジスタからなる回路部を形成することによりシート状デバイスを形成すること、を含む、強誘電体メモリの製造方法。

【請求項 9】

(a) 光を透過可能な第 1 の基体の上に該光を吸収して変性する分離層を形成し、

(b) 前記分離層の上に、強誘電体キャパシタを含むメモリセルアレイと、該メモリセルアレイの上方に配置される、薄膜トランジスタからなる回路部とを形成することによりシート状デバイスを形成し、

(c) 前記シート状デバイスが形成された第 1 の基体と、第 2 の基体とを少なくともも接着層を介して接合し、

(d) 前記第 1 の基体の一方の面から前記分離層に光を照射することにより前記シート状デバイスを前記第 1 の基体から剥離することを含む、強誘電体メモリの製造方法。

【請求項 10】

請求項 9 において、

前記第 1 の基体から剥離された前記シート状デバイスと、第 3 の基体の上に分離層を介して形成されたシート状デバイスとを接着層を介して接合し、

前記第 3 の基体の一方の面から光を照射することにより該第 3 の基体を剥離すること、を含む、

これらの工程を 1 回若しくは 2 回以上繰返し行うことにより、前記第 2 の基体上に前記シート状デバイスを複数積層することを含む、強誘電体メモリの製造方法。

【請求項 11】

請求項 8 ~ 10 のいずれかにおいて、

前記シート状デバイスの形成では、

前記メモリセルアレイの上方に絶縁層を形成し、該絶縁層の所定の領域に、アモルファスシリコン層を形成し、該アモルファスシリコン層をレーザー結晶化することにより前記薄膜トランジスタのためのポリシリコン層を形成すること、を含む、強誘電体メモリの製造方法。

【請求項 12】

請求項 8 ~ 11 のいずれかにおいて、

前記メモリセルアレイの形成では、

ライン状の第 1 電極と、該第 1 電極の上に配置される強誘電体層と、前記強誘電体層の上に前記第 1 電極と交差して配置されるライン状の第 2 電極と、を形成すること、を含む、強誘電体メモリの製造方法。

【請求項 13】

請求項 8 ~ 12 のいずれかにおいて、

前記シート状デバイスの周辺に、薄膜トランジスタを含む周辺回路部を形成すること、を含む、強誘電体メモリの製造方法。

【請求項 14】

請求項 12 または 13 において、

前記強誘電体層は、構成元素中にシリコン及びゲルマニウムを同時に含み、その割合が 0 (ゲルマニウム / シリコン) 10 である、強誘電体メモリの製造方法。