



[12] 发明专利说明书

专利号 ZL 03155019.3

[45] 授权公告日 2009 年 6 月 3 日

[11] 授权公告号 CN 100495708C

[22] 申请日 2003.7.31 [21] 申请号 03155019.3

[30] 优先权

[32] 2002.12.13 [33] KR [31] 79722/02

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 姜熙福

[56] 参考文献

JP2002-124988A 2002.4.26

US6065093A 2000.5.16

JP2002-189629A 2002.7.5

US6160813A 2000.12.12

US6332002B1 2001.12.18

CN1214515A 1999.4.21

审查员 赵 煜

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邸万奎 黄小临

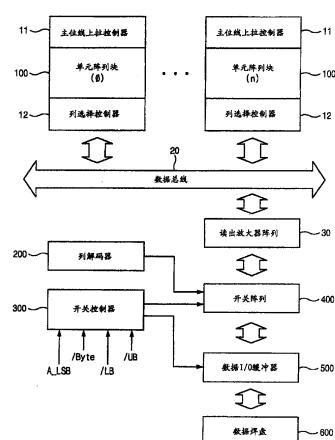
权利要求书 5 页 说明书 9 页 附图 20 页

[54] 发明名称

具有可调节输入/输出带宽的半导体存储器件

[57] 摘要

具有可调 I/O 带宽的半导体存储器件，包括：逐一连接到多个 I/O 端口的多个数据 I/O 缓冲器；开关阵列，有多个开关，连接多个数据 I/O 缓冲器到多个读出放大器；和开关控制单元，用于接收外部控制信号，以控制数据 I/O 缓冲器和多个开关。



1. 一种存储器件，包括：

多个数据 I/O 缓冲器，逐一连接到多个 I/O 端口；

开关阵列，包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；和

开关控制器，用于接收外部控制信号，以控制每个数据 I/O 缓冲器的生效，和多个开关的开/关操作，

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

2. 根据权利要求 1 的存储器件，其中，该存储器件是具有包括一个主位线和多个子位线的位线结构的铁电存储器件。

3. 一种存储器件，包括：

数据 I/O 缓冲器，连接到一个 I/O 端口，用于输入/输出多个数据位；

开关阵列，用于在数据 I/O 缓冲器与按预定的数据位数处理数据的读出放大器阵列之间传送数据；和

开关控制器，用于接收外部控制信号，以控制多个开关的开/关操作，

其中该开关阵列包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；并且

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

4. 根据权利要求 3 的存储器件，其中，该存储器件是具有包括一个主位线和多个子位线的位线结构的铁电存储器件。

5. 一种存储器件，包括：

多个数据 I/O 缓冲器，逐一连接到多个 I/O 端口，用于输入/输出多个数据位；

开关阵列，用于连接数据 I/O 缓冲器和按预定的数据位数处理数据的读出放大器阵列；和

开关控制器，用于接收外部控制信号，以控制多个数据 I/O 数据缓冲器的生效，和多个开关的开/关操作，

其中该开关阵列包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；并且

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

6. 根据权利要求 5 的存储器件，其中，该存储器件是具有包括一个主位线和多个子位线的位线结构的铁电存储器件。

7. 根据权利要求 5 的存储器件，其中，该开关控制器通过所述 I/O 端口之一接收所述外部控制信号之一。

8. 一种存储器件，包括：

开关阵列，包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；和

开关控制器，用于接收外部控制信号，以控制该数据 I/O 缓冲器的生效和该第一到第三开关的开/关操作，

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

9. 根据权利要求 8 的存储器件，其中，该数据 I/O 缓冲器的下字节区连

接到 I/O 端口，该数据 I/O 缓冲器的上字节区连接到 I/O 端口，并且通过连接到该数据 I/O 缓冲器的上字节区的引线腿而提供包括在该外部信号中的外部控制信号。

10. 根据权利要求 9 的存储器件，其中，当通过该引线腿输入的控制信号是“0”时，该开关控制器使第一开关生效，当通过该引线腿输入的控制信号是“1”时，该开关控制器使第二开关生效。

11. 根据权利要求 8 的存储器件，其中，当包括在外部控制信号中的字节信号生效时，如果通过连接到上字节区的引线腿输入的信号是“1”，该开关控制器使数据 I/O 缓冲器的上字节区失效而使第二开关生效；如果通过该引线腿输入的信号是“0”，那么开关控制器使第一开关生效，并且

当该字节信号失效时，如果包括在外部控制信号中的下字节信号生效，则该开关控制器导通第一开关，然后使数据 I/O 缓冲器的下字节区生效；和如果包括在外部控制信号中的上字节信号生效，则该开关控制器导通第三开关，然后使数据 I/O 缓冲器的上字节区生效。

12. 根据权利要求 8 的存储器件，其中，该存储器件是具有包括一个主位线和多个子位线的位线结构的铁电存储器件。

13. 一种存储器件，包括：

缓冲装置，用于响应于缓冲控制信号而接收和输出多个数据位，该缓冲装置耦合至用于给外部电路提供电连接的多个数据 I/O 引线腿装置；

读出装置，用于读出和放大多个数据位；

开关装置，用于响应开关控制信号而连接该缓冲装置到该读出装置；和

控制装置，用于接收外部控制信号，其中至少一个外部控制信号是通过一个或多个数据 I/O 引线腿接收的，并通过提供该缓冲控制信号控制该缓冲装置，和提供该开关控制信号控制该开关装置，

其中该开关阵列包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；并且

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开

关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

14. 一种按 2 字节来处理数据的电子存储器件的操作方法，使数据缓冲器包括上字节部分和下字节部分，以使该电子存储器件能够与按 1 字节处理数据的系统总线一起操作，包括：

接收在该数据缓冲器的上字节部分的输入端的地址位；和

使用在该数据缓冲器的上字节部分的输入端接收的地址位来控制系统总线的数据输出和输入。

15. 一种数据存储方法，用于在电子存储器件中存储由按 1 个字节处理数据的系统提供的数据，而电子存储器件按 2 个字节存储数据，该 2 个字节与以上字节部分和下字节部分形式的地址相关，包括步骤：

从系统接收一个数据字节和关于该数据字节的 1-字节地址，该 1-字节地址具有一个最低有效位，其中，接收该最低有效位作为到数据输入/输出的上字节部分的输入；和

响应该最低有效位，将接收的数据字节存储到与该地址相关的上字节部分或下字节部分。

16. 一种存储器件，它按包括下字节和上字节的 2 字节处理数据，它能与按 1 字节处理数据的系统一起操作，包括：

多个数据焊盘，配置为连接到该系统；

数据输入/输出缓冲器，耦合到多个数据焊盘，包括下字节部分和上字节部分；

存储电路，它根据耦合到数据输入/输出缓冲器的上字节部分的数据焊盘上接收的外部信号，存储数据输入/输出缓冲器的下字节部分的数据到数据存储部分的上字节部分或下字节部分，

其中开关阵列包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；并且

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

17. 一种系统，具有能传送数据存储地址的地址总线，该地址具有最低有效位，包括：

耦合到该地址总线的存储器件，该存储器件包括：

多个数据 I/O 缓冲器，具有逐一连接到多个 I/O 端口的上字节区和下字节区；

具有多个开关的开关阵列，用于连接多个数据 I/O 缓冲器到多个读出放大器阵列；和

开关控制器，用于接收外部控制信号，以控制每个数据 I/O 缓冲器的生效和多个开关的开/关操作；

其中，传送该最低有效位的地址总线部分耦合到连接到数据 I/O 缓冲器的上字节区的多个 I/O 端口之一，

其中该开关阵列包括：多个第一开关，用于连接数据 I/O 缓冲器的下字节区到读出放大器阵列的下字节区；多个第二开关，用于连接数据 I/O 缓冲器的下字节区到该读出放大器阵列的上字节区；和多个第三开关，用于连接数据 I/O 缓冲器的上字节区到该读出放大器阵列的上字节区；并且

其中，当使包括在该外部控制信号中的下信号生效时，该开关控制器导通第一开关，并使连接到 I/O 端口的数据 I/O 缓冲器的下字节区生效，并且当使包括在该外部控制信号中的上字节信号生效时，该开关控制器导通第三开关，并使连接到 I/O 端口的数据 I/O 缓冲器的上字节区生效。

具有可调节输入/输出带宽的半导体存储器件

技术领域

本发明一般涉及半导体存储器件，并特别涉及与具有不同类型的数据输入/输出（I/O）带宽的各种系统兼容的半导体存储器件。

背景技术

常规的存储器件具有固定的 I/O 带宽。使用存储器件的系统根据制造公司或它的用途可以具有不同的带宽。因此，常规存储器件需要附加的接口器件，以便在具有与常规存储器件不同的数据带宽的系统中使用。

发明内容

所以，本发明的一个目的是提供配置为控制 I/O 数据带宽的存储器件。

按本发明的一个实施例，提供一种存储器件，包括：逐一连接到多个 I/O 端口的多个数据 I/O 缓冲器；具有多个开关的开关阵列，用于连接多个数据 I/O 缓冲器到多个读出放大器阵列；和开关控制器，用于接收外部控制信号，以控制数据 I/O 缓冲器和多个开关。

附图说明

图 1 是示出了根据本发明一个优选实施例的存储器件的结构方框图；

图 2 是显示图 1 所示主位线上拉控制器、单元阵列块、和列选择控制器的结构示意图；

图 3 是显示图 2 所示主位线上拉控制器的结构示意图；

图 4 是显示图 2 所示主位线负载控制器的结构示意图；

图 5 是显示图 2 所示列选择控制器的结构示意图；

图 6 是显示图 2 所示子单元块的详细结构图；

图 7a 和 7b 是显示图 6 所示子单元块的读/写操作的定时图；

图 8a 到 8d 是显示图 1 所示数据 I/O 缓冲器和数据焊盘（pad）的结构示意图；

图 9a 和 9b 是显示图 1 所示开关阵列、数据 I/O 缓冲器和读出放大器阵列的结构示意图；

图 10 是显示图 9 所示开关阵列的结构示意图；

图 11 是显示图 1 所示读出放大器阵列和列解码器的结构示意图；

图 12a 和 12b 是显示图 1 所示开关控制器的详细结构图；

图 13a 到 13d 是显示图 1 所示开关阵列、读出放大器阵列和数据 I/O 缓冲器的操作的定时图。

具体实施方式

参考附图更详细地描述本发明。

图 1 是显示根据本发明一个优选实施例的能控制 I/O 带宽的存储器件的结构的方框图。本发明的存储器件包括：单元阵列块 100；主位线上拉控制器 11，用于将包含在单元阵列块 100 中的主位线上拉到正电压；列选择控制器 12，用于连接主位线到数据总线 20；连接到数据总线 20 的读出放大器阵列 30；开关阵列 400，用于控制读出放大器阵列 30；和数据 I/O 缓冲器 500，用于与读出放大器阵列 30 交换数据。此外，本发明的存储器件包括：列解码器 200，用于控制开关阵列 400；和开关控制器 300，用于控制开关阵列 400 和数据 I/O 缓冲器 500。该存储器件还包括连接到数据 I/O 缓冲器 500 的 I/O 端口或数据焊盘 600，用于输入和输出多个数据位（数据信号这里称作“数据位”）

图 2 是显示图 1 所示单元阵列块 100 的结构示意图。单元阵列块 100 包括一个或多个主位线负载控制器 13 和多个子单元块 110。

图 3 是图 2 所示主位线上拉控制器 11 的结构示意图。主位线上拉控制器 11 包括：PMOS 晶体管，具有用于接收控制信号 MBPUC 的栅极、连接到电源 VPP (VCC) 的源极、和连接到主位线 MBL 的漏极。

主位线上拉控制器 11 在预充电操作中上拉主位线 MBL 到电压 VPP (VCC)。

图 4 是显示图 2 所示主位线负载控制器 13 的结构示意图。主位线负载控制器 13 包括 PMOS 晶体管，具有用于接收控制信号 MBLC 的栅极、连接到电源 VPP (VCC) 的源极、和连接到主位线 MBL 的漏极。

主位线负载控制器 13 作为连接在电源 VPP (VCC) 与主位线 MBL 之间

的电阻器件，在数据读出操作中，根据流过主位线负载控制器 13 的电流量确定主位线的电位。

一个或多个主位线负载控制器 13 连接到一个主位线 MBL。当两个或多个主位线负载控制器 13 连接到一个主位线时，将相同数量的子单元块 110 分配给主位线负载控制器 13，各个主位线负载控制器 13 相互隔开均匀放置。

图 5 是图 2 所示列选择控制器 12 的结构示意图。列选择控制器 12 是连接主位线 MBL 到数据总线的开关。用控制信号 CSN 和 CSP 控制列选择控制器 12 的导通/断开 (On/off) 操作。

图 6 是图 2 所示子单元块 110 的详细结构图。

子单元块 110 包括：子位线 SBL 和 NMOS 晶体管 N1、N2、N3、N4 和 N5。子位线 SBL 共同连接到多个单元，每个单元连接到字线 WL<m>和板线 PL<m>。调节电流的 NMOS 晶体管 N1 具有连接到子位线 SBL 的第一端的栅极、和连接到主位线 MBL 的漏极。NMOS 晶体管 N2 具有连接到控制信号 MBSW 的栅极，连接到 NMOS 晶体管 N1 的源极的漏极，和接地的源极。NMOS 晶体管 N3 具有连接到控制信号 SBPD 的栅极，连接到子位线 SBL 的第二端的漏极，和接地的源极。NMOS 晶体管 N4 具有连接到控制信号 SBSW2 的栅极，连接到子位线 SBL 的第二端的源极，和连接到控制信号 SBPU 的漏极。NMOS 晶体管 N5 具有连接到控制信号 SBSW1 的栅极，连接到主位线 MBL 的漏极，和连接子位线 SBL 的第二端的源极。

当要访问单元时，只有连接单元的子位线连接到主位线。这里，子位线 SBL 通过 NMOS 晶体管 N5 连接到主位线 MBL。因此，甚至只用对应一个子位线的较小量的负载就能执行存储读/写操作，而不用对应全部位线的较大量的负载来执行存储读/写操作。

当使控制信号 SBPD 生效 (activated) 时，子位线 SBL 的电位是地电位。控制信号 SBPU 调节要供给子位线 SBL 的电压。控制信号 SBSW1 调节子位线 SBL 与主位线 MBL 之间的信号流动。控制信号 SBSW2 调节控制信号 SBPU 与子位线 SBL 之间的信号流动。

连接到 NMOS 晶体管 N1 的栅极的子位线 SBL 调节主位线的读出电压。主位线 MBL 通过主位线负载控制器 13 连接到电源 VPP (VCC) (见图 4)。当控制信号 MBSW 变“高”时，电流从电源 VPP (VCC) 通过主位线负载控制器 13、主位线 MBL 和 NMOS 晶体管 N1 和 N2 流到地。这里，用连接到

NMOS 晶体管 N1 的栅极的子位线 SBL 的电压来确定电流量。如果单元的数据是“1”，那么电流量变成较大，由此减小主位线 MBL 的电压。如果单元的数据是“0”，那么电流量变成较小，由此增大了主位线 MBL 的电压。这里，通过比较主位线 MBL 的电压和参考电压来检测该单元数据。在读出放大器阵列 30 中执行该单元数据的检测。

图 7a 是显示图 6 所示子单元块的写操作的定时图。

如果地址在 t1 转变，芯片根据地址转变检测信号 ATD 开始写操作。

在 t2 和 t3，通过使字线 WL 和板线 PL 生效来检测单元的数据。当单元的数据是“高”时，子位线的电压上升，流过 NMOS 晶体管 N1 的电流变得更大。结果，主位线 MBL 的电压变得低于参考电平。另一方面，如果单元的数据是“低”时，子位线 SBL 的电压下降，流过 NMOS 晶体管 N1 的电流变得更小。结果，主位线 MBL 的电压变得高于参考电平。

在 t4，设置控制信号 SBSW2 在“高”电平准备自举操作。在 t5，将“高”电平数据写入这个单元。如果控制信号 SBSW2 是“高”，则当控制信号 SBPU 变“高”时，控制信号 SBSW2、字线 WL 和子位线 SBL 被驱动到“高”电平。通过自举操作使这些信号的电压上升到高于电压 VPP。在 t5，由于字线 WL 和位线 SBL 是高，板线 PL 是低，所以数据“1”被自动写入该单元。

在 t6，写入“低”电平数据。如果控制信号 SBPD 和 SBSW2 失效 (inactivated)，控制信号 SBSW1 生效，那么由主位线 MBL 提供的数据“0”被供给子位线 SBL。这里，由于板线 PL 的电压是“高”，所以将数据“0”写入这个单元。如果位线提供的信号是“1”，则板线的电压是“高”，子位线 SBL 的电压也是“高”。结果，在 t5 写入的数据“1”保持不变。

为了通过稳定单元存储节点的初始状态来改善读出的余量，使字线 WL 比板线更早生效。然后，在 t2 使字线 WL 生效，并然后在 t3 使板线 PL 生效。在 t2，控制信号 SBPD 保持在“高”电平，单元数据初始化为“0”。初始化之后，控制信号 SBPD 失效进入“低”状态，板线生效进入“高”电平。在 t6 写入数据“0”后，在 t7 通过使字线 WL 失效而使字线 WL 早于板线 PL 失效，然后，在 t8 板线 PL 失效 (未示出)。

图 7b 是显示图 6 所示子单元块的读操作的定时图。

时间间隔 t2 到 t6 的操作如图 7a 所述。读操作与图 7a 的不同之处在于：不将读出放大器 (未示出) 中检测到的数据外部输出。

在 t5 和 t6，执行恢复操作。恢复操作中，暂时存储读出放大器（未示出）中检测到的数据，然后将其再写入该单元。由于存储在读出放大器中的数据通过位线供给该单元，所以，恢复操作类似于写操作。在 t5，以与写操作相同的方式将数据“1”自动写入。在 t6，如果将数据“1”供给该位线，那么保持在 t5 部分中写入的数据“1”，如果将数据“0”供给该位线，那么写入数据“0”。

图 8a 到 8d 是显示图 1 所示数据 I/O 缓冲器和数据焊盘的结构示意图。

参见图 8a，数据焊盘 610 和 620 包括 DQ_0 到 DQ_15。数据焊盘 610 和 620 连接到数据 I/O 缓冲器 500（见图 1）。数据 I/O 缓冲器 500 分成下字节区 510 和上字节区 520。DQ_0 到 DQ_7 连接到下字节区 510，DQ_8 到 DQ_15 连接到上字节区 520。在上字节中的 DQ_15 用作供给开关控制器 300 的 A_LSB 信号（见图 1）。该 A_LSB 信号相当于附加地址信号。例如，当系统总线以 1 个字节处理数据，且存储器件以 2 个字节处理数据时，考虑到该存储器件的效率，应将 2 字节数据存储在存储器地址中。但是，由于系统以 1 个字节处理数据，所以该存储器件应区别（differentiated）并然后处理 2 个字节。这里，通过使用控制信号 A_LSB，可按 1 字节来处理在存储器件输入/输出的数据。

图 8b 的结构与图 8a 的结构相同。但是，其差别是，由包括在上字节中的位 DQ_8 到 DQ_14 中的一个，除了最高有效位 DQ_15 外，来供给 A_LSB 信号。

图 8c 所示的优选实施例包括多个上字节区，与图 8a 和图 8b 所示的优选实施例不同。在每个上字节区中存在的 A₀_LSB, ..., A_n_LSB 之一的控制信号。这些信号从每个上字节区中的最高有效位输出。控制信号 A₀_LSB 到 A_n_LSB 用作附加地址信号，与图 8a 的控制信号 A_LSB 相似。

图 8d 和图 8c 有相同的结构。但是，其差别是，控制信号 A₀_LSB 到 A_n_LSB 由包括在每个上字节区中除最高有效位之外的一位提供。

图 9a 到 9b 是显示图 1 所示开关阵列 400、数据 I/O 缓冲器 500 和读出放大器阵列 30 的结构图。

数据 I/O 缓冲器 500 连接到 I/O 总线。I/O 总线分成下字节总线 LB_BUS 和上字节总线 UB_BUS。下字节总线 LB_BUS 包括 m 位，上字节总线 UB_BUS 包括 n 位。下字节总线 LB_BUS 连接到数据 I/O 缓冲器 500 的下字节区 510。

上字节总线 UB_BUS 连接到数据 I/O 缓冲器的上字节区 520。包括在读出放大器阵列 30 中的每个读出放大器分成下字节区 31 和上字节区 32。

该开关阵列 400 包括：第一开关 410、第二开关 420 和第三开关 430。第一开关 410 连接下字节总线 LB_BUS 到读出放大器阵列 30 的下字节区 31。第二开关 420 连接下字节总线 LB_BUS 到读出放大器阵列 30 的上字节区 32。第三开关 430 连接上字节总线 UB_BUS 到读出放大器阵列 30 的上字节区 32。第二开关 420 传送读出放大器多位中的 n 位到下字节总线 LB_BUS。

图 9b 另外显示图 9a 中的开关阵列 400 和数据 I/O 缓冲器 500 中的控制信号。通过控制信号 LB_EN 和 Byte_EN 的“或”运算，可控制数据 I/O 缓冲器 500 的下字节区 510。控制信号 LB_SW_EN 控制第一开关 410 的开/关操作。控制信号 Byte_SW_EN 控制第二开关 420 的开/关操作。控制信号 UB_SW_EN 控制第三开关 430 的开/关操作。

图 10 是图 9 所示开关阵列 400 的结构图。按照本发明的优选实施例，第一开关 410、第二开关 420 和第三开关 430 的结构相同。每个开关包括预定数量的并行配置的传输门。控制信号 LB_SW_EN 控制第一开关 410 中包括的传输门。控制信号 Byte_SW_EN 控制第二开关 420 中包括的传输门。控制信号 UB_SW_EN 控制第三开关 430 中包括的传输门。

图 11 是图 1 的读出放大器阵列 30 和列解码器 200 的结构图。如上所述，读出放大器阵列 30 中的每个读出放大器被包括在下字节区 31 或包括在上字节区 32 中。列解码器 200 的输出信号 Y<0>~Y<n>控制该读出放大器阵列。

图 12a 至 12b 是图 1 的开关控制器 300 的详细结构图。开关控制器 300 接收控制信号 A_LSB、/Byte、/LB、/UB 和列解码器的输出信号以提供控制信号 LB_SW_EN、UB_SW_EN、Byte_SW_EN、LB_EN 和 UB_EN。

参见图 12a，图 12a 的电路产生供给数据 I/O 缓冲器 500 的控制信号 LB_EN 和 UB_EN，以及在中间处理中使用的控制信号 Byte_EN、Byte_BUF、A_LSB_0 和 A_LSB_1。

该/Byte 信号判定下字节区的生效。通过缓冲该/Byte 信号而产生 Byte_BUF 信号，反转该 Byte_BUF 信号而产生 Byte_EN 信号。

该/LB 信号确定下字节的生效。执行缓冲的/LB 信号和 Byte_BUF 信号的“与”操作（“ANDing”），然后反转“与”操作获得的信号，由此产生 LB_EN 信号。当/Byte 信号“低”时，Byte_BUF 信号是“低”。结果，LB_EN 信号

变“高”，而与/LB 信号电平无关。但是，当/Byte 信号“高”时，Byte_BUF 信号是“高”。结果，由/LB 信号电平调节 LB_EN 信号的电平。

该/UB 信号调节上字节的生效。通过对 Byte_BUF 信号和缓冲及然后反转/UB 信号所产生的信号执行“与”操作，由此产生 UB_EN 信号。当/Byte 信号是“低”时，Byte_BUF 信号是“低”。结果，UB_EN 信号变“低”，而与/LB 信号的电平无关。但是，当/Byte 信号是“高”时，Byte_BUF 信号是“高”。结果，由/UB 信号的电平来调节 UB_EN 信号的电平。

A_LSB 信号将上字节数据转换成下字节数据。“与”操作 A_LSB 信号和 Byte_EN 信号产生 A_LSB_1 信号。“与”操作 A_LSB 信号和 Byte_EN 信号，然后反转“与”操作获得的信号，由此产生 A_LSB_0 信号。当/Byte 信号是“低”时，Byte_EN 信号是“高”，A_LSB_1 信号或 A_LSB_0 信号之一变成“高”，A_LSB_1 信号或 A_LSB_0 信号的另一个信号变成“低”。但是，当/Byte 信号是“高”时，Byte_EN 信号是“低”。结果，A_LSB_0 信号的电平变“高”，且 A_LSB_1 信号的电平变“低”，而与 A_LSB 信号的电平无关。

利用图 12a 的信号 A_LSB_0、A_LSB_1、UB_EN 和 Byte_EN 以及列解码器 200 的输出 Y<n>，图 12b 的电路输出控制信号 LB_SW_EN、UB_SW_EN 和 Byte_SW_EN。

通过“与”操作 A_LSB_0 信号和列解码器 200 的输出 Y<n>获得用于控制图 9b 的第一开关 410 的开/关操作的控制信号 LB_SW_EN。通过“与”操作信号 A_LSB_1、Byte_EN 和列解码器 200 的输出 Y<n>获得用于控制图 9b 的第二开关 420 的开/关操作的控制信号 Byte_SW_EN。通过“与”操作反转的 Byte_EN 信号、UB_EN 信号和列解码器 200 的输出 Y<n>，获得用于控制图 9b 的第三开关 430 的开/关操作的控制信号 UB_SW_EN。每个信号的功能如下。

图 13a 到 13d 是显示开关阵列 400、读出放大器阵列 30 和数据 I/O 缓冲器 500 的操作的定时图。

图 13a 显示激活第一开关 410 且将读出放大器阵列 30 的下字节区 31 中的数据供给数据 I/O 缓冲器 500 的下字节区 510 时的定时图。这种状态下，/Byte 信号失效到“高”电平，/LB 信号生效到“低”电平，/UB 信号失效到“高”电平。这里，Byte_EN 信号变“低”，Byte_BUF 信号变“高”，LB_EN 信号变“高”，UB_EN 信号变“低”，A_LSB_0 信号变“高”，A_LSB_1 信

号变“低”(见图 12a)。

由于 A_LSB_0 信号是“高”，所以 LB_SW_EN 信号变“高”。由于 UB_EN 信号是“低”，所以 UB_SW_EN 变“低”(见图 12b)。结果，数据 I/O 缓冲器 500 的上字节区 520 失效(见图 9b)。如果，LB_EN 信号变“高”，那么，对 LB_EN 信号和 Byte_EN 信号执行“或”操作(“ORing”)获得的信号变“高”。结果，使数据 I/O 缓冲器 500 的下字节区 510 生效(见图 9b)。这里，读出放大器阵列 30 的下字节区 31 中的数据输出到数据 I/O 缓冲器 500 的下字节区 510。

图 13b 显示激活第三开关 430 且将读出放大器阵列 30 的下字节区 32 中的数据供给数据 I/O 缓冲器 500 的下字节区 520 时的定时图。在这种状态下，使/Byte 信号失效到“高”电平，使/LB 信号失效到“高”电平，使/UB 信号生效到“低”电平。这里，Byte_EN 信号变“低”，Byte_BUF 信号变“高”，LB_EN 信号变“低”，UB_EN 信号变“高”，A_LSB_0 信号变“高”，A_LSB_1 信号变“低”(见图 12a)。

由于 A_LSB_0 信号是“高”，所以 LB_SW_EN 信号变“高”。由于 UB_EN 信号是“高”，所以 UB_SW_EN 变“高”(见图 12b)。结果，数据 I/O 缓冲器 500 的上字节区 520 生效(见图 9b)。如果 LB_EN 信号变“低”，那么，对 LB_EN 信号和 Byte_EN 信号执行“或”操作(“ORing”)获得的信号变“低”。结果，数据 I/O 缓冲器 500 的下字节区 510 失效(见图 9b)。这里，读出放大器阵列 30 的上字节区 32 中的数据输出到数据 I/O 缓冲器 500 的上字节区 520 中。

图 13c 显示当激活第一开关 410 和第三开关 430，且读出放大器阵列 30 的下字节区 31 中的数据供给数据 I/O 缓冲器 500 的下字节区 510，和读出放大器阵列 30 的上字节区 32 中的数据输出到数据 I/O 缓冲器 500 的上字节区 520 时的定时图，。由于详细的操作与上述操作相似，所以不再描述。

图 13d 显示顺序激活第一开关 410 和第二开关 420 时的定时图。在这种状态下，使/Byte 信号失效到“低”电平，/LB 信号和/UB 信号失效到“高”电平。这里，Byte_EN 信号变“高”，Byte_BUF 信号变“低”，LB_EN 信号变“高”，UB_EN 信号变“低”，A_LSB_0 信号变成反转 A_LSB 信号获得的信号，和 A_LSB_1 信号变与 A_LSB 信号相同的值(见图 12a)。

由于列解码器 200 的输出 Y<n>生效，所以 Byte_EN 信号是“高”，

UB_SW_EN 信号是“低”，LB_SW_EN 信号与 A_LSB_0 信号的电平相同，Byte_SW_EN 与 A_LSB_1 的电平相同。如果 A_LSB 信号是“高”，则 LB_SW_EN 变“低”，和 Byte_SW_EN 变“高”。如果 A_LSB 信号是“低”，则 LB_SW_EN 信号变“高”，和 Byte_SW_EN 信号变“低”（见图 12b）。结果，数据 I/O 缓冲器 500 的上字节区 520 失效，数据 I/O 缓冲器 500 的下字节区 510 生效（见图 9b）。

所述例中，存储器件数据按 2 字节处理，系统总线数据按 1 字节处理。这里，每 1 个数据字节指定系统总线的 1 个地址，每 2 个数据字节指定存储器件的 1 个地址。系统中用的地址位数应比存储器件中用的地址位数多一。上字节区中的数据位 A_LSB 用作地址位，以补偿不足的地址位（见图 8a 到 8d）。

数据存储到存储器的存储过程如下。每 1 个数据字节指定系统总线的 1 个地址，系统总线提供给数据 I/O 缓冲器 500 的下字节区 510。这里，如果 A_LSB_0 信号变“高”，A_LSB_1 信号变“高”，LB_SW_EN 信号变“低”，和 Byte_SW_EN 信号变“高”。结果，数据 I/O 缓冲器 500 的下字节区 510 变成通过第一开关 410 连接到读出放大器阵列 30 的下字节区 31（见图 9b、12a 和 12b）。如果 A_LSB 信号变“低”，A_LSB_0 信号变“高”，LB_SW_EN 信号变“高”，和 Byte_SW_EN 信号变“低”。结果，数据 I/O 缓冲器 500 的下字节区 510 变成通过第二开关 420 连接到读出放大器阵列 30 的上字节区 32。

如上所述执行从读出放大器阵列 30 读取数据到数据 I/O 缓冲器 500 的处理。

因此，本发明的半导体存储器件通过有效改变存储器件的数据 I/O 带宽而不需要外部接口器件。

虽然已结合附图所示的例子详细描述了具体实施例，但是本发明允许有各种改进和变形。然而，应该了解本发明不限于这里公开的具体形式。准确地说，本发明包括落入所附的权利要求书界定的发明精神和范围内的所有变更和等同替换。

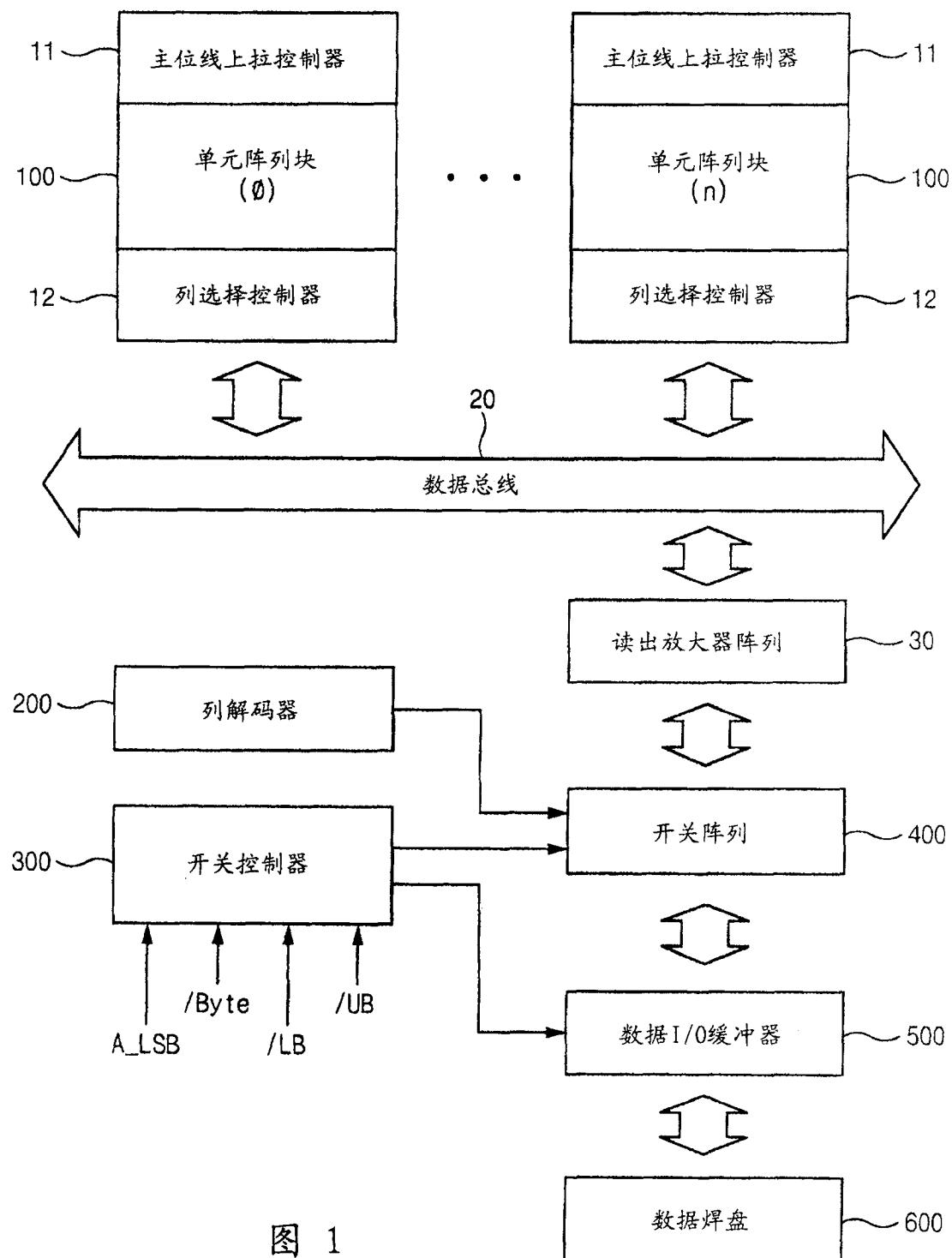


图 1

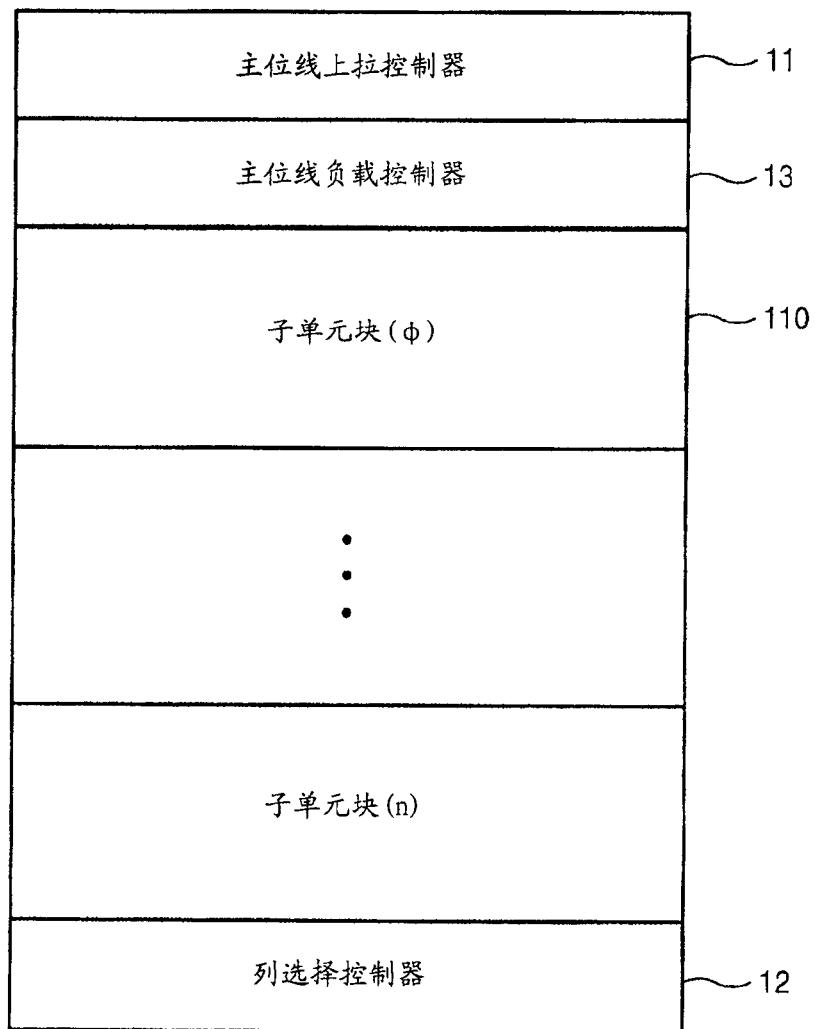


图 2

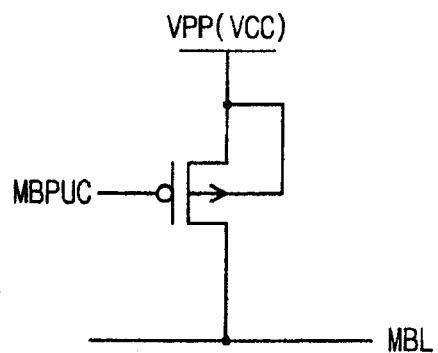


图 3

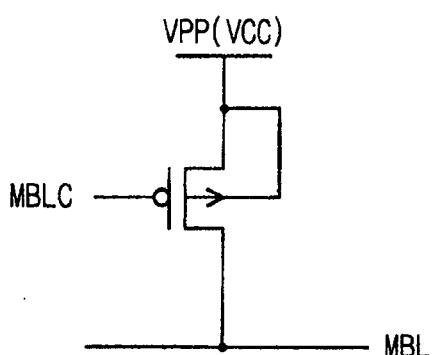


图 4

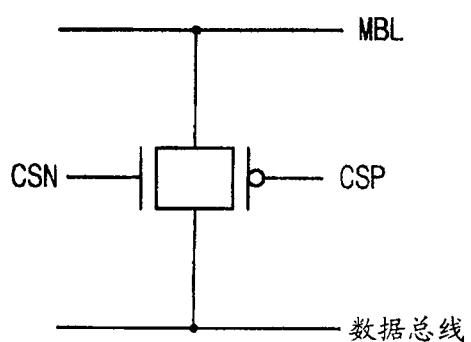


图 5

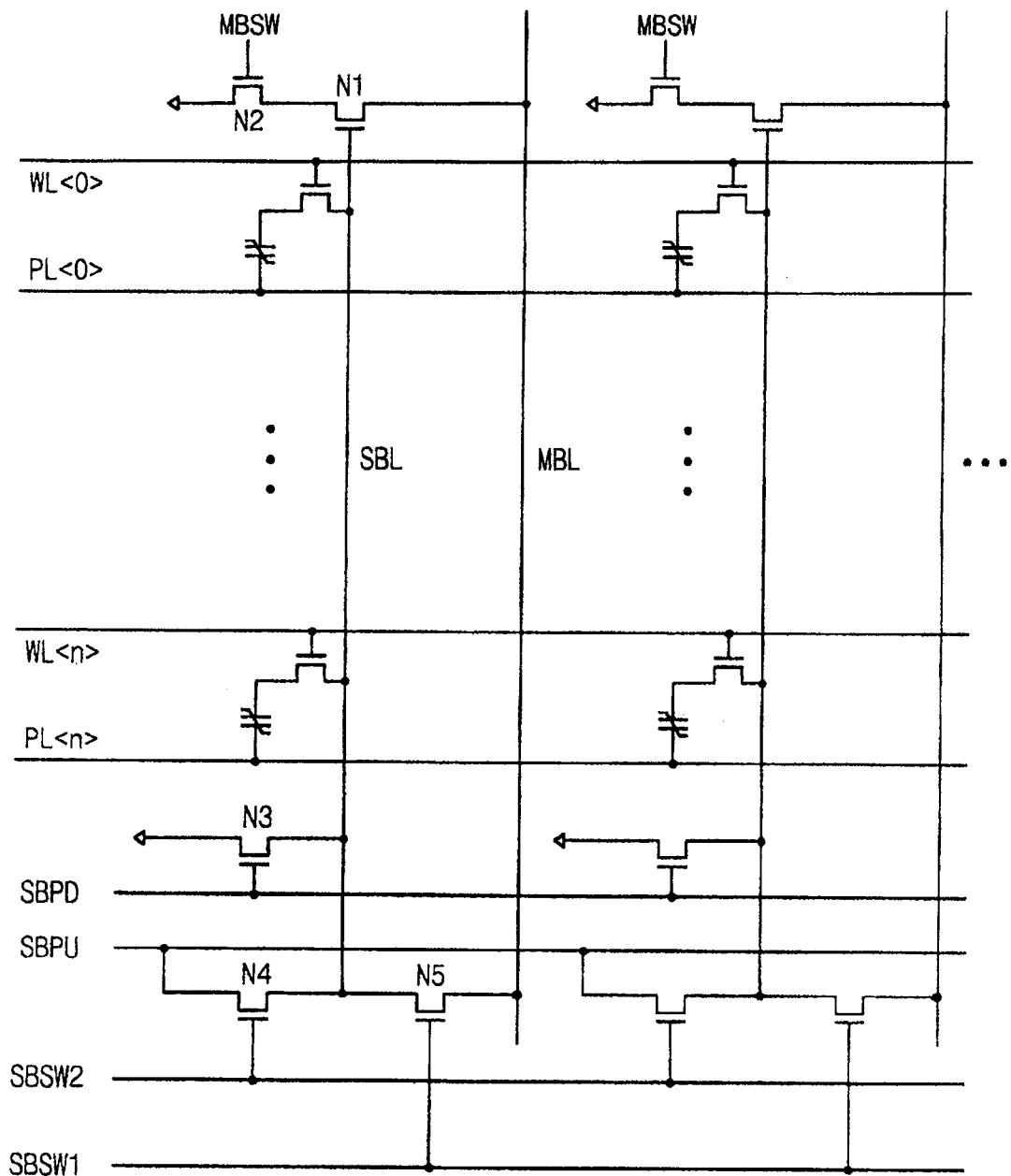


图 6

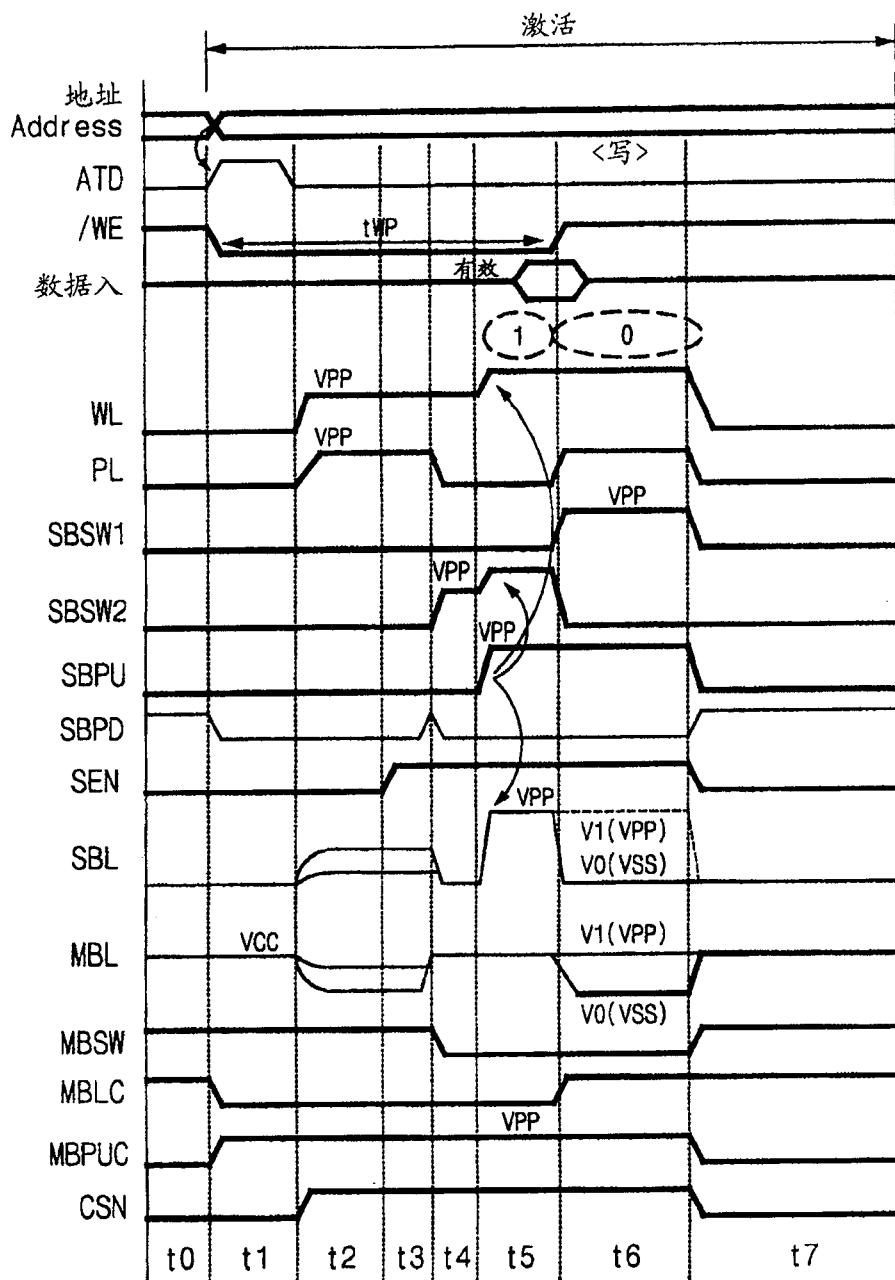


图 7a

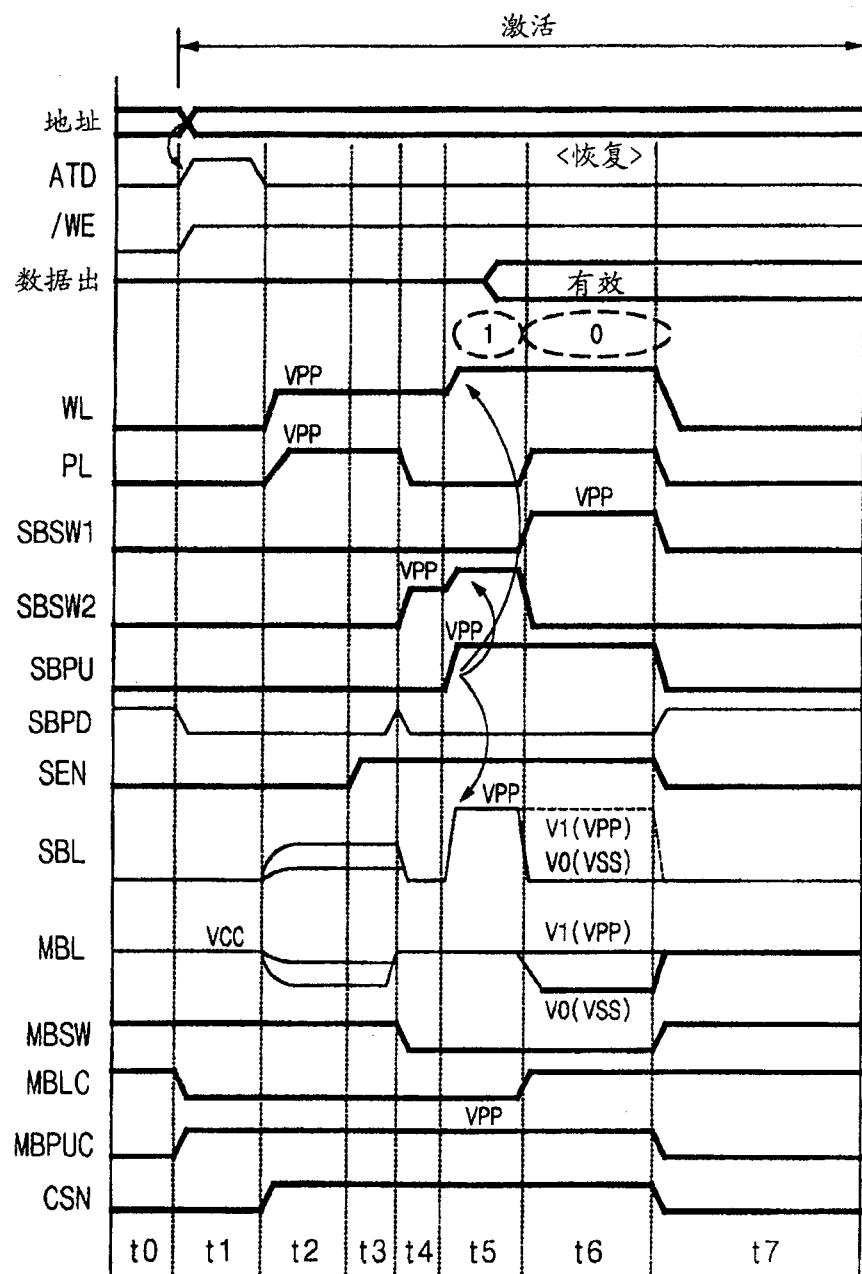


图 7b

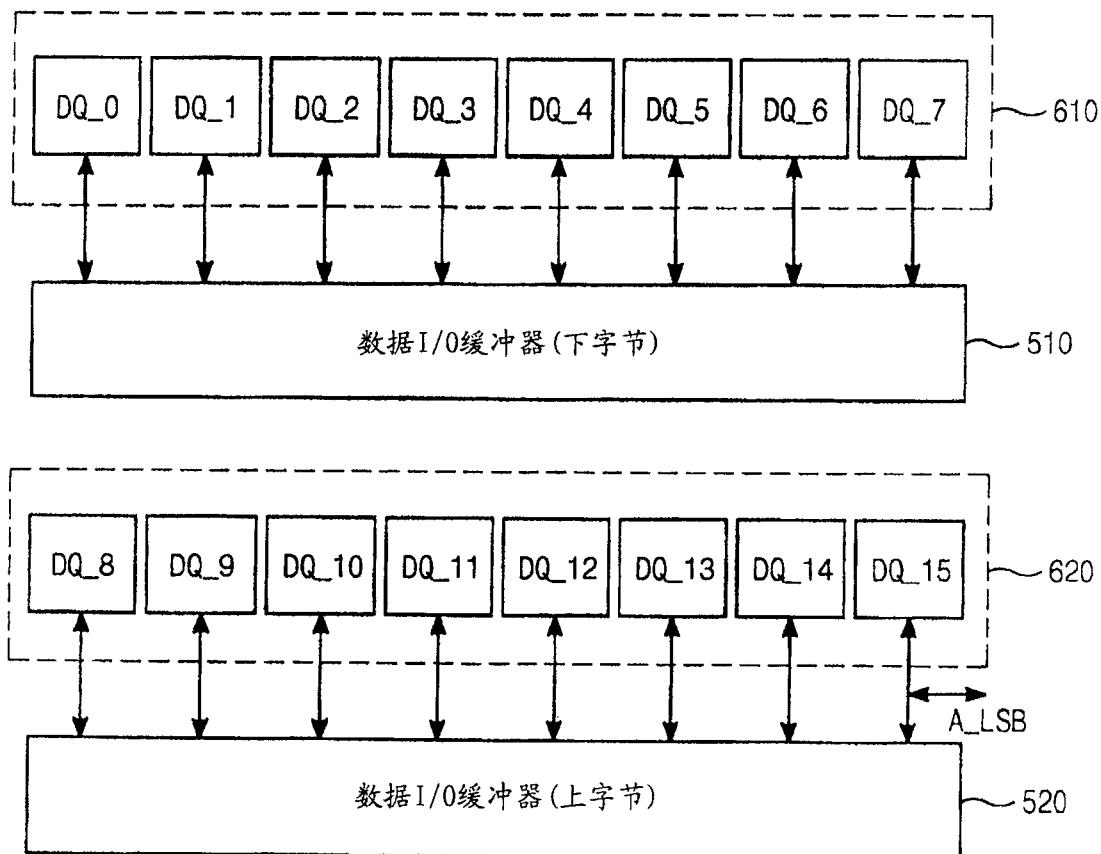


图 8a

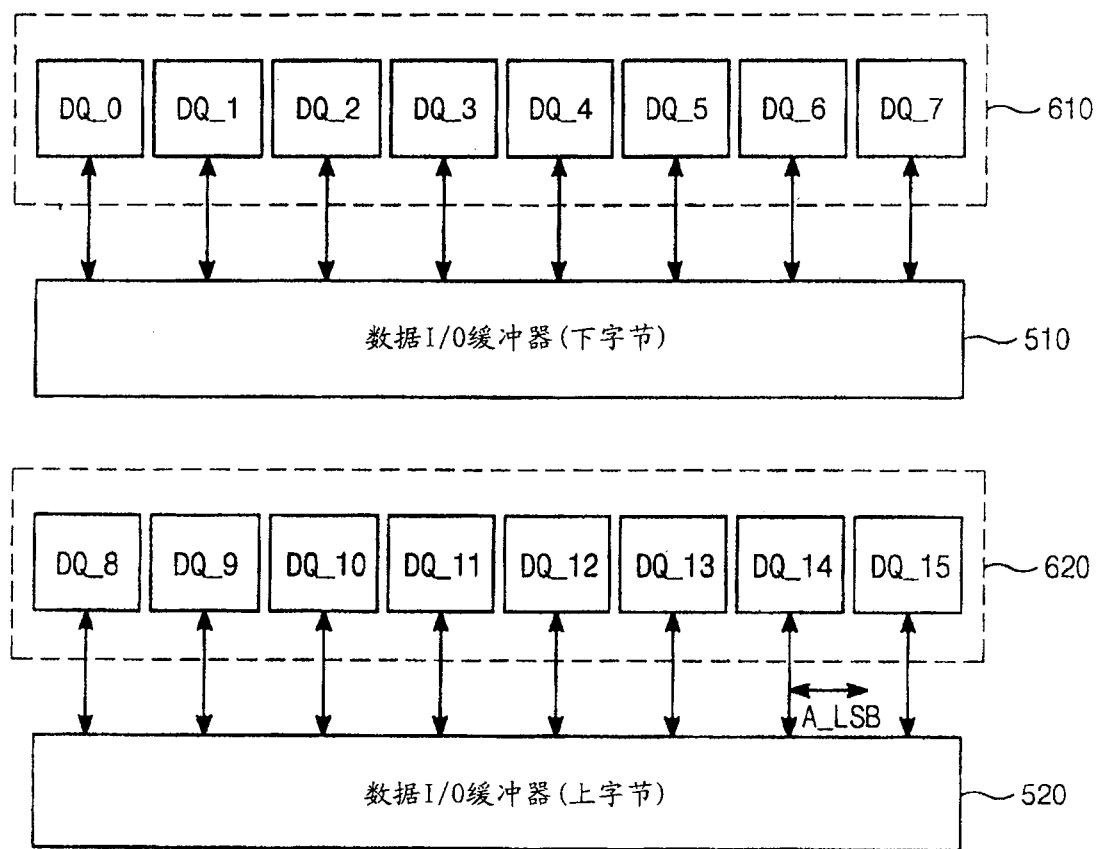


图 8b

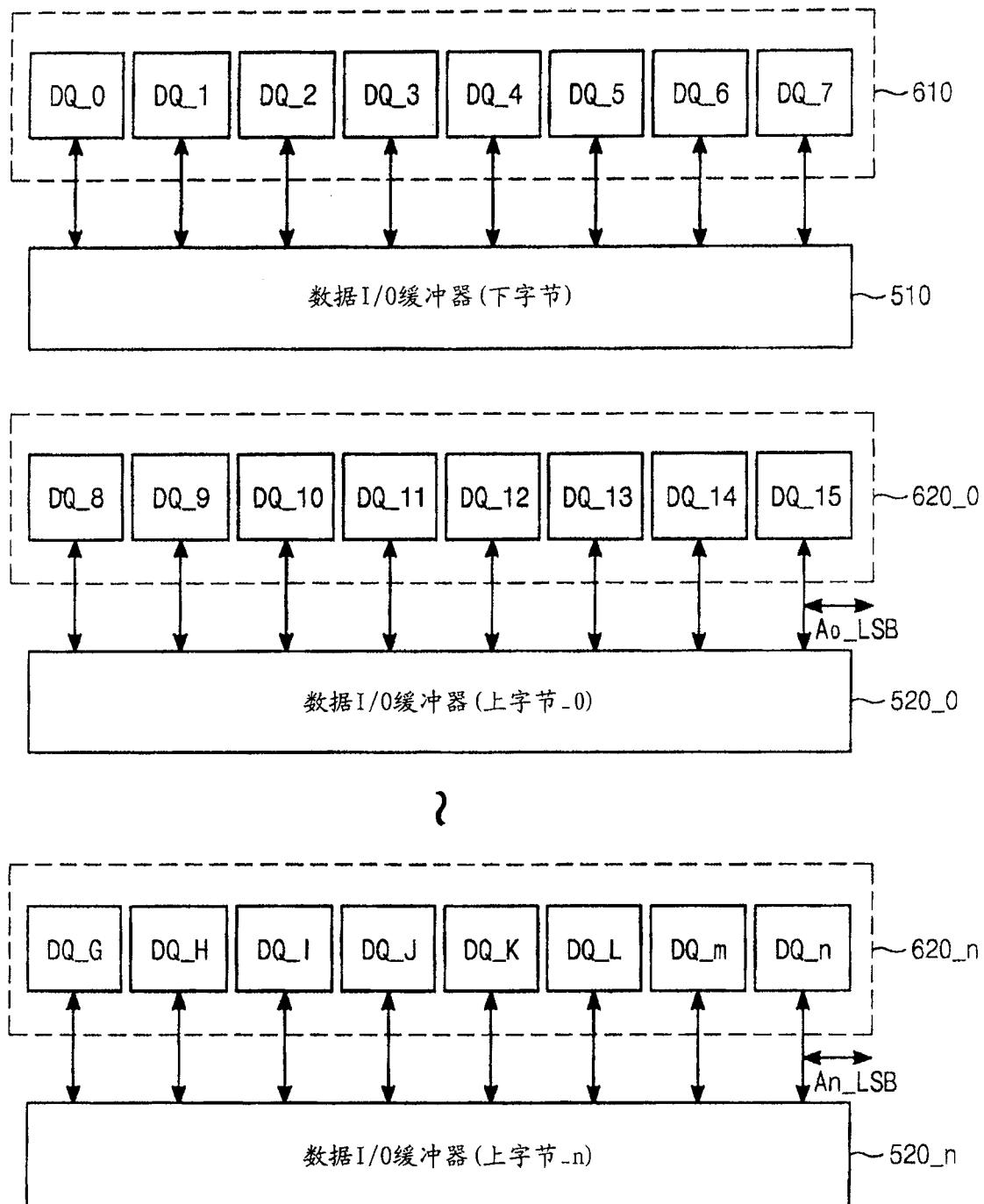


图 8c

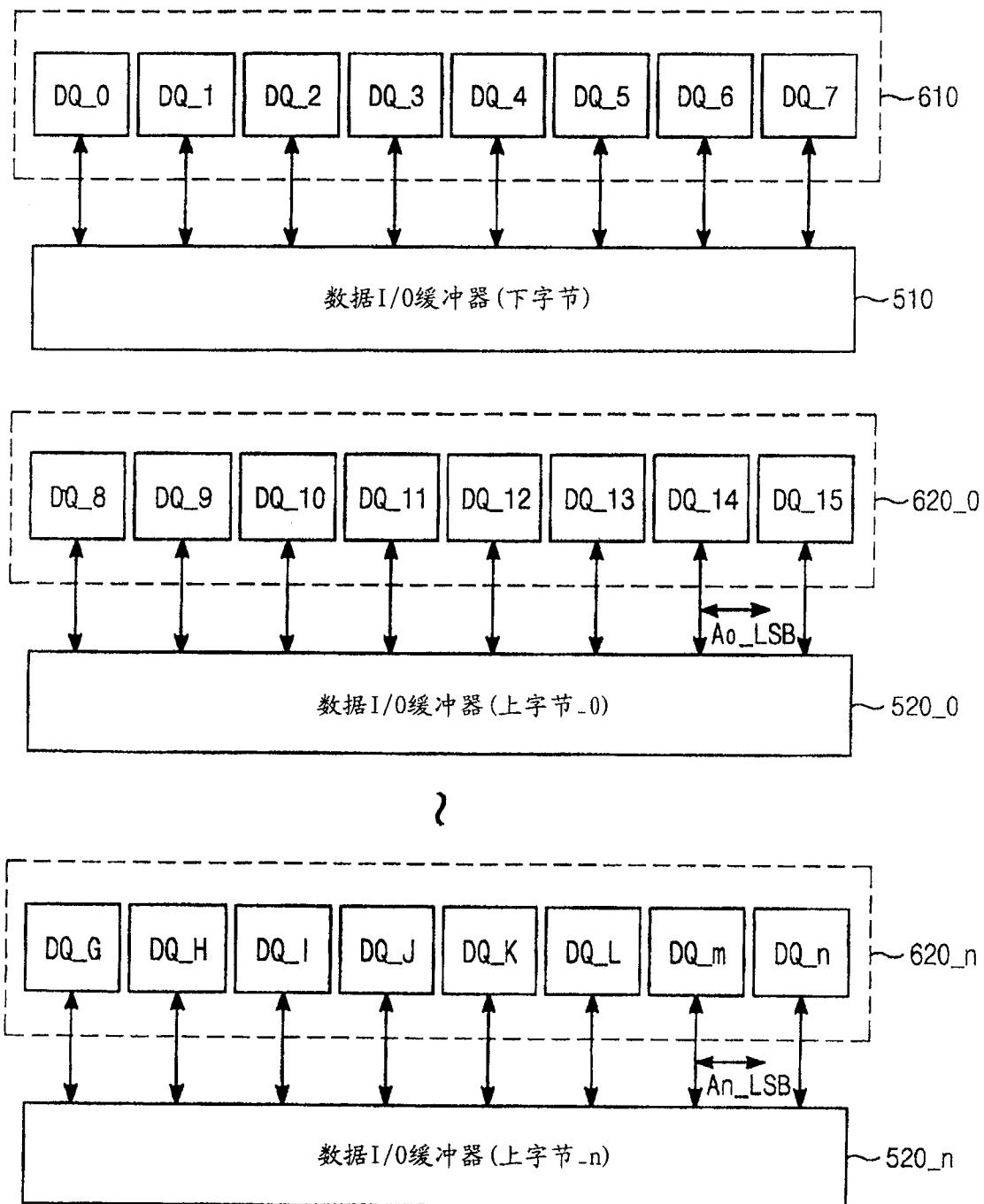


图 8d

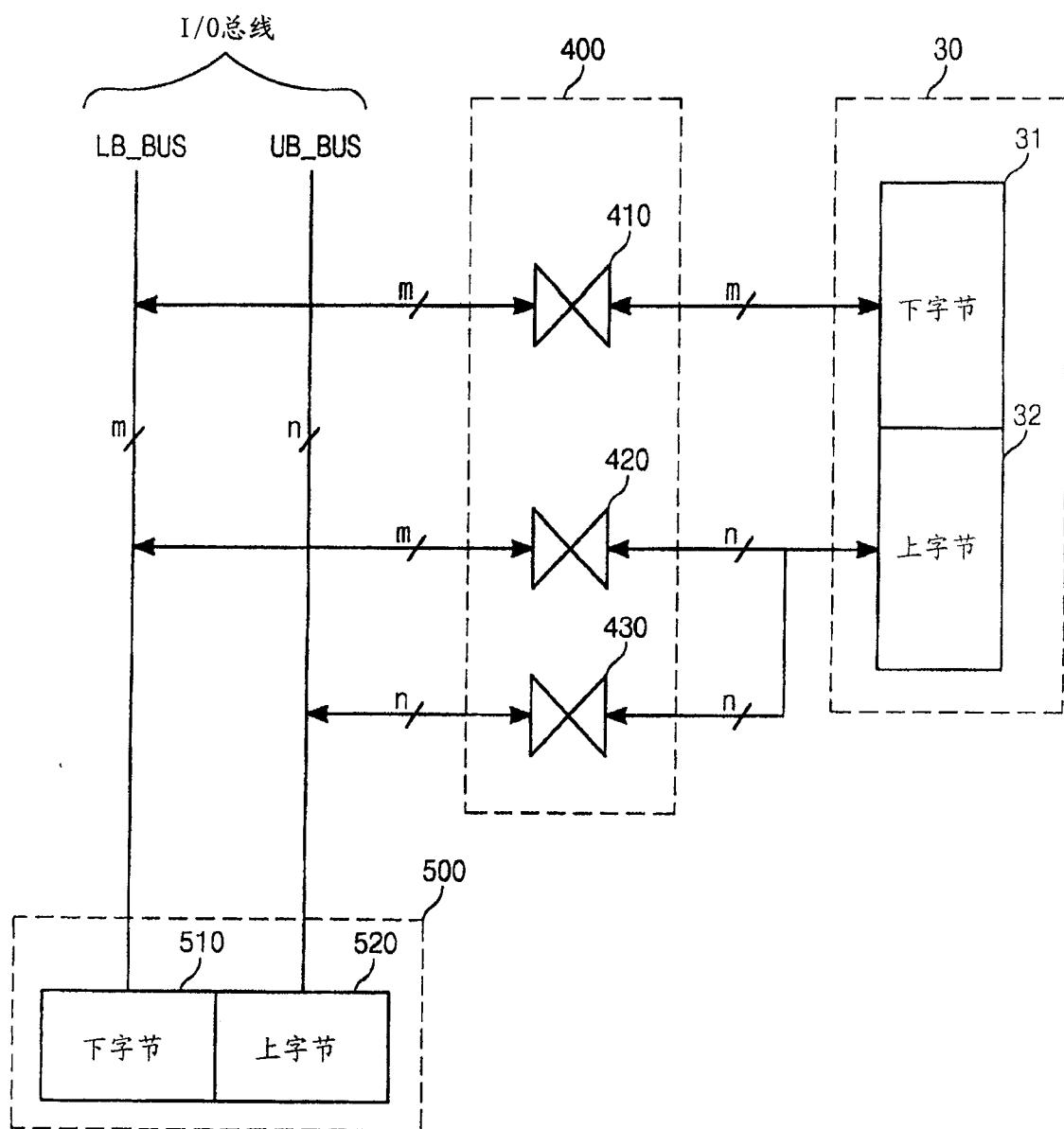


图 9a

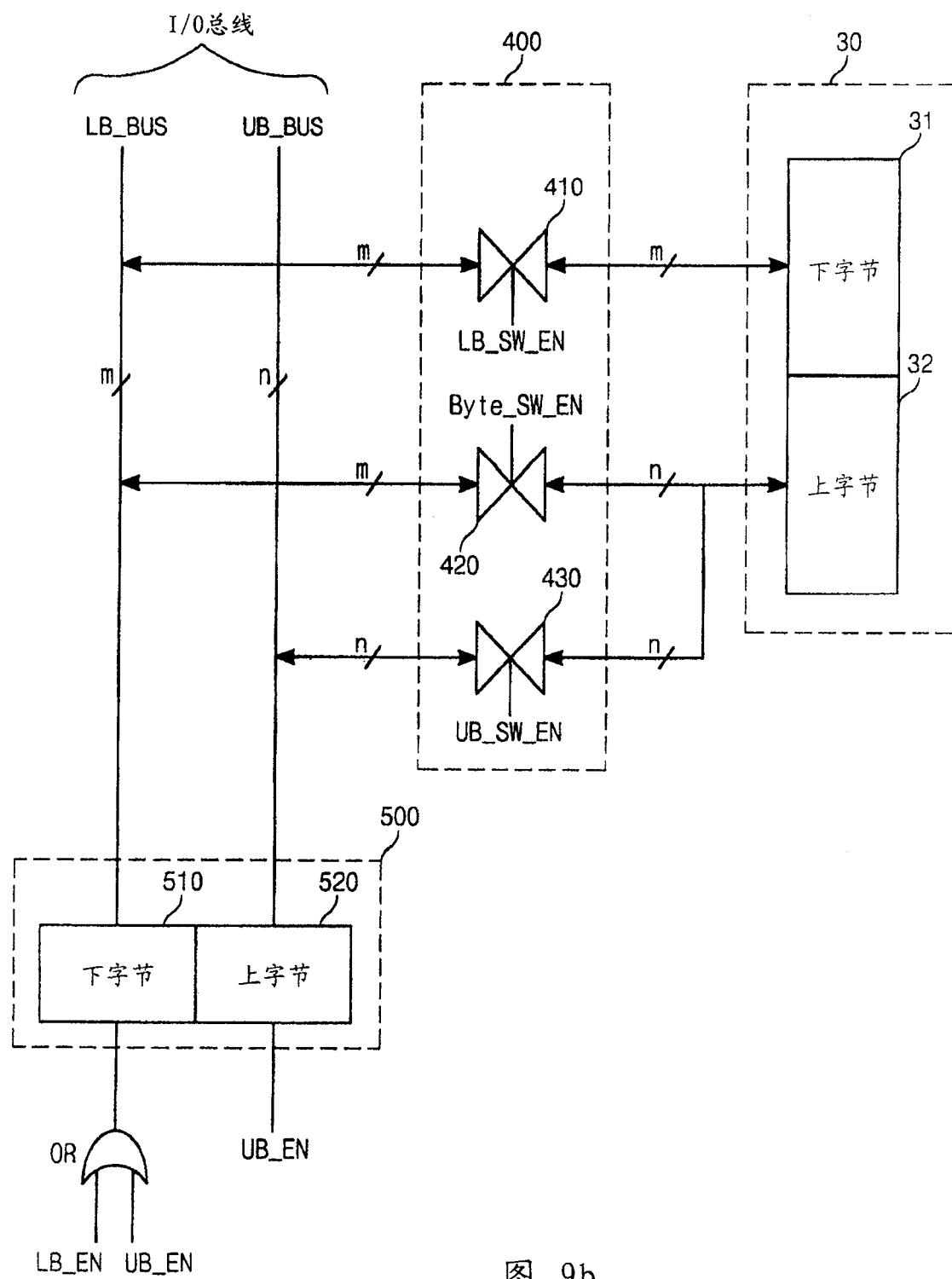


图 9b

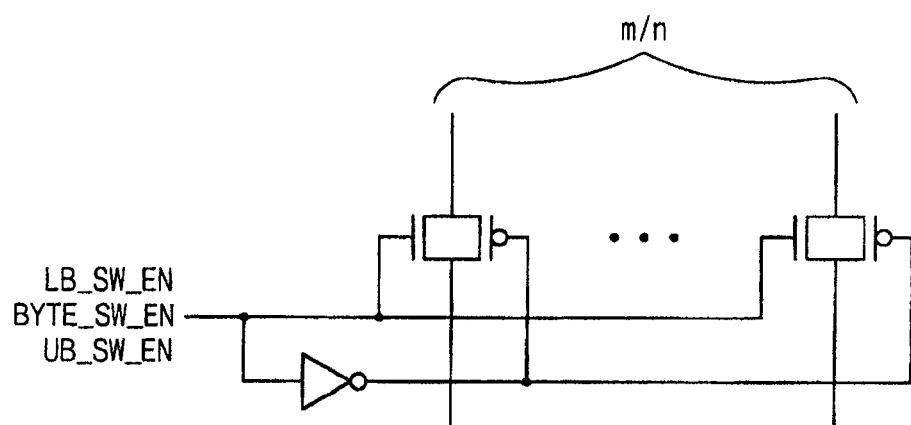


图 10

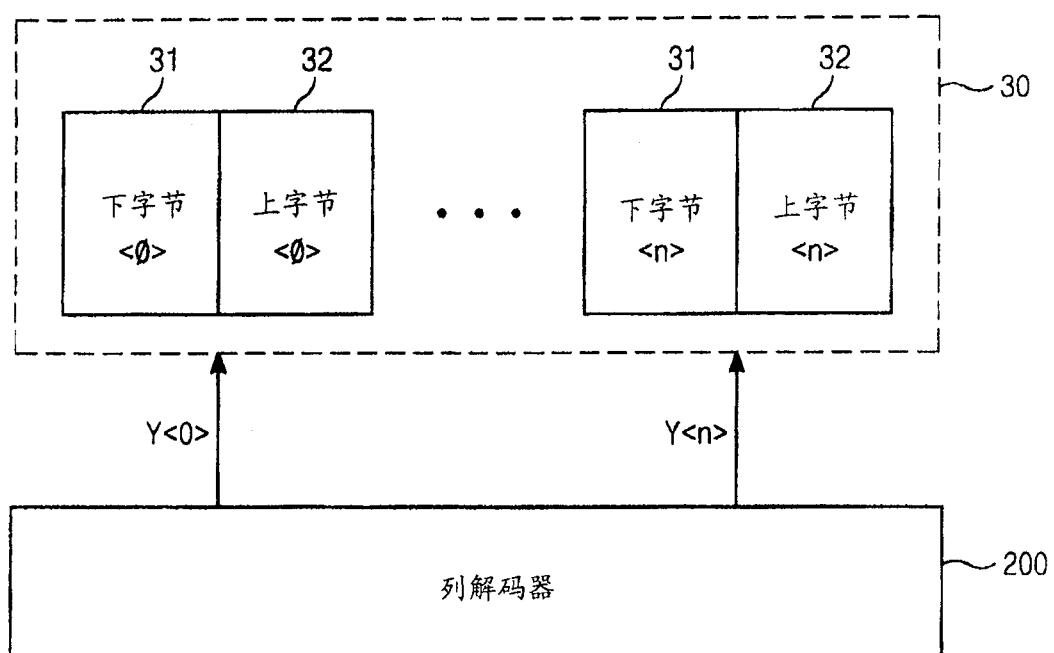


图 11

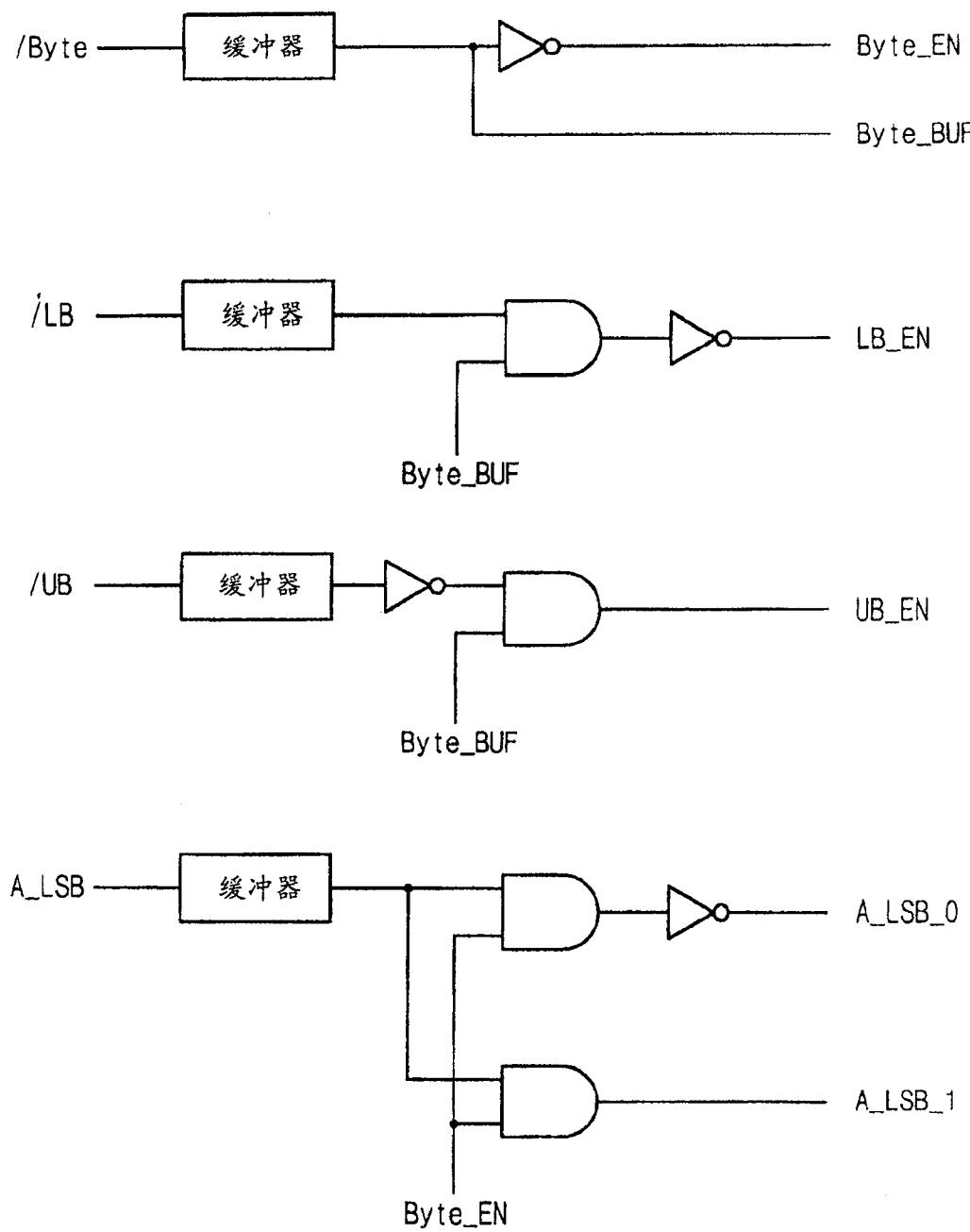


图 12a

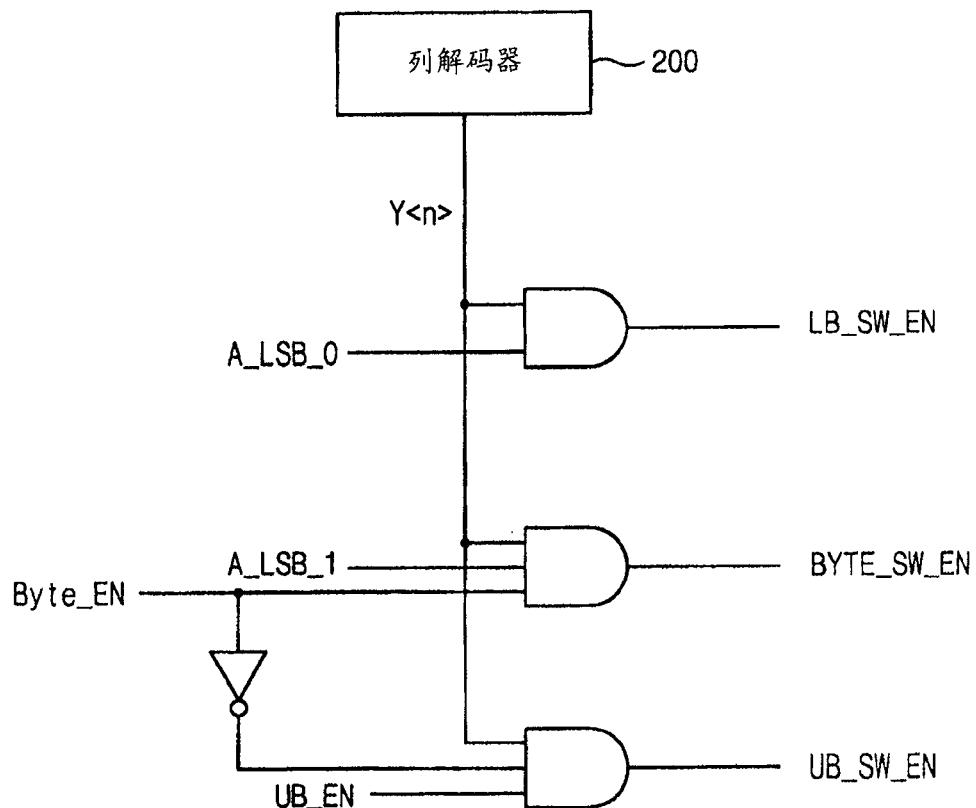


图 12b

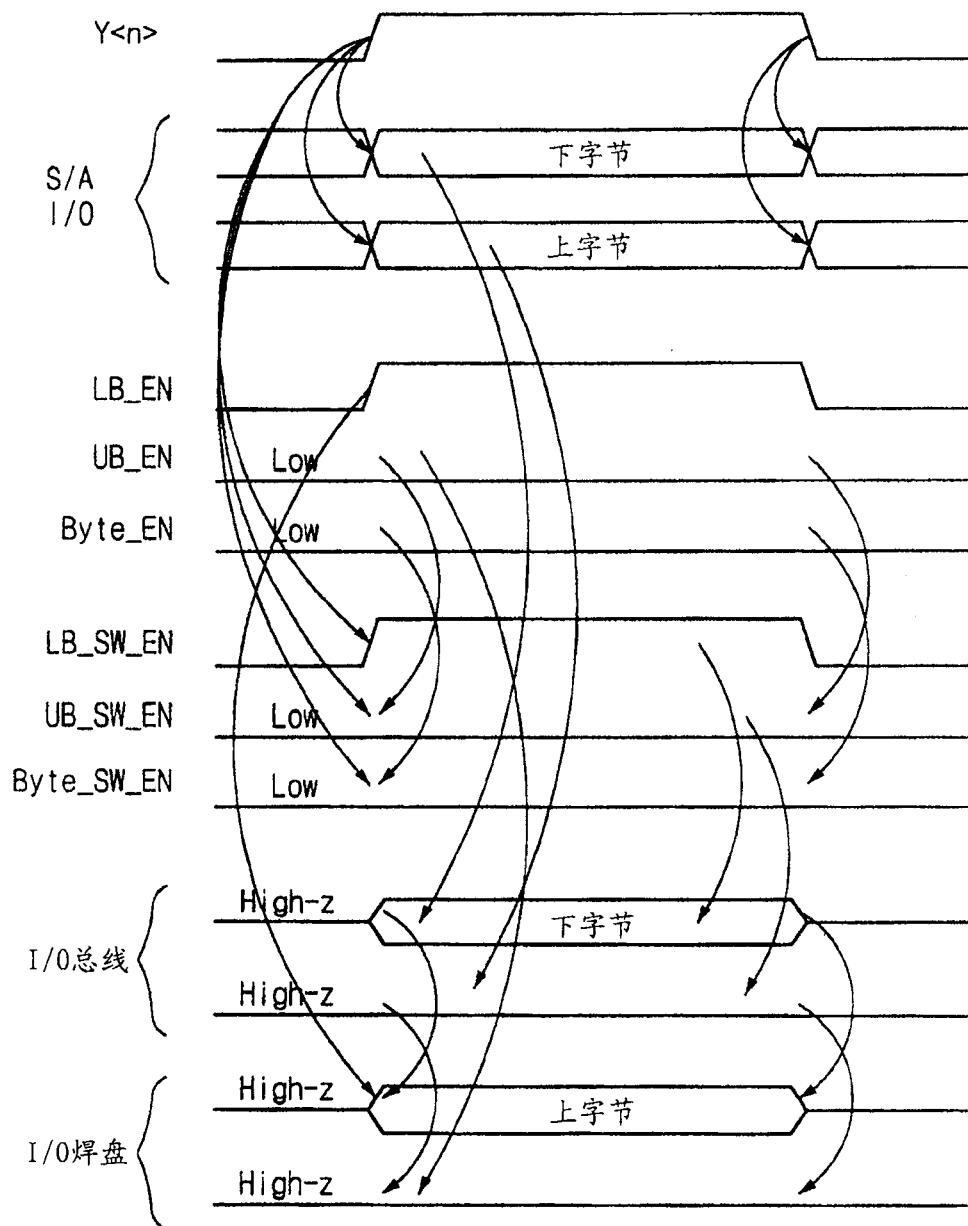


图 13a

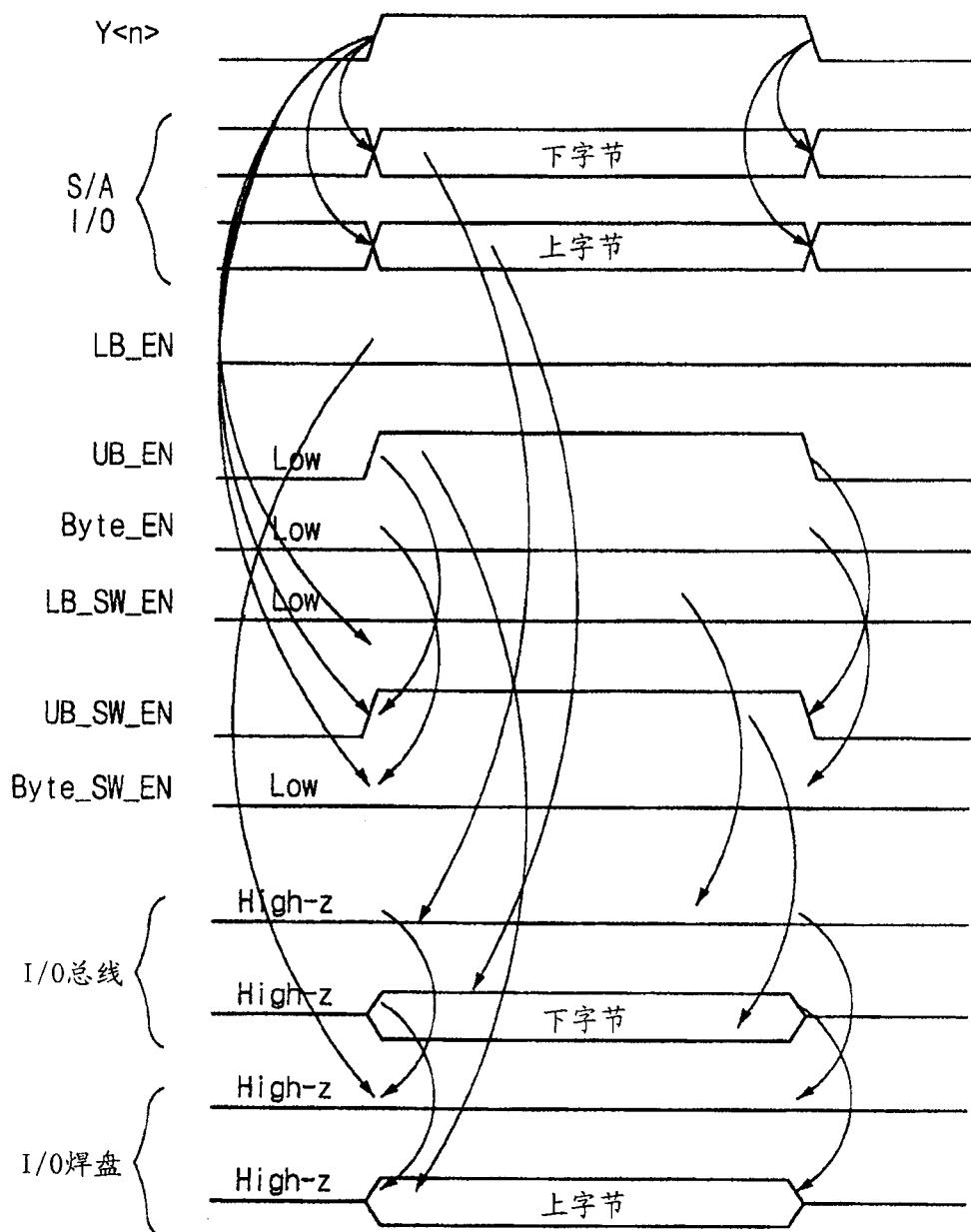


图 13b

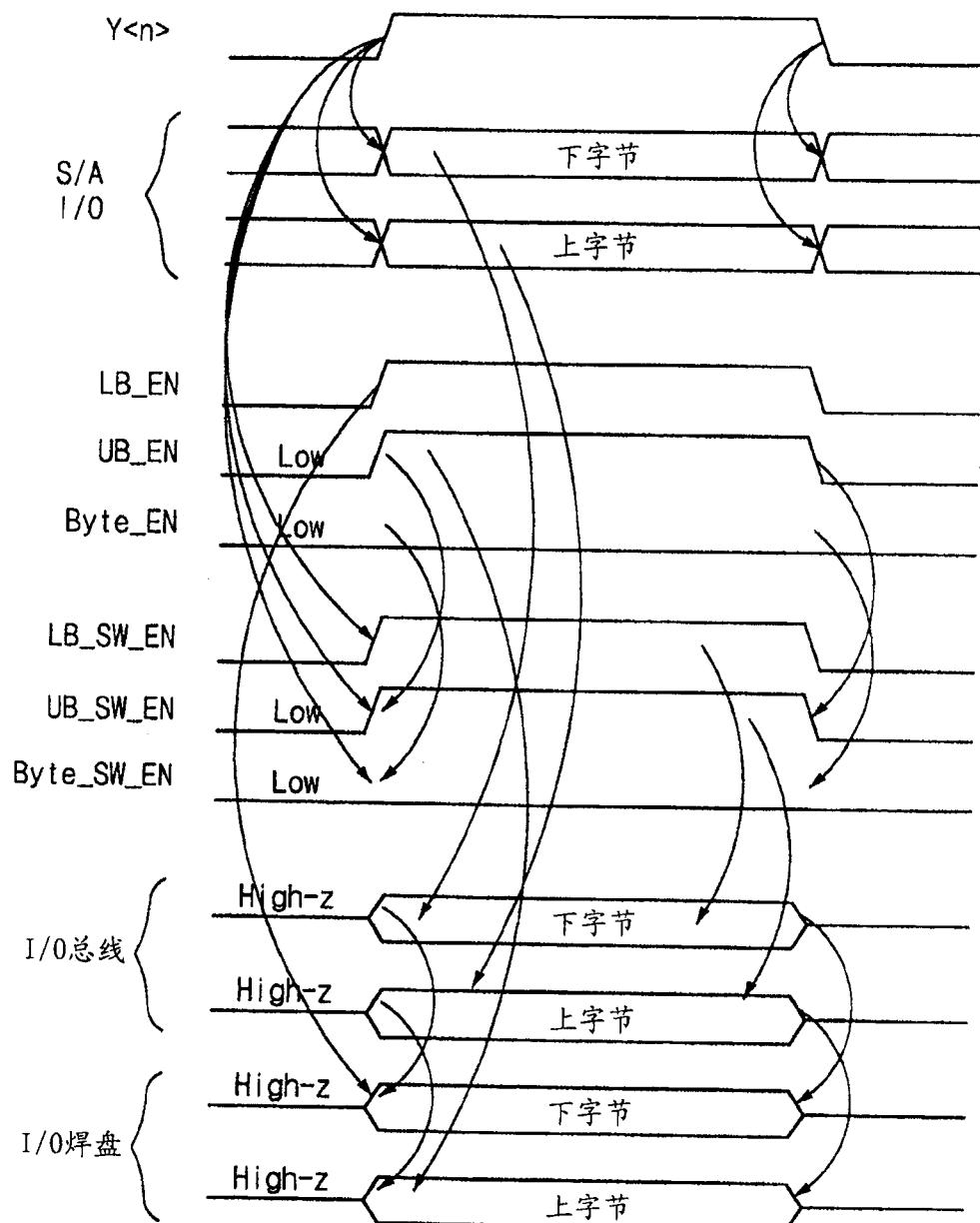


图 13c

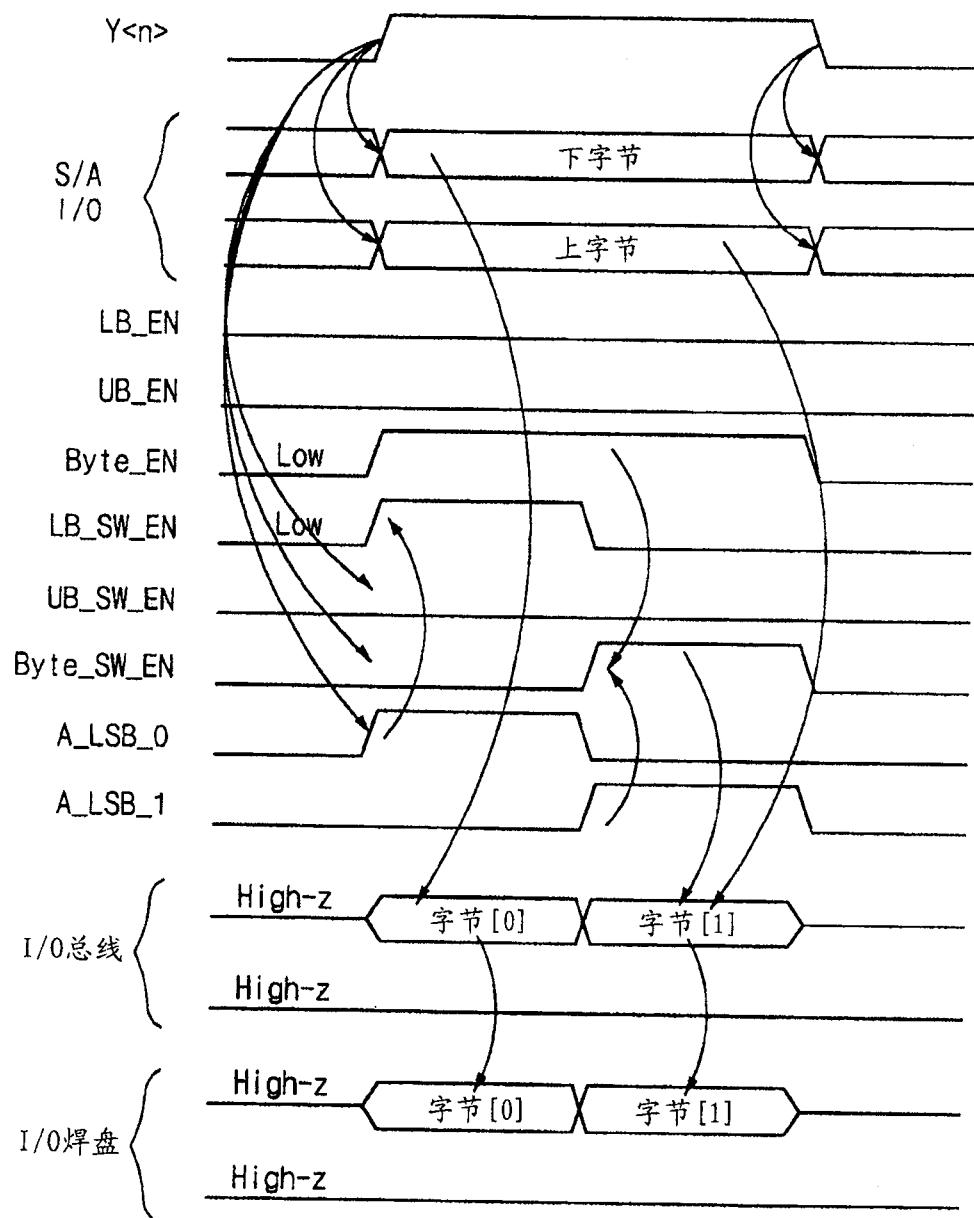


图 13d