

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4647594号
(P4647594)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.		F I	
HO 1 L 21/82	(2006.01)	HO 1 L 21/82	P
HO 1 L 21/822	(2006.01)	HO 1 L 27/04	E
HO 1 L 27/04	(2006.01)		

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2006-509808 (P2006-509808)	(73) 特許権者	504199127
(86) (22) 出願日	平成16年4月8日(2004.4.8)		フリースケール セミコンダクター イン
(65) 公表番号	特表2006-523036 (P2006-523036A)		コーポレイテッド
(43) 公表日	平成18年10月5日(2006.10.5)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/US2004/010813		オースティン ウィリアム キャノン
(87) 国際公開番号	W02004/093188		ドライブ ウェスト 6501
(87) 国際公開日	平成16年10月28日(2004.10.28)	(74) 代理人	100116322
審査請求日	平成19年4月4日(2007.4.4)		弁理士 桑垣 衛
(31) 優先権主張番号	10/409,766	(72) 発明者	ダウニー、ハロルド エイ.
(32) 優先日	平成15年4月9日(2003.4.9)		アメリカ合衆国 78733 テキサス州
(33) 優先権主張国	米国 (US)		オースティン ノース ウェストン レ
			ーン 205

最終頁に続く

(54) 【発明の名称】 集積回路チップのI/Oセル

(57) 【特許請求の範囲】

【請求項1】

複数の入力/出力(I/O)セルを含む集積回路(IC)チップであって、その複数のI/Oセルの各I/Oセルは、

ICチップの基板に位置する能動I/O回路と、

前記基板の上に形成されるとともに、第1電源導体、第2電源導体、及び信号導体を備える複数の金属相互接続層と、

前記複数の金属相互接続層の上に形成される絶縁層と、

前記絶縁層の上に形成されるとともに、前記信号導体に接続される第1パッドと、

前記絶縁層の上に形成されるとともに、複数の金属相互接続層の内の最上部に位置する金属層の少なくとも2つの金属構造の直上に位置する第2パッドとを備え、該第2パッドは、前記絶縁層の少なくとも一つの開口を通して、少なくとも2つの金属構造の内の一つの金属構造に選択的に接続される、ICチップ。

【請求項2】

前記少なくとも2つの金属構造のうちの第1の金属構造は前記第1電源導体に結合され、前記第1電源導体は第1の電源電位を供給するように構成され、前記少なくとも2つの金属構造のうちの第2の金属構造は前記第2電源導体に結合され、前記第2電源導体は第2の電源電位を供給するように構成される、請求項1に記載のICチップ。

【請求項3】

前記絶縁層は、絶縁層マスクを用いてパターンニングされ、前記少なくとも2つの金属構

10

20

造の内の一つの金属構造の直上の所定位置における前記絶縁層の少なくとも一つの開口を通して、前記第2パッドを前記少なくとも2つの金属構造の内の一つの金属構造に選択的に結合させるようにマスクをプログラム化する、請求項1に記載のICチップ。

【請求項4】

入力/出力(I/O)セルを含む集積回路(IC)チップであって、I/Oセルは、
ICチップの基板に位置する能動I/O回路と、
前記基板の上に形成される複数の金属相互接続層と、
前記複数の金属相互接続層の上に形成される絶縁層と、
前記絶縁層の上に形成されるとともに、該絶縁層の少なくとも一つの開口を通して前記複数の金属相互接続層の内の第1金属構造に接続される第1パッドと、
前記絶縁層の上に形成されるとともに、複数の金属相互接続層の内の最上部に位置する金属層の少なくとも2つの金属構造の直上に位置する第2パッドとを備え、第2パッドは、少なくとも2つの前記金属構造の内の一つの金属構造に対して、当該少なくとも2つの金属構造の内の一つの金属構造の直上に位置する前記絶縁層の少なくとも一つの開口を通して、選択的に接続される、ICチップ。

10

【請求項5】

半導体チップのI/Oセルの標準化された設計ブロックを設ける工程であって、前記I/Oセルは、金属相互接続層と、金属相互接続層の上に形成される絶縁層と、前記絶縁層の上に形成されるとともに、信号を伝送する第1パッドと、前記絶縁層の上に形成されるとともに、電源電位を供給する第2パッドとを備え、前記第2パッドは金属相互接続層の
少なくとも2つの金属構造の直上に形成されており、前記絶縁層は複数の位置を有し、少なくとも2つの金属構造の各金属構造は複数の位置の内の一つの位置に対応し、少なくとも2つの金属構造の内の第1金属構造は第1電源電位を供給する導体であり、少なくとも2つの金属構造の内の第2金属構造は第2電源電位を供給する導体である、工程と、
第2パッドを、少なくとも2つの金属構造の一つの金属構造に対して、当該少なくとも2つの金属構造の内の一つの金属構造に対応する複数の位置の内の一つの位置にある少なくとも一つの開口を通して選択的に接続するように、マスクをプログラム化する工程と、
前記マスクを使用して前記絶縁層をパターンニングする工程とを備える、ICチップの形成方法。

20

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は概して集積回路(IC)チップ、特にICチップのI/O回路に関する。

【背景技術】

【0002】

ICチップは、その表面に位置して、ICチップを外部構造に接続するボンディングパッドを備え得る。パッケージICの例では、ICチップのボンディングパッドはボンディングワイヤを介してパッケージ基板のボンディングフィンガーに接続される。ボンディングフィンガーは、ボールグリッドアレイ(ball grid array: BGA)パッケージICの場合におけるように、パッケージIC表面の上に位置するボールに接続される。

40

【0003】

集積回路技術が進むにつれて、一つのチップに収容する回路の数を増大し、チップ回路の動作速度を上げ、さらにチップサイズを小さくするという要求が生じている。回路の数の増大は動作速度の上昇とともに、より多くのボンディングパッドを一つのチップに設けることを推進することになり、この場合、チップサイズを縮小することによってこれらのボンディングパッドが利用できる空間が小さくなる。

【0004】

更に、回路の数が増え、かつチップサイズが小さくなると、ICチップを設計するプロセスが一層複雑になる。ICチップ設計の効率を上げるために、ICチップの回路は、回

50

路の複数の標準化された設計ブロックを用いて設計することができる。例えば、ICチップのI/OセルはI/Oセル標準化された設計ブロックから設計することができる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

ボンディングパッドレイアウトの効率を上げるとともに、標準化された設計ブロックをI/Oセル設計に利用することができるようにする効率的なチップデザインが必要とされている。

【課題を解決するための手段】

【0006】

本発明の一態様では、集積回路(IC)チップは複数の入力/出力(I/O)セルを備える。複数のI/Oセルの各I/Oセルは、ICチップの基板に位置する能動I/O回路及び基板の上に形成される複数の金属相互接続層を備える。複数の金属相互接続層は、第1電源導体、第2電源導体、及び信号導体を有する。各I/Oセルはまた、複数の金属相互接続層の上に形成される絶縁層、その絶縁層の上に形成されるとともに、信号導体に接続される第1パッド、及び絶縁層の上に形成される第2パッドを含む。第2パッドは、複数の金属相互接続層の最上部金属層の少なくとも2つの金属構造の直上に位置する。第2パッドは、少なくとも2つの金属構造の内の一つに対して、絶縁層の少なくとも一つの開口を通して選択的に接続される。

【0007】

本発明の別の態様では、集積回路(IC)チップは一つの入力/出力(I/O)セルを含む。このI/Oセルは、ICチップの基板に位置する能動I/O回路と、基板の上に形成される複数の金属相互接続層と、複数の金属相互接続層の上に形成される絶縁層とを備える。I/Oセルはまた、絶縁層の上に形成されるとともに、複数の金属相互接続層の第1金属構造に対して絶縁層の少なくとも一つの開口を通して接続される第1パッドと、絶縁層の上に形成される第2パッドとを備える。第2パッドは、複数の金属相互接続層の最上部金属層の少なくとも2つの金属構造の直上に位置する。第2パッドは、少なくとも2つの金属構造の内の一つに対して、当該少なくとも2つの金属構造の内の一つの直上の絶縁層の少なくとも一つの開口を通して選択的に接続される。

【0008】

本発明の別の態様では、ICチップを形成する方法において、半導体チップのI/Oセルの標準化された設計ブロックを提供する。I/Oセルは、金属相互接続層、金属相互接続層の上に形成される絶縁層、信号を送る第1パッド、及び電源電位を供給する第2パッドを備える。第2パッドは、金属相互接続層の少なくとも2つの金属構造の直上に形成される。絶縁層は複数の位置に位置する。少なくとも2つの金属構造の各金属構造は複数の位置の内の一つの位置に対応する。少なくとも2つの金属構造の第1金属構造は第1電源電位を供給する導体であり、少なくとも2つの金属構造の第2金属構造は第2電源電位を供給する導体である。本方法では、第2パッドを少なくとも2つの金属構造の内一つの金属構造に、少なくとも2つの金属構造の内当該一つの金属構造に対応する複数の位置の一つの位置の少なくとも一つの開口を通して選択的に接続するように、マスクをプログラム化する。本方法ではまた、前記マスクを使用して絶縁層をパターンニングする。

【発明を実施するための最良の形態】

【0009】

本発明は、添付の図を参照することにより一層深く理解することができ、かつ本発明の多くの目的、特徴、及び利点がこの技術分野の当業者に明らかになる。

特に断らない限り、異なる図に使用する同じ参照符号は同じ部品を指す。

【0010】

以下に示すのは本発明を実施するための一つのモードに関する詳細な記述である。記述は本発明の例示であり、本発明を制限するものとして捉えられるべきではない。

図1は、ICチップ103を封止する前にパッケージ基板105に取り付けられるIC

10

20

30

40

50

チップ103を含むパッケージIC101の一実施形態の上面図である。図示した実施形態では、基板105はボールグリッドアレイ(BGA)基板である。しかしながら、他のタイプのパッケージ基板を利用することができる。ICチップ103の周縁部には、チップ103の回路(図1には示さず)をパッケージ基板105上に位置するボンディングフィンガー(例えば123)及び電源リング119,121に接続するボンディングパッド(例えば111,113,114,及び116)が設けられている。図1において、ボンディングパッド群は、一列に並んだ対に配置される。例えば、外側パッド114は、内側パッド111と一直線に並んで位置して、一列に並んだ対を形成する。外側パッド114は内側パッド111よりもICチップ103のエッジに近接して位置する。各一列に並んだ対はI/Oセルの一部である。ボンディングパッド対の内側パッド(例えば参照符号111及び116)はI/O信号をチップ103に送信し、かつ/またはI/O信号をチップ103から送出手のための信号パッドである。信号パッドはボンディングワイヤ(例えば135)によってボンディングフィンガー123に接続される。ボンディングフィンガー123は導電ビア125に接続され、これらの導電ビアはパッケージ基板105の反対側の面に位置するボール(図示せず)に接続される。ボール(図示せず)はパッケージICの外部への電気的な接続を行う。I/Oセルは、入力信号及び/又は出力信号を処理する能動I/O回路(例えば図2の参照符号211)を備える。

【0011】

外側ボンディングパッド(例えば113及び114)は、ICチップ103をパッケージ基板105上に位置するグラウンドリング(ground ring)119またはVDD電源リング(power ring)121のいずれかに接続する電源パッド(例えば電源またはグラウンド)である。更に完全な形で後述するように、ICチップ103の電源パッド(power pad)はそれぞれ、チップ103の最終金属相互接続層(例えば図3の参照符号316)の複数の導電構造の上に直接位置し、かつこれらの導電構造の内の一にパッシベーション層の複数の開口(例えばチップ103の参照符号303)によって選択的に接続される。

【0012】

図1の実施形態では、グラウンドリング119及び電源リング121がパッケージ基板105のボンディングフィンガー(例えば参照符号123)の内側に位置するので、電源パッド(例えば参照符号113及び114)は一列に配列されたボンディングパッド対の外側のパッド位置に配置されてワイヤボンディングを容易にする。別の実施形態では、電源パッドを一列に配列されたボンディングパッド対の内側のパッド位置に配置し、信号パッドを同ボンディングパッド対の外側のパッド位置に配置してもよい。

【0013】

グラウンドリング119及びVDD電源リング121は、基板105の反対側(外側)に位置するグラウンドボール(図示せず)及び電源ボール(図示せず)にそれぞれ接続される。パッド113はグラウンドリング119に接続され、パッド114は電源リング121に接続される。或る実施形態では、グラウンドリング119及び電源リング121はそれぞれセグメント化されて、外部信号ライン(図示せず)が基板105上のリングの間を通過できるようになっている。他の実施形態では、セグメント化されたリングの各セグメントを利用して異なる電位をチップ103に供給することができる。他の実施形態は3つ以上のリングを含むことができ、この場合、各リングは異なる電位をチップ103に供給するように構成される。或る実施形態では、外側パッドは、パッケージ基板105上に位置するボンディングフィンガーにボンディングすることができる。

【0014】

図1の実施形態では、外側(電源)ボンディングパッドは、ICチップ103周縁近傍において交互に電源パッド及びグラウンドパッドとして構成される。別の実施形態では、2つの隣接I/Oセルの外側ボンディングパッドがグラウンドパッドとして構成され、それに続く2つのI/Oセルの外側ボンディングパッドが電源パッドとして構成されてもよい。従って、このパターンは4つのI/Oセルから成るバンク毎に繰り返され得る。グラウンド

10

20

30

40

50

パッド及び電源パッドの他の別の構成を他の実施形態に使用することができる。或る実施形態では、グランドパッド及び電源パッドから成るサブセットは基板上の導電構造にワイヤボンディングにより接続される。

【0015】

図2はチップ103の部分上面図である。I/Oセル203は、図2に示す図に対してセル203の左右に位置する隣接したI/Oセル205とI/Oセル207との間のチップ103の周縁に位置する。一実施形態では、I/Oセル205, 207はI/Oセル203と同じ標準化された設計ブロックにより構成される。I/Oセル203は、一列配列構成に配置されるボンディングパッド208及びボンディングパッド206を含む。ボンディングパッド208は、チップ103の電源バスまたはグランドバスのいずれかに接続される電源ボンディングパッドとして機能する。パッド206は信号パッドとして機能する。チップ103表面の下にあって最終金属相互接続層316に位置する(図3参照)のは、電源バス213, 214, 215である(破線で示す)。電源バス213, 214, 215は導体であり、これらの導体は、一実施形態では、チップ103周縁の複数の相互接続層の少なくとも一部の周りに延びて、電源電圧及びグランド電圧をチップ103の基板のI/Oセル及び能動コア回路に供給する(例えば図5の参照符号520を参照)。一実施形態では、標準化された設計ブロックは、バス213, 214, 215の内、I/Oセルに位置する部分に対応するバスセグメントを含む。或る実施形態では、これらのバスは、チップ103のより下層の金属相互接続層に位置してもよい。

10

【0016】

図示した実施形態では、パッド208はバス213に対して、パッシベーション層(図3の参照符号303)の位置221において、その形状に一致するように充填された4つの開口により接続される。一実施形態では、開口は3×3ミクロンの大きさを有する。開口のサイズ及び数は異なる実施形態では変更することが可能である。例えば、他の実施形態では、パッドは最終金属相互接続層の或る構造に対して一つの開口(例えば10×50ミクロンの大きさの開口)によって接続することができる。ボンディングパッド206は、形状に沿って充填された4つの開口によって、同様に最終金属相互接続層に位置する信号導体231に、位置232において接続される。

20

【0017】

セル203は、チップ103の基板の複数の相互接続層の下に位置する能動I/O回路211(一点鎖線により示す)を備える。能動I/O回路211は出力回路(例えば、関連プリドライバ回路を備えるプルダウン及びプルアップ出力ドライバ)、入力回路、静電気放電(electrostatic discharge: ESD)保護回路、及び自己診断回路(全て図示せず)を備え得る。他の実施形態では、能動I/O回路は他のタイプの従来型I/O回路を有してもよい。能動I/O回路は信号パッド206に接続される。

30

【0018】

一実施形態では、I/Oセル203は、図2に示すように、ボンディングパッド206、ボンディングパッド208、電源導体、グランド導体、及び信号導体、及び能動I/O回路211を丁度収容するのに必要な領域に対応する。図2に示す実施形態では、I/Oセル203, 205, 207は当接するが、重なり合うことはない。従って、本実施形態では、ボンディングパッド206, 208はI/Oセル203の能動I/O回路211の上に重なっているが、これらのパッドは無関係な能動I/O回路(例えば、I/Oセル205, 207の能動I/O回路またはチップ103の能動コア回路)の上には決して重なることはない。別の実施形態では、パッド206, 208の一部が無関係な能動I/O回路の上に部分的に重なっていてもよい。更に、パッド206の一部が能動コア回路(例えばICチップ103の)に重なることもできる。例えば、図5の実施形態を参照されたい。

40

【0019】

図2の実施形態では、ボンディングパッド208はパッド206と一列に並んで一列配

50

列ボンディングパッド対を形成する。別の実施形態では、パッド208はI/Oセル203内でパッド206に対して偏倚していてもよい。図2では、パッド206及びパッド208は同じサイズを有する。別の実施形態では、パッド206及びパッド208は異なるサイズであってもよい。

【0020】

図3は図2の部分断面図である。パッド206, 208はパッシベーション層303の上に位置するように示されている。一実施形態では、パッシベーション層303は窒化シリコンを含む絶縁層である。層303の下には、金属相互接続層312、金属相互接続層314、及び最終金属相互接続層316が位置する。これらの相互接続層は絶縁層345, 343, 341とパッシベーション層303との間に位置する。異なる実施形態では金属相互接続層の数を変更することができる。例えば、ICチップの一実施形態は6つの金属相互接続層を含むことができる。電源バス215、グランドバス213、及び電源バス214は、最終金属相互接続層316に位置する。最終金属相互接続層316には導体233, 231も位置する。各相互接続層の導電構造は、層間絶縁層(例えば参照符号343)を貫通して延びる導電ビア(例えば323)により接続することができる。或る実施形態では、絶縁層303は異なる材料から成る複数の層を含むことができる。金属相互接続層及び絶縁層は基板302の能動I/O回路211の上に位置する。

10

【0021】

パッド206は、最終金属相互接続層316に位置する信号導体231及び電源バス214の直上に位置する。パッド206は信号導体231に、形状に沿って充填された複数の開口によって位置232において接続されるように示される。パッド208は、バス215、バス213、及び導体233の直上に位置し、これらの3つ全てが最終金属相互接続層316に位置する。導体233はバス214に、ビア313、導体315、ビア317、導体321、ビア323、導体325、及びビア327によって接続される。図3に示すように、パッド208はグランドバス213に対して、バス213の直上に位置するパッシベーション層303の(例えば位置221にある)複数の開口によって選択的に接続される。チップ103の他のI/OセルがI/Oセル203と同じ標準化された設計ブロックに基づいて設計されるので、電源パッド(例えば208)は、バス215に対して、パッシベーション層303の複数の開口(または、或る実施形態では単一の開口)によって、位置221ではなく、位置349(図3の破線で示す)において選択的に接続されるか、あるいはバス214に対してパッシベーション層303の複数の開口によって位置347において選択的に接続され得る。一実施形態では、絶縁層303は絶縁層マスク(図示せず)を使用してパターンニングする。層303は、パッド208をバス213、バス215または導体233のいずれか一つに選択的に接続するために、マスクによってパターンニングすることができる。

20

30

【0022】

一実施形態では、パッド206, 208は、アルミニウム層を層303の上にスパッタリングにより堆積させ、次にアルミニウム層を選択的にエッチングすることにより形成される。スパッタリングによりアルミニウムを堆積させることにより、アルミニウムでパッシベーション層303の複数の開口(例えば位置221及び232の)を該開口の形状に沿って充填する。一実施形態では、金属相互接続層312, 314, 316の導電構造(例えば213, 315, 及び321)は銅により形成される。或る実施形態では、薄い導電バリア層(例えばタンタルを含む)を、パッシベーション層303の複数の開口(例えば位置221の)のアルミニウムと最終金属相互接続層316の銅との間に位置させて、2つの異なる隣接金属(例えば、パッド208のアルミニウム及びバス213の銅)の間における拡散を防止するとともに、それらの接着性を高めることができる。他の実施形態では、金属相互接続層及び/又はボンディングパッドは、金、銅、またはアルミニウムのような他の材料により形成することができる。他の実施形態では、他のタイプの導電ビアを使用することができる。

40

【0023】

50

絶縁層に複数の開口を選択的に配置することによって、最終金属相互接続層の多数の導電構造に選択的に接続され得るボンディングパッドを有するI/Oセル設計を提供することにより、多くの導電構造のいずれか一つに接続されるようにプログラム化することができる汎用I/Oセル設計を使用することができる。このような利点によって、I/Oセルの全て（または少なくともかなりの部分）を同一の標準化I/Oセル設計ブロックを使用して設計することができるのでICチップ設計の複雑さを低減することができる。

【0024】

更に、2つのパッドを備える構成のI/Oセルにおける複数の導電構造に選択的に接続可能なパッドを利用することにより、チップにおいて高い利用効率のチップ空間を実現することができるという利点が得られる。それにより、ICチップ当たりのI/Oセルの数を多くすることができる。或る例では、第1のパッドは一つの信号に接続することができ、第2のパッドは、電源導体またはグランド導体のいずれかに選択的に接続することができる。これにより、電源パッドまたはグランドパッドのいずれか一つを組み込んで、I/Oセル群から成るバンクにおいて電源及びグランドを配置する際の自由度を最大化する、単一のI/Oパッドを備えるセルが可能になる。

【0025】

他の実施形態では、最終金属相互接続層316の導電構造群の幾つかは信号ライン群に接続することができるので、パッド208を一つ以上の信号ラインの内の一つの信号ラインに選択的に接続することができる。他の実施形態では、パッドが直上に位置する構成の最終金属相互接続層の導電構造の数を変更することができる。一実施形態では、パッド208は多くの導電構造の直上に位置し、この場合、各導電構造はICチップの異なる電源電位に接続される。このような実施形態では、パッド208はICチップ103に供給されている複数の電源電位の内のいずれかの電位に接続され得る。このような実施形態の一例では、パッド208は+3.3Vバス、-3.3Vバス、+1.8Vバス、またはグランドバスに選択的に接続され得る。

【0026】

他の実施形態では、パッドの直下に位置する各導電構造は異なる信号を供給するように接続される。パッドは信号群の内のいずれか一つの信号に、少なくとも一つの開口をパッシベーション層に形成してパッドを選択的に信号導体に接続することにより選択的に接続することができる。例えば、パッドは2つの構造の上に位置させることができ、この場合、一方の構造が異なる信号から成る対の内の一方の信号を供給するように接続され、かつ他方の構造が異なる信号から成る対の内の他方の信号を供給するように接続される。

【0027】

他の実施形態では、パッド206は複数の導電構造の直上に位置させることができ、この場合、パッド206は導電構造群の内の一つに、パッシベーション層303の少なくとも一つの開口によって選択的に接続することができる。一実施形態では、導電構造群は信号群を伝送するように構成される。他の実施形態では、導電構造群の内の少なくとも一つの導電構造は電源導体に接続される。

【0028】

図4は、本発明による別のICチップの部分断面図である。チップ401のボンディングパッド群は、最終金属相互接続層416に形成される部分及びアルミニウムキャップの双方を含む。例えば、I/Oセル402は、一実施形態では銅からなる最終金属相互接続層416に形成される部分407、409をそれぞれ有するパッド406、408を備える。また、ボンディングパッド406、408はそれぞれ、アルミニウムキャップ418、419を備える。これらのキャップは、層316に形成される各パッド（例えば407及び409）のうち、パッシベーション層403の開口によって露出される部分を被覆する。ワイヤボンディング歩留まり及び生産性を向上するために、アルミニウムキャップ（例えば418、419）が用いられる。或る実施形態では、パッド406、408は、パアルミニウムキャップのアルミニウムと層416の銅との間にリア層（図示せず）を備えてもよい。しかしながら、本発明による他のICチップのボンディングパッドはこのよう

10

20

30

40

50

なキャップを備えなくてもよい。

【0029】

I/Oセル402はパッド406, 408の下に位置する能動I/O回路411を含む。能動I/O回路411の上には、第1金属相互接続層412、第2金属相互接続層414、及び最終金属相互接続層416が位置する。一実施形態では、金属相互接続層412, 414, 及び416は銅により形成される。別の実施形態では、金属相互接続層は主としてアルミニウムにより形成することができる。3つの金属相互接続層は、絶縁層445, 443, 441とパッシベーション層403との間に位置する。或る実施形態では、絶縁層445, 443, 441及びパッシベーション層403は異なる材料から成る複数の層を含むことができる。一実施形態では、パッシベーション層403は窒化シリコンを含む絶縁層である。

10

【0030】

図4には3つの金属相互接続層を示しているが、異なる実施形態においては、金属相互接続層の数を変更することができる。図4の実施形態では、グランドバス413、電源バス415、及び信号導体433は、金属相互接続層414に位置する。金属相互接続層414には、信号導体432及び信号導体431も位置する。一つの相互接続層の金属導体は、別の相互接続層の金属導体に対して、絶縁層(例えば443)を貫通して延びる導電ビア(例えば461, 463)によって接続することができる。

【0031】

パッド406は、金属相互接続層414に位置する信号導体431及び信号導体432の直上に位置する。パッド406は、信号導体431に対して、位置467で絶縁層441の開口に位置する導電ビア465により選択的に接続されるものとして示されている。チップ401の他のI/OセルがI/Oセル402と同じ標準化された設計ブロックに基づいて設計されるので、パッド406を電源バス432に対して、絶縁層441の開口の導電ビアによって、位置467ではなく、位置468(破線で示す)において選択的に接続することもできる。

20

【0032】

パッド408は、金属相互接続層414に位置する電源バス415部分、グランドバス413部分、及び信号導体433部分の直上に位置する。パッド408はグランドバス413に対して、絶縁層441の開口に位置する導電ビア421によって位置422において接続されるものとして示されている。チップ401の他のI/OセルがI/Oセル402と同じ標準化された設計ブロックに基づいて設計されるので、パッド408を電源バス415に対して、絶縁層441の開口の導電ビアによって、位置422ではなく、位置449(破線で示す)において選択的に接続することもできる。あるいは、パッド408を信号導体433に対して、絶縁層441の開口の導電ビアによって、位置447(破線で示す)において選択的に接続することもできる。従って、ボンディングパッド408は、グランドバス413、電源バス415、または信号導体433のいずれかに選択的に接続することができる。よって、標準化I/Oセルの外側(電源)ボンディングパッド408は、電圧電位、グランド電位、または信号経路をチップ401に供給する機能を有するように構成することができる。

30

40

【0033】

ボンディングパッド408は、金属相互接続層416, 414, 412の他の導電構造に接続することができる。例えば、第1金属相互接続層412の導体450は、導電ビア421、バス413、及び導電ビア430を通してパッド408に接続されるものとして示されている。或る実施形態では、ICチップの電源バス及びグランドバスは他の金属相互接続層(例えば412)に位置させることができる。

【0034】

図4に示す実施形態では、導電ビア421は、パッド部408の内、パッシベーション層403の開口によって露出される部分の直下に位置するものとして示されている。別の実施形態では、これらのビアは、パッド部408の内、パッシベーション層403の開口

50

によって露出されない部分の直下に配置することができる。

【0035】

図4に示す実施形態では、外側(電源)ボンディングパッド408は、グランドバス413、電源バス415、または信号導体433に対して、導電ビアを絶縁層441の位置422, 449, 447のそれぞれに配置することにより選択的に接続することができる。これらの位置の各々は同じ絶縁層441に含まれるので、ICチップ401の設計及びレイアウトにおいては、層441をパターニングするために使用するマスクは、外側ボンディングパッド408をバス413、バス415、または導体433の内の一つに選択的に接続するように、プログラム化される。従って、パッド408は、電源導体または信号導体に、このパッド下の導電ビアの位置に依存する形で接続されるように、プログラム化されてもよい。

10

【0036】

図5は、本発明によるICチップの部分上面図及び別の実施形態である。ICチップ500はICチップ500の周縁部に位置するI/Oセル501を含む。I/Oセル501は外側ボンディングパッド503及び内側ボンディングパッド505を備える。ボンディングパッド503及びボンディングパッド505はそれぞれ、ワイヤをパッドにボンディングするためのワイヤボンディング領域(それぞれ参照符号513, 509)を含む。ボンディングパッド503及びボンディングパッド505はそれぞれ、試験を行なうためのプローブを受容するプローブ領域(それぞれ511及び507)を有する。パッド503, 505は、ICチップ500の基板に位置する能動I/O回路506の上に配置されている。パッド505はICチップ500の基板に位置するコア回路520の上にも延びる。

20

【0037】

他の実施形態では、金属相互接続層の複数の導電構造の直上に位置するとともに、これらの導電構造のいずれかに選択的に接続することができるパッドを、単一のパッドを有する構成のI/Oセルまたは2つよりも多くのパッドを備えるI/Oセルに用いることができる。他の実施形態では、このようなパッドは、複数のパッドをジグザグに配置する構成のICチップに使用することができる。

【0038】

他の実施形態ではまた、パッド直下に位置する相互接続層の複数の導電構造のいずれか一つに選択的に接続することができるパッドは、例えばフリップチップICのチップを含む他のタイプの構成を有する他のタイプのICチップ上において実施され得る。フリップチップ構成とすることにより、パッドを有する表面が下方を向くようにICチップが配置され、かつ相互接続層がパッケージICにおいて上述の位置に配置される場合であっても、ICチップのパッドは、パッケージICにおいてICチップの相互接続層の上に位置するものと考えられる。

30

【0039】

本発明の一態様では、集積回路(IC)チップは複数の入力/出力(I/O)セルを備える。複数のI/Oセルの各I/Oセルは、ICチップの基板に位置する能動I/O回路及び基板の上に形成される複数の金属相互接続層を備える。複数の金属相互接続層は、第1電源導体、第2電源導体、及び信号導体を有する。各I/Oセルはまた、複数の金属相互接続層の上に形成される絶縁層、その絶縁層の上に形成されるとともに、信号導体に接続される第1パッド、及び絶縁層の上に形成される第2パッドを含む。第2パッドは、複数の金属相互接続層の最上部金属層の少なくとも2つの金属構造の直上に位置する。第2パッドは、少なくとも2つの金属構造の内の一つに対して、絶縁層の少なくとも一つの開口を通して選択的に接続される。

40

【0040】

本発明の別の態様では、集積回路(IC)チップは一つの入力/出力(I/O)セルを含む。このI/Oセルは、ICチップの基板に位置する能動I/O回路と、基板の上に形成される複数の金属相互接続層と、複数の金属相互接続層の上に形成される絶縁層とを備

50

える。I/Oセルはまた、絶縁層の上に形成されるとともに、複数の金属相互接続層の第1金属構造に対して絶縁層の少なくとも一つの開口を通して接続される第1パッドと、絶縁層の上に形成される第2パッドとを備える。第2パッドは、複数の金属相互接続層の最上部金属層の少なくとも2つの金属構造の直上に位置する。第2パッドは、少なくとも2つの金属構造の内の一つに対して、当該少なくとも2つの金属構造の内の一つの直上の絶縁層の少なくとも一つの開口を通して選択的に接続される。

【0041】

本発明の別の態様では、ICチップを形成する方法において、半導体チップのI/Oセルの標準化された設計ブロックを提供する。I/Oセルは、金属相互接続層、金属相互接続層の上に形成される絶縁層、信号を伝送する第1パッド、及び電源電位を供給する第2パッドを備える。第2パッドは、金属相互接続層の少なくとも2つの金属構造の直上に形成される。絶縁層は複数の位置に位置する。少なくとも2つの金属構造の各金属構造は複数の位置の内の一つの位置に対応する。少なくとも2つの金属構造の第1金属構造は第1電源電位を供給する導体であり、少なくとも2つの金属構造の第2金属構造は第2電源電位を供給する導体である。本方法では、第2パッドを少なくとも2つの金属構造の内一つの金属構造に、少なくとも2つの金属構造の内当該一つの金属構造に対応する複数の位置の一つの位置の少なくとも一つの開口を通して選択的に接続するように、マスクをプログラム化する。本方法ではまた、前記マスクを使用して絶縁層をパターンニングする。

10

【0042】

本発明の特定の実施形態について示し、記載してきたが、この技術分野の当業者であれば、本明細書により得られる示唆に基づいて、更なる変更及び変形を、本発明及びその広範囲の態様から逸脱しない範囲において加えることができ、従って添付の請求項がこれらの請求項の技術範囲にこのような変更及び変形の全てを、このような変更及び変形の全てが本発明の真の技術思想及び技術範囲に含まれるのと同様に包含するものであることが理解できるであろう。

20

【図面の簡単な説明】

【0043】

【図1】本発明によるパッケージ基板に取り付けられるICチップの一実施形態を示す上面図。

【図2】本発明によるICチップの一実施形態を示す部分上面図。

30

【図3】本発明による図2のICチップの部分断面図。

【図4】本発明による別のICチップの部分断面図。

【図5】本発明によるICチップの別の実施形態の部分上面図。

【 図 1 】

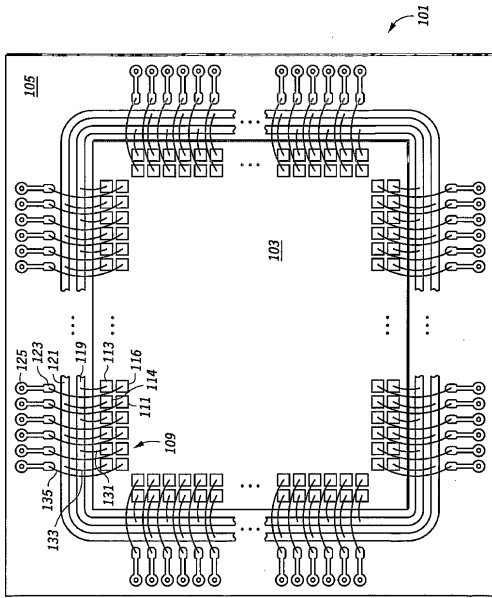


FIG. 1

【 図 2 】

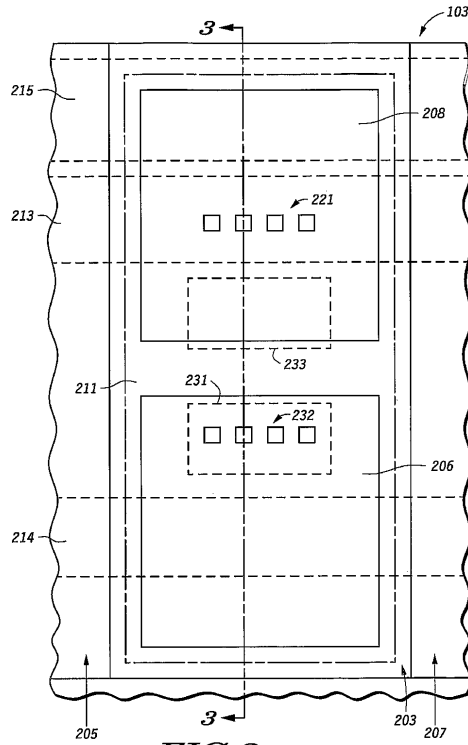
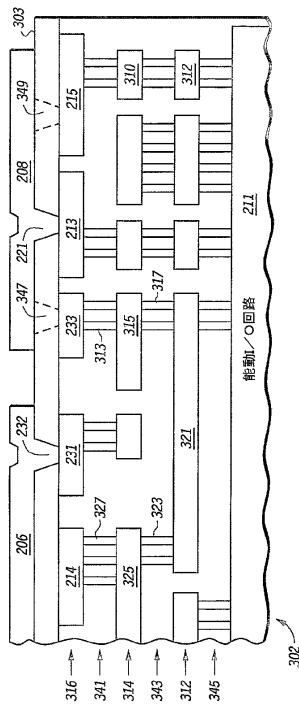
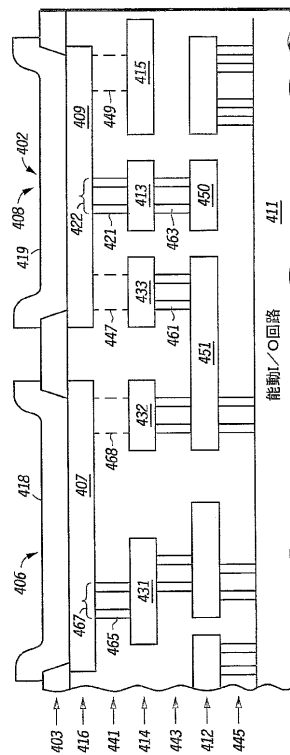


FIG. 2

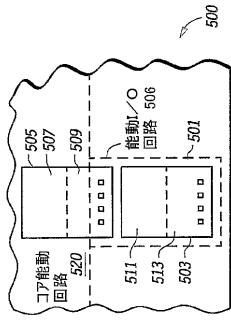
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 ダウニー、スーザン エイチ。
アメリカ合衆国 78733 テキサス州 オースティン ノース ウェストン レーン 205
- (72)発明者 ミラー、ジェームズ ダブリュ。
アメリカ合衆国 78725 テキサス州 オースティン ダブリュ・サーティサード ストリート 209

審査官 村岡 一磨

- (56)参考文献 特開平03-148132(JP,A)
特開平04-085942(JP,A)
特開平11-150204(JP,A)
特開2000-252363(JP,A)
特開2003-289104(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
H01L 21/822
H01L 27/04
H01L 21/60
H01L 21/3205