

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/10 (2006.01)

H01L 27/105 (2006.01)

G11C 11/22 (2006.01)



# [12] 发明专利说明书

专利号 ZL 01802501.3

[45] 授权公告日 2006年3月22日

[11] 授权公告号 CN 1246905C

[22] 申请日 2001.8.21 [21] 申请号 01802501.3

[30] 优先权

[32] 2000.8.22 [33] JP [31] 251436/00

[86] 国际申请 PCT/JP2001/007143 2001.8.21

[87] 国际公布 WO2002/017403 日 2002.2.28

[85] 进入国家阶段日期 2002.4.22

[71] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 名取荣治 长谷川和正 小口幸一

西川尚男 下田达也

审查员 冀小强

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 张志醒

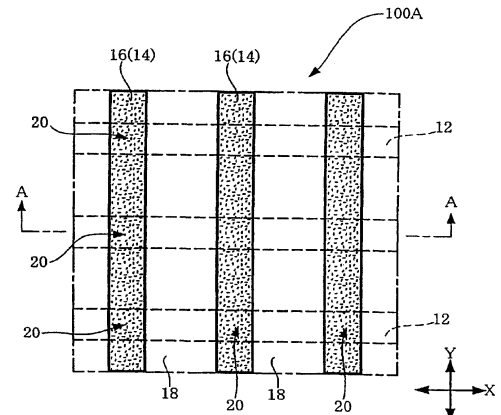
权利要求书 3 页 说明书 20 页 附图 12 页

## [54] 发明名称

存储单元阵列及其制造方法以及强电介质存储装置

## [57] 摘要

本发明涉及构成强电介质电容器的强电介质层具有特定的图形，能够减小信号电极的杂散电容的存储单元阵列及其制造方法，以及强电介质存储装置。存储单元阵列(100A)中，以矩阵状排列了由强电介质电容器(20)构成的存储单元。强电介质电容器(20)具有：第1信号电极(12)；在与第1信号电极(12)交叉的方向上排列的第2信号电极(16)；以及沿着第1信号电极(12)或者第2信号电极(16)以直线状配置了的强电介质层(14)。另外，也可以仅在第1信号电极(12)与第2信号电极(16)的交叉区域中以块状配置强电介质层(14)。



1. 一种存储单元阵列，在基体上以矩阵状排列包括强电介质电容器的存储单元，其特征在于，

5 所述强电介质电容器包括：第 1 信号电极，在与该第 1 信号电极交叉的方向上排列的第 2 信号电极，以及沿所述第 1 信号电极或所述第 2 信号电极成直线状配置的强电介质层；

在所述基体上形成具有与该基体表面不同的表面特性的表面修饰层；

10 为了覆盖所述基体的露出面，还在至少由所述第 1 信号电极及所述强电介质层组成的叠层体相互之间设置电介质层。

2. 根据权利要求 1 所述的存储单元阵列，其特征在于，所述强电介质层有选择地配置在所述第 1 信号电极上面。

3. 根据权利要求 1 所述的存储单元阵列，其特征在于，所述强电介质层有选择地配置在所述第 2 信号电极下面。

15 4. 根据权利要求 3 所述的存储单元阵列，其特征在于，为了覆盖所述基体的一部分及所述第 1 信号电极的露出面，还在由所述强电介质层和所述第 2 信号电极组成的叠层体相互之间设置电介质层。

5. 根据权利要求 1 或 4 所述的存储单元阵列，其特征在于，所述电介质层其组成材料具有比所述强电介质层小的介电常数。

20 6. 根据权利要求 1 所述的存储单元阵列，其特征在于，所述表面修饰层被配置在不形成所述强电介质电容器的区域上，该表面修饰层表面对于构成所述强电介质电容器的材料具有比所述基体表面低的亲和性。

25 7. 根据权利要求 1 的存储单元阵列，其特征在于，所述表面修饰层被配置在形成所述强电介质电容器的区域上，该表面修饰层表面对于构成所述强电介质电容器的材料具有比所述基体表面高的亲和性。

8. 一种存储单元阵列，在基体上以矩阵状排列包括强电介质电容器的存储单元，其特征在于，

30 所述强电介质电容器包括：第 1 信号电极，在与该第 1 信号电极交叉的方向上排列的第 2 信号电极，以及只配置在所述第 1 信号电极与所述第 2 信号电极的交叉区域中且成块状的强电介质层；

在所述基体上形成具有与该基体表面不同的表面特性的表面修饰

层;

为了覆盖所述基体的露出面,还在至少由所述第1信号电极及所述强电介质层组成的叠层体相互之间设置有电介质层。

5 9. 根据权利要求8所述的存储单元阵列,其特征在于,所述电介质层由具有比所述强电介质层小的介电常数的材料构成。

10 10. 根据权利要求8所述的存储单元阵列,其特征在于,所述表面修饰层被配置在不形成所述强电介质电容器的区域中,该表面修饰层表面对于构成所述强电介质电容器的材料具有比所述基体表面低的亲和性。

11. 根据权利要求8所述的存储单元阵列,其特征在于,所述表面修饰层配置在形成所述强电介质电容器的区域中,该表面修饰层表面对于构成所述强电介质电容器的材料具有比所述基体表面高的亲和性。

12. 一种存储单元阵列的制造方法,在基体上以矩阵状排列包括  
15 强电介质电容器的存储单元,其特征在于,包括:

在所述基体上形成具有用于成为第1信号电极的材料被优先堆积的表面特性的第1区域,和具有与所述第1区域比较难于堆积用于成为第1信号电极的材料的表面特性的第2区域的工序;

20 在所述第1区域上分配用于成为所述第1信号电极的材料,在所述第1区域上有选择地形成所述第1信号电极的工序;

在所述第1信号电极上,沿着该第1信号电极有选择地形成直线状的强电介质层的工序;

为了覆盖所述基体的露出面,在由所述第1信号电极及所述强电介质层组成的叠层体的相互之间形成电介质层的工序;以及

25 在与所述第1信号电极交叉的方向上形成第2信号电极的工序。

13. 根据权利要求12所述的存储单元阵列的制造方法,其特征在于,在所述第1区域中使所述基体的表面露出,

30 在所述第2区域中形成表面修饰层,该表面修饰层具有对于所述第1信号电极及所述强电介质层的材料的亲和性比所述基体的第1区域中的露出面低的表面特性。

14. 根据权利要求12所述的存储单元阵列的制造方法,其特征在于,在所述第2区域中使所述基体的表面露出,

在所述第 1 区域中形成表面修饰层，该表面修饰层具有对于所述第 1 信号电极及所述强电介质层的材料的亲和性比所述基体的第 2 区域中的露出面高的表面特性。

5 15. 根据权利要求 12 所述的存储单元阵列的制造方法，其特征在于，所述电介质层由具有比所述强电介质层小的介电常数的材料组成。

16. 根据权利要求 12 所述的存储单元阵列的制造方法，其特征在于，对所述强电介质层进一步进行构图，仅在所述第 1 信号电极与所述第 2 信号电极的交叉区域中以块状形成所述强电介质层的工序。

10 17. 根据权利要求 16 所述的存储单元阵列的制造方法，其特征在于，通过使用了同一掩模的蚀刻对所述强电介质层及所述第 2 信号电极进行构图。

18. 根据权利要求 16 所述的存储单元阵列的制造方法，其特征在于，还在由所述强电介质层及所述第 2 信号电极构成的叠层体的相互  
15 之间设置电介质层。

19. 根据权利要求 18 所述的存储单元阵列的制造方法，其特征在于，所述电介质层由具有比所述强电介质层小的介电常数的材料构成。

## 存储单元阵列 及其制造方法以及强电介质存储装置

5

### 技术领域

本发明涉及具有强电介质电容器的存储单元阵列，特别是涉及不具有晶体管单元、仅使用了强电介质电容器的单纯矩阵型的存储单元阵列及其制造方法，以及包括上述存储单元阵列的强电介质存储装置。

10

### 背景技术

不具有晶体管单元、仅使用了强电介质电容器的单纯矩阵型的存储单元阵列具有非常简单的结构，能够得到高集成度，因此正在期待其开发。日本专利公开说明书特开平 8—255879 中公开了半导体存储器及其制造方法，通过相互正交带状配置简化构成。

15

### 发明内容

本发明的目的在于提供一种存储单元阵列及其制造方法，在该存储单元阵列中，构成强电介质电容器的强电介质层具有特定的图形，能够减小信号电极的杂散电容；以及提供包含本发明的存储单元阵列的强电介质存储装置。

20

在本发明的第 1 存储单元阵列中，以矩阵状排列由强电介质电容器构成的存储单元，

上述强电介质电容器包括：第 1 信号电极；在与该第 1 信号电极交叉的方向上排列的第 2 信号电极；以及至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层，

25

沿着第 1 信号电极或者第 2 信号电极以直线状配置上述强电介质层。

该存储单元阵列具体地具有：

(1) 上述强电介质层有选择地配置在上述第 1 信号电极上的结构，以及

30

(2) 上述强电介质层有选择地配置在上述第 2 信号电极下的结构。

由于这些存储单元阵列的每一个强电介质层都沿着信号电极的一

方以直线状形成，因此能够减少另一方信号电极的杂散电容。

进而，本发明的第 2 存储单元阵列中，以矩阵状排列由强电介质电容器构成的存储单元，

上述强电介质电容器包括：第 1 信号电极；在与该第 1 信号电极交叉的方向上排列的第 2 信号电极；以及至少配置在上述第 1 信号电极与上述第 2 信号电极的交叉区域中的强电介质层，

仅在上述第 1 信号电极与上述第 2 信号电极的交叉区域中以块状配置上述强电介质层。

由于该存储单元阵列中，在最小的区域中形成构成强电介质电容器的强电介质层，因此能够进一步减小信号电极的杂散电容。

上述存储单元阵列的每一个都能够具有以下形态。

(A) 在基体上配置上述强电介质电容器，在由信号电极及强电介质层构成的叠层体的相互之间，设置电介质层，使之覆盖上述基体的露出面。这时，上述电介质层最好由具有比上述强电介质层小的介电常数的材料构成。通过设置这样的电介质层，能够有效地减小信号电极的杂散电容。

(B) 能够在上述基体上形成具有与该基体的表面不同的表面特性的表面修饰层。通过设置这样的表面修饰层，能够不使用蚀刻而有选择地形成信号电极及强电介质层的至少一方。这样的表面修饰层配置在不形成上述强电介质电容器的区域中，该表面修饰层的表面可以具有比上述基体的表面低的、对于上述强电介质电容器的材料的亲和性。或者，上述表面修饰层配置在形成上述强电介质电容器的区域中，该表面修饰层的表面可以具有比上述基体的表面高的、对于上述强电介质电容器的材料的亲和性。

本发明的存储单元阵列的制造方法是以矩阵状排列了由强电介质电容器构成的存储单元的存储单元阵列的制造方法，其中包括：

在基体上形成预定图形的第 1 信号电极的工序；

在上述第 1 信号电极上，沿着该第 1 信号电极有选择地形成直线状的强电介质层的工序；以及

在与上述第 1 信号电极交叉的方向上形成第 2 信号电极的工序。

在该方法中，能够包括：在上述基体上，形成第 1 区域和第 2 区域的工序，其中，所述第 1 区域具有优先地堆积用于形成上述第 1 信

号电极及上述强电介质层的至少一方的材料的表面特性，所述第 2 区域具有与上述第 1 区域相比较、难以堆积用于形成上述第 1 信号电极及上述强电介质层的至少一方的材料的表面特性；以及

5 提供用于形成上述第 1 信号电极及上述强电介质层的至少一方的材料，有选择地在上述第 1 区域中形成该构件的工序。而且，能够在上述基体的表面上形成上述第 1 及第 2 区域。

10 进而，在该制造方法中，能够在上述第 1 区域中使上述基体的表面露出，在上述第 2 区域中形成表面修饰层，该表面修饰层具有对于上述第 1 信号电极及上述强电介质层的材料的亲和性比上述基体的第 1 区域中的露出面低的表面特性。或者，在该制造方法中，能够在上述第 2 区域中使上述基体的表面露出，在上述第 1 区域中形成表面修饰层，该表面修饰层具有对于上述第 1 信号电极及上述强电介质层的材料的亲和性比上述基体的第 2 区域中的露出面高的表面特性。

15 本发明其它的制造方法是以矩阵状排列了由强电介质电容器构成的存储单元的存储单元阵列的制造方法，其中包括：

在基体上形成预定图形的第 1 信号电极的工序；以及

20 作为在与上述第 1 信号电极交叉的方向上形成强电介质层及第 2 信号电极的工序的、沿着上述第 2 信号电极以直线状形成上述强电介质层的工序。

20 在该制造方法中，能够通过使用了同一掩模的蚀刻对上述强电介质层及上述第 2 信号电极进行构图。

进而，本发明其它的制造方法是以矩阵状排列了由强电介质电容器构成的存储单元的存储单元阵列的制造方法，其中包括：

在基体上形成预定图形的第 1 信号电极的工序；

25 在上述第 1 信号电极上，沿着该第 1 信号电极以直线状形成强电介质层的工序；

在与上述第 1 信号电极交叉的方向上形成第 2 信号电极的工序；

以及

30 进一步进行构图，以便仅在上述第 1 信号电极与上述第 2 信号电极的交叉区域中以块状形成上述强电介质层的工序。

在该制造方法中，也能够使用上述了的表面修饰层形成上述信号电极及强电介质层的至少一方。进而，通过使用了同一掩模的蚀刻能

够对强电介质层及一方的信号电极进行构图。

进而，在上述各个制造方法中，能够在由信号电极及强电介质层构成的叠层体的相互之间设置电介质层，使得至少覆盖上述基体的露出面。

5 本发明的强电介质存储装置构成为包括本发明的存储单元阵列。

本发明还包括：

一种存储单元阵列，在基体上以矩阵状排列包括强电介质电容器的存储单元，其特征在于，

10 所述强电介质电容器包括：第1信号电极，在与该第1信号电极交叉的方向上排列的第2信号电极，以及沿所述第1信号电极或所述第2信号电极成直线状配置的强电介质层；

在所述基体上形成具有与该基体表面不同的表面特性的表面修饰层；

15 为了覆盖所述基体的露出面，还在至少由所述第1信号电极及所述强电介质层组成的叠层体相互之间设置电介质层。

一种存储单元阵列的制造方法，在基体上以矩阵状排列包括强电介质电容器的存储单元，其特征在于，包括：

20 在所述基体上形成具有用于成为第1信号电极的材料被优先堆积的表面特性的第1区域，和具有与所述第1区域比较难于堆积用于成为第1信号电极的材料的表面特性的第2区域的工序；

在所述第1区域上分配用于成为所述第1信号电极的材料，在所述第1区域上有选择地形成所述第1信号电极的工序；

在所述第1信号电极上，沿着该第1信号电极有选择地形成直线状的强电介质层的工序；

25 为了覆盖所述基体的露出面，在由所述第1信号电极及所述强电介质层组成的叠层体的相互之间形成电介质层的工序；以及  
在与所述第1信号电极交叉的方向上形成第2信号电极的工序。

#### 附图说明

30 图1是模式地示出本发明第1实施形态的存储单元阵列的平面图。

图2示出本发明第1实施形态的强电介质存储装置。

图3是放大地示出图1所示的存储单元阵列的主要部分的平面



图。

图 4 是沿着图 3 的 A—A 线的剖面图。

图 5 是模式地示出本发明第 1 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

5 图 6 是模式地示出本发明第 1 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

图 7 是模式地示出本发明第 2 实施形态的存储单元阵列的平面图。

图 8 是沿着图 7 的 B—B 线的剖面图。

10 图 9 是模式地示出本发明第 2 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

图 10 是模式地示出本发明第 2 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

15 图 11 是模式地示出本发明第 2 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

图 12 是模式地示出本发明第 2 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

图 13 是模式地示出本发明第 3 实施形态的存储单元阵列的平面图。

20 图 14 是沿着图 13 的 C—C 线的剖面图。

图 15 是沿着图 13 的 D1—D1 线的剖面图。

图 16 是沿着图 13 的 D2—D2 线的剖面图。

图 17 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序的平面图。

25 图 18 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

图 19 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

30 图 20 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序的剖面图。

图 21 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序，是沿着图 17 的 E—E 线的剖面图。

图 22 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序的平面图。

图 23 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序，是沿着图 22 的 F1—F1 线的剖面图。

5 图 24 是模式地示出本发明第 3 实施形态的存储单元阵列的制造方法的一个工序，是沿着图 22 的 F2—F2 线的剖面图。

### 具体实施方式

#### [第 1 实施形态]

##### (器件)

10 图 1 是模式地示出本实施形态的存储单元阵列的平面图，图 2 示出本实施形态的强电介质存储装置，图 3 是放大地示出图 1 所示的存储单元阵列的一部分（用图 1 的符号「A」表示的部分）的平面图，图 4 是沿着图 3 的 A—A 线的剖面图。在平面图中，（）内的数字表示最上层之下的层。

15 本实施形态的强电介质存储装置 1000 如图 2 所示，包括：以单纯矩阵状排列了存储单元 20 的存储单元阵列 100A；以及用于对于存储单元 20 有选择地进行信息的写入或者读出的各种电路，例如：用于有选择地控制第 1 信号电极 12 的第 1 驱动电路 50、用于有选择地控制第 2 信号电极 16 的第 2 驱动电路 52 及读出放大器信号检测电路（未图  
20 示）。

存储单元阵列 100A 中，配置用于行选择的第 1 信号电极（字线）12 与用于列选的第 2 信号电极（位线）16，使它们正交。即，沿着 X 方向以预定的间距排列第 1 信号电极 12，沿着与 X 方向正交的 Y 方向以预定的间距排列第 2 信号电极 16。另外，信号电极也可以与上述相反，第 1 信号电极是位线，第 2 信号电极是字线。  
25

本实施形态的存储单元阵列 100A 中，如图 3 及图 4 所示，在绝缘性的基体 10 上，叠层第 1 信号电极（下电极）12、构成强电介质电容器的强电介质层 14 及第 2 信号电极（下电极）16，由第 1 信号电极 12、强电介质层 14 及第 2 信号电极 16 构成强电介质电容器 20。即，在第  
30 1 信号电极 12 与第 2 信号电极 16 的交叉区域，分别构成由强电介质电容器 20 构成的存储单元。

另外，在由强电介质层 14 与第 2 信号电极 16 构成的叠层体的相

互之间，形成了电介质层 18，使之覆盖基体 10 及第 1 信号电极 12 的露出面。该电介质层 18 最好具有比强电介质层 14 小的介电常数。这样，使比强电介质层 14 介电常数小的电介质层 18 介于由强电介质层 14 及第 2 信号电极 16 构成的叠层体的相互之间，由此，能够减小第 2 信号电极 16 的杂散电容。其结果，能够更高速地进行强电介质存储装置 1000 中的写入及读出的工作。

而且，在本实施形态中，沿着第 2 信号电极 16 以直线状形成了强电介质层 14。通过以直线状形成强电介质层 14，能够减小第 1 信号电极 12 的杂散电容。

另外，这样的直线状的强电介质层 14 如后述那样，能够使用在第 2 信号电极 16 的构图中所使用的掩模进行构图而形成。

进而，还可以根据需要形成由绝缘层构成的保护膜使之覆盖电介质层 18 及第 2 信号电极 16。

(强电介质存储装置的工作)

其次，叙述本实施形态的强电介质存储装置 1000 中的写入、读出工作的一例。

首先，在读出工作中，在选择单元的电容器上加入读出电压「 $V_0$ 」。这同时兼作‘0’的写入工作。这时，用读出放大器读出沿着被选择的位线流过的电流或者把位线置为高阻时的电位。进而，为了防止读出时的交扰，在非选择单元的电容器上加入预定的电压。

在写入工作中，‘1’的写入时，在选择单元的电容器上加入「 $-V_0$ 」的电压。在‘0’的写入时，在选择单元的电容器上，加入不使该选择单元的极化反转的电压，以便在读出工作时保持被写入的‘0’状态。这时，为了防止写入时的交扰，在非选择单元的电容器上加入预定的电压。

(器件的制造方法)

其次，说明上述强电介质存储装置 1000 的制造方法的一个例子。图 5 及图 6 是模式地示出强电介质存储装置 1000 的制造工序的剖面图。

(1) 第 1 信号电极的形成工序

首先，如图 5 所示，在基体 10 上，形成以预定的图形排列的第 1 信号电极(下电极) 12。第 1 信号电极 12 的形成方法，例如，在基体

10 上成膜用于形成第 1 信号电极 12 的电极材料,对成膜了的电极材料进行构图。

电极材料只要是具有用于成为强电介质电容器的一部分的功能的材料则就没有特别的限制。例如,在作为构成强电介质层 14 的材料使用  
5 用了 PZT 的情况下,作为构成第 1 信号电极 12 的电极材料,能够使用白金、铱及其化合物等。作为第 1 信号电极 12 的材质,例如能够举出 Ir、IrO<sub>x</sub>、Pt、RuO<sub>x</sub>、SrRuO<sub>x</sub>、LaSrCoO<sub>x</sub>。另外,第 1 信号电极 12 能够使用单层或者叠层了多层的材料。

作为电极材料的成膜方法,能够使用溅射,真空蒸镀、CVD 等方法。  
10 作为构图方法,能够使用光刻技术。作为有选择地去除成膜了的电极材料的方法,能够使用 RIE、溅射蚀刻、等离子蚀刻等蚀刻方法。

作为电极材料的形成方法,还能够不使用基于上述蚀刻的构图,而采用使用了在第 2 实施形态中叙述的表面修饰层的方法(参照第 2 实施形态中的(器件的制造方法)栏目中的工序(1)、(2))。

#### 15 (2) 强电介质层的成膜工序

如图 5 所示,在形成了预定图形的第 1 信号电极 12 的基体 10 上,整个面地形成由强电介质构成的连续层 140(以下,把它称为「强电介质层 140」)。作为强电介质层 140 的成形方法,例如,能够举出使用了溶胶-凝胶材料或者 MOD(金属有机还原)材料的旋转涂敷法或者浸渍法、  
20 溅射法、MOCVD(金属有机化学气相淀积)法、激光磨蚀法。

作为强电介质层的材质,如果示出强感应性能够作为电容器绝缘层使用,则能够应用其组成为任意组成的材质。作为这样的强电介质,例如能够举出 PZT(PbZr<sub>z</sub>Ti<sub>1-z</sub>O<sub>3</sub>)、SBT(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>),进而,能够应用在这些材料中添加了铌或者镍、镁等金属的材料等。作为强电介  
25 质,具体地讲,能够使用钛酸铅(PbTiO<sub>3</sub>)、锆钛酸铅(Pb(Zr、Ti)O<sub>3</sub>),锆酸铅(PbZrO<sub>3</sub>)、钛酸铅镧((Pb、La)、TiO<sub>3</sub>)、锆钛酸铅镧((Pb、La)(Zr、Ti)O<sub>3</sub>)或者镁铌酸锆钛酸铅(Pb(Zr、Ti)(Mg、Nb)O<sub>3</sub>)等。

作为上述的强电介质的材料,例如在 PZT 的情况下,对于 Pb 能够  
30 使用 Pb(C<sub>2</sub>H<sub>5</sub>)<sub>4</sub>、(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>PbOCH<sub>2</sub>C(CH<sub>3</sub>)<sub>3</sub>、Pb(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>等,对于 Zr,能够使用 Zr(n-OC<sub>4</sub>H<sub>9</sub>)<sub>4</sub>、Zr(t-OC<sub>4</sub>H<sub>9</sub>)<sub>4</sub>、Zr(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>4</sub>、Zr(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>4</sub>等,对于 Ti 能够使用 Ti(i-C<sub>3</sub>H<sub>7</sub>)<sub>4</sub>等,在 SBT 的情况下,

对于 Sr 能够使用  $\text{Sr}(\text{C}_{11}\text{H}_{10}\text{O}_2)_2$  等, 对于 Bi 能够使用  $\text{Bi}(\text{C}_6\text{H}_5)_3$  等, 对于 Ta 能够使用  $\text{Ta}(\text{OC}_2\text{H}_5)_5$  等。

### (3) 第 2 信号电极的形成工序

5 如图 5 所示, 在强电介质层 140 上, 形成预定图形的第 2 信号电极 (上部电极) 16。其形成方法是, 例如, 在强电介质层 140 上成膜用于形成第 2 信号电极 16 的电极材料, 并对成膜了的电极材料进行构图。具体地讲, 在成膜了的电极材料层上形成预定图形的抗蚀剂层 30, 以该抗蚀剂层 30 为掩模, 通过有选择地蚀刻电极材料层, 形成第 2 信号电极 16。

10 关于第 2 信号电极 16 的材料, 成膜方法和使用了光刻的构图方法, 由于与上述工序 (1) 的第 1 信号电极 12 的形成工序相同, 因此省略描述。

### (4) 强电介质层的构图工序

15 如图 5 及图 6 所示, 以抗蚀剂层 30 为掩模, 进而有选择地去除强电介质层 140, 对强电介质层 14 进行构图。作为有选择地去除成膜了的强电介质材料的方法, 能够使用 RIE、溅射蚀刻、等离子蚀刻等蚀刻方法。然后, 通过众所周知的方法, 例如溶解或者灰化去除抗蚀剂层 30。

### (5) 电介质层的形成工序

20 如图 4 所示, 在由强电介质层 14 与第 2 信号电极 16 构成的叠层体的相互之间形成电介质层 18。作为电介质层 18 的形成方法, 能够使用 CVD, 特别是 MOCVD 等气相法, 或者使用了旋转涂敷法或浸渍法等液相的方法。

25 电介质层 18 如上述那样, 最好使用具有比构成强电介质电容器的强电介质层 14 小的介电常数的电介质材料。例如, 在作为强电介质层使用了 PZT 材料的情况下, 作为电介质层 18 的材料, 例如能够使用  $\text{SiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{SrTiO}_3$ 、 $\text{MgO}$  等无机材料或者聚酰亚胺等有机材料, 在作为强电介质层 14 使用了 SBT 的情况下, 作为电介质层 18 的材料, 能够使用  $\text{SiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{SrTiO}_3$ 、 $\text{SrTa}_2\text{O}_6$ 、 $\text{SrSnO}_3$  等的无机材料或者聚酰亚胺等的有机材料。

30 通过以上的工序, 形成存储单元阵列 100A。如果依据该制造方法, 则构成强电介质电容器 20 的强电介质层 14 由于把在第 2 信号电极 16

的构图中使用的抗蚀剂层 30 作为掩模，连续进行构图，因此能够减小工序数。进而这种情况下，与把各层用一个个掩模进行构图的情况相比较，由于不需要与一个掩模的配合余量，因此还能够实现存储单元阵列的高集成化。

#### 5 [第 2 实施形态]

图 7 是模式地示出具有本实施形态的强电介质电容器的存储单元阵列的主要部分的平面图，图 8 是沿着图 7 的 B—B 线的剖面图。

在本实施形态中，在具有实质上与第 1 实施形态的存储单元阵列相同功能的构件上标注相同的符号进行说明。

10 本实施形态在第 1 信号电极（下电极）上以直线状叠层并形成构成强电介质电容器的强电介质层这一点与第 1 实施形态不同。

本实施形态的存储单元阵列 100B 中，在绝缘性的基体 10 上，叠层第 1 信号电极 12、构成强电介质电容器的第 1 强电介质层 14 及第 2 信号电极 16。而且，由第 1 信号电极 12、强电介质层 14 及第 2 信号电极 16 构成强电介质电容器 20。即，在第 1 信号电极 12 与第 2 信号电极 16 的交叉区域中，分别构成由强电介质电容器 20 构成的存储单元。

如图 7 所示，在 X 方向及 Y 方向上分别以预定的间距排列第 1 信号电极 12 及第 2 信号电极 16。

20 强电介质层 14 有选择地形成在第 1 信号电极 12 上。另外，在基体 10 上，在第 1 信号电极 12 相互之间，配置了后面详述的表面修饰层 22。在该表面修饰层 22 上形成了电介质层 18。该电介质层 18 最好具有比强电介质层 14 小的介电常数。这样，通过使比强电介质层 14 的介电常数小的电介质层 18 介于由第 1 信号电极 12 和强电介质层 14 构成的叠层体的相互之间，能够减小第 2 信号电极 16 的杂散电容。其结果，能够更高速地进行强电介质存储装置中的写入及读出的工作。

#### (器件的制造方法)

图 9 到图 12 是模式地示出本实施形态的存储单元阵列 100B 的制造工序的剖面图。

#### 30 (1) 表面修饰层的形成

首先，进行对基体 10 的表面特性提供选择性的工序。这里，所谓对基体 10 的表面特性提供选择性，指的是在基体 10 表面上形成对于

用于在该表面进行堆积的材料湿润性等表面特性不同的区域。

在本实施形态中，如图9所示，具体地讲，在基体10的表面上形成第1区域24和第2区域26，其中，所述第1区域24具有对于用于形成构成强电介质电容器的构件的材料、特别是用于形成电极的材料  
5 的亲和性，所述第2区域26对于用于形成构成强电介质电容器的构件的材料、特别是用于形成电极的材料比第1区域24的亲和性小。而且，在后续的工序中，利用该表面特性的差异，根据在各区域之间的材料的堆积速度或者与基体的粘接性方面的选择性，在第1区域24中，有选择地形成强电介质电容器。

10 即，在后续的工序中，例如应用化学气相生长法（CVD法）、物理气相生长法或者液相法，能够在第1区域24以选择性的堆积工艺过程形成强电介质电容器的第1信号电极12及强电介质层14的至少一方。在该情况下，例如在基体10的表面具有易于堆积用于形成构成强电介质电容器的构件的材料的性质的情况下，在第1区域24中使表面露  
15 出，在第2区域26中形成难以堆积上述材料的表面修饰层22，能够对于用于形成构成强电介质电容器的构件的材料的堆积提供选择性。

在本实施形态中，在基体10表面的整个面上形成了表面修饰层以后，如图9所示，在第1区域24中去除表面修饰层，在第2区域26中残留表面修饰层22。详细地讲进行以下的工序。

20 表面修饰层22既可以通过CVD等气相生长法形成，也可以通过使用了旋转涂敷法或者浸渍法等液相的方法形成，在该情况下，使用在液体或者溶剂中溶解的物质。作为这样的物质，例如能够使用硅烷偶联剂（有机硅化合物）或者硫醇化合物。

25 这里，所谓硫醇化合物，指的是具有氢硫基（-SH）的有机化合物（ $R^1-SH$ ； $R^1$ 是烷基等可置换的烃基）的总称。把这样的硫醇化合物例如溶解在二氯甲烷、三氯甲烷等有机溶剂中，做成0.1~10mM左右的溶液。

30 另外，所谓硅烷偶联剂，是用 $R^2_nSiX_{4-n}$ （ $n$ 是自然数， $R^2$ 是氢、烷基等可置换的烃基）表示的化合物， $X$ 是 $-OR^3$ 、 $-COOH$ 、 $-OOCR^3$ 、 $-NH_3-nR^3_n$ 、 $-OCN$ 、卤素等（ $R^3$ 是烷基等可置换的烃基）。在这些硅烷偶联剂及硫醇化合物中，特别是具有 $R^1$ 或者 $R^3$ 是 $C_nF_{2n+1}C_mH_{2m}$ （ $n$ 、 $m$ 是自然数）那样氟原子的化合物由于表面自由能量升高而与其它材料的亲

和性减小，因此特别适于使用。

另外，能够使用以基于由具有氢硫基或者 -COOH 基的化合物的上述方法得到的膜。基于以上材料的膜通过适当的方法能够以单分子膜或者其累积膜的形式使用。

5        在本实施形态中，如图 9 所示，在第 1 区域 24 中不形成表面修饰层。作为表面修饰层 22 例如使用了硅烷偶联剂时，通过照射光，在与基体 10 的界面上有时将切断并去除分子的结合。在由这样的光进行的构图中，能够应用以光刻进行的掩模曝光。或者，也可以不使用掩模，而通过激光、电子束或者离子束等直接进行构图。

10       另外，在其它的基体上形成表面修饰层 22 自身，通过将其转移而在第 2 区域 26 中有选择地形成表面修饰层 22，还能够在与成膜的同时进行构图。

      这样，如图 9 所示，在第 1 区域 24 与成为用表面修饰层 22 覆盖的状态的第 2 区域 26 之间，使表面状态不同，能够在后续的工序中、  
15       在与用于形成构成的强电介质电容器的构件的材料亲和性方面产生差异。特别是，如果表面修饰层 22 由于具有氟分子等理由而具有疏水性，例如，在以液相提供构成强电介质电容器的构件的材料时，则能够在第 1 区域 24 中有选择地提供该材料。另外，根据表面修饰层 22 的材料，在不存在修饰层的第 1 区域 24 中，能够利用与用于形成上述  
20       构件的材料亲和性进行基于气相法的成膜。这样，对第 1 区域 24 和第 2 区域 26 的表面性质提供选择性，能够在后续的工序中形成强电介质存储装置的强电介质电容器的构件（在本实施形态中是第 1 信号电极 12 及强电介质层 14）。

#### （2）第 1 信号电极的形成工序

25       如图 10 所示，对应于第 1 区域 24 形成成为强电介质电容器的下部电极的第 1 信号电极 12。例如，对于基体 10 的表面的总体，进行基于气相法的成膜工序。通过这样做，进行选择堆积工艺过程。即，由于在第 1 区域 24 中进行成膜、在第 2 区域 26 中难以进行成膜，因此  
      仅在第 1 区域 24 中形成第 1 信号电极 12。这里，作为气相法最好应用  
30       CVD，特别是 MOCVD。在第 2 区域 26 中，最好完全不进行成膜，但也可以在成膜速度方面比第 1 区域 24 中的成膜迟缓两个数量级以上。

      另外，在第 1 信号电极 12 的形成方面还可以采用以液相的状态在



第1区域24中有选择地供给其材料的溶液的方法,或者使用超声波等把其材料的溶液雾化而有选择地提供给第1区域24的雾化淀积法。

5 作为构成第1信号电极12的材料,与在第1实施形态中叙述的相同,例如能够使用白金、铱等。在基体10上形成第1区域24和包括上述那样材料的表面修饰层22(第2区域26),在形成了表面特性的选择性时,对于白金,例如把 $(C_5H_7O_2)_2Pt$ 、 $(C_5HFO_2)_2Pt$ 、 $(C_3H_5)(C_5H_5)Pt$ 作为用于形成电极的材料,对于铱,例如把 $(C_3H_5)_3Ir$ 作为用于形成电极的材料来使用,能够使其有选择地堆积。

### (3) 强电介质层的形成工序

10 如图11所示在第1信号电极12上形成强电介质层14。详细地讲,对于基体10表面的总体,例如进行基于气相法的成膜工序。通过这样做,由于在第1信号电极12上进行成膜而在第2区域26中难以进行成膜,因此仅在第1信号电极12上形成强电介质层14。这里,作为气相法,能够应用CVD,特别是MOCVD。

15 另外,在强电介质层14的形成方面,还能够采取:利用喷墨法等将其材料的溶液以液相的状态有选择地供给到形成于第2区域26以外的区域中的第1信号电极12上的方法,或者使用超声波等把其材料的溶液雾化而有选择地供给到第2区域26以外的部分中的雾化淀积法。

20 作为强电介质层14,如果示出强介电性、能够作为电容器绝缘层来使用,则能应用其组成为任意组成的材料。例如,除去SBT系列材料、PZT系列材料以外,还能够应用添加了铌或者氧化镍、氧化镁等金属氧化物的材料。作为强电介质的具体例子,能够例示与在第1实施形态中叙述了的相同的介质。进而,作为强电介质材料的具体例子,能够例示与在第1实施形态中叙述过的相同的材料。

### 25 (4) 电介质层的形成工序

30 如图12所示,在第2区域26上,即,在形成了第1区域24的、由第1信号电极12和强电介质层14构成的叠层体的相互之间的区域中,形成电介质层18。作为电介质层18的形成方法,能够使用CVD、特别是MOCVD等气相法,或者采用了旋转涂敷法和浸渍法等液相的方法。最好例如通过CMP(化学机械研磨)法等对电介质层18进行平坦化,使之具有与强电介质层14相同水平的平面。这样,通过把电介质层18平坦化,能够容易而且正确地进行第2信号电极16的形成。

电介质层 18 最好使用具有比构成强电介质电容器的强电介质层 14 小的介电常数的电介质材料。例如，在作为强电介质层使用了 PZT 材料的情况下，作为电介质层 18 的材料，例如能够使用  $\text{SiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{SrTiO}_3$ 、 $\text{MgO}$  等无机材料或者聚酰亚胺等有机材料，在作为强电介质层 14 使用了 SBT 的情况下，作为电介质层 18 的材料，能够使用  $\text{SiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{SrTiO}_3$ 、 $\text{SrTa}_2\text{O}_6$ 、 $\text{SrSnO}_3$  等无机材料或者聚酰亚胺等有机材料。

#### (5) 第 2 信号电极的形成工序

如图 8 所示，在强电介质层 14 及电介质层 18 上形成预定图形的第 2 信号电极（上部电极）16。其形成方法是，例如在强电介质层 14 及电介质层 18 上成膜用于形成第 2 信号电极 16 的电极材料，并对成膜了的电极材料进行构图。

电极材料只要是具有用于成为强电介质电容器的一部分的功能的材料就没有特别的限制。例如，在作为构成强电介质层 14 的材料使用 PZT 的情况下，与第 1 实施形态相同，作为构成第 2 信号电极 16 的电极材料，能够使用白金、铱及其化合物等。第 2 信号电极 16 能够使用单层或者叠层了多层的材料。

作为电极材料的成膜方法，与第 1 实施形态相同，可以使用溅射、真空蒸镀、CVD 等方法。作为构图方法，可以使用光刻技术。

进而，根据需要，在强电介质层 14、电介质层 18 及第 2 信号电极 16 的表面整体地形成绝缘性的保护层。这样，能够形成本实施形态的存储单元阵列 100B。

如果依据本实施形态的制造方法，则能够在第 1 区域 24 中有选择地形成构成强电介质电容器的至少一个构件，在第 2 区域 26 中难以形成该构件。这样，能够不进行蚀刻，而形成第 1 信号电极（下电极）及强电介质层的至少一个（在本实施形态中是第 1 信号电极 12 及强电介质层 14）。如果依据该方法，则能够避免像作为第 1 信号电极的构图使用了溅射蚀刻时那样起因于由蚀刻生成的二次生成物的再次附着物的问题。

在本实施形态的制造方法中，还可以在图 11 所示的工序以后，在第 2 区域 26 上，去除表面修饰层 22。该工序在完成了第 1 信号电极 12 及强电介质层 14 的成膜工序以后进行。例如，能够以在表面修饰层的构图工序中说明过的方法，去除表面修饰层 22。在去除表面修饰层

22 时,最好也去除在其上面附着的物质。例如,在表面修饰层 22 上附着了第 1 信号电极 12 或者强电介质层 14 的材料时,也可以把它们去除。另外,去除表面修饰层 22 的工序并不是本发明的必要条件,也可以残留表面修饰层 22。

5 另外,在第 1 信号电极 12 的侧面形成了强电介质层 14 的情况下,最好把它们去除。在去除工序中,例如能够应用于干法蚀刻。

在上述实施形态中,在第 2 区域 26 中形成表面修饰层 22,使得第 1 区域 24 及第 2 区域 26 的表面的每一个成为堆积容易程度不同的表面特性,其中,堆积容易程度即是用于形成跟着形成的强电介质电容器的至少一个构件(第 1 信号电极及强电介质层的至少一方)的材料  
10 的堆积性。作为其变形例,可以在第 1 区域 24 中形成表面修饰层 22、调制液相或者气相的组成、使得对于表面修饰层 22 的表面优先地堆积用于形成强电介质电容器的至少一个构件的材料,在第 1 区域 24 中有选择地形成强电介质电容器。

15 另外,例如在第 2 区域 26 的表面上有选择地形成上述那样表面修饰层的薄层,对包含第 1 区域 24 及第 2 区域 26 的整个面上以气相或者液相供给用于形成强电介质电容器的至少一个构件的材料,在整个面上形成该构件材料的层,使用抛光或化学方法、仅有选择地去除表面修饰膜的薄层上的该构件的材料层,能够在第 1 区域 24 上有选择地  
20 得到该构件的材料层。

另外,也可以在第 1 区域 24 及第 2 区域 26 的每一个表面上不特别明确地设置层而是有选择地进行表面处理,在第 1 区域 24 上优先堆积用于形成强电介质电容器的至少一个构件的材料。

在本实施形态中作为特征的、有关使用了表面修饰层的第 1 信号  
25 电极(下电极)以及强电介质层的形成,记载在基于本发明申请人的 PCT 申请(申请号 PCT/JP00/03590)中。

### [第 3 实施形态]

图 13 是模式地示出具有本实施形态的强电介质电容器的存储单元阵列的主要部分的平面图,图 14 是沿着图 13 的 C—C 线的剖面图,图  
30 15 是沿着图 13 的 D1—D1 线的剖面图,图 16 是沿着图 13 的 D2—D2 线的剖面图。

在本实施形态中,在具有实质上与第 1 实施形态的存储单元阵列

相同功能的构件上标注相同的符号进行说明。

本实施形态在构成强电介质电容器的强电介质层仅形成于第 1 信号电极与第 2 信号电极的交叉区域中这一点上，与第 1 及第 2 实施形态不同。

5 本实施形态的存储单元阵列 100C 中，在绝缘性的基体 10 上，叠层了第 1 信号电极 12、构成强电介质电容器的强电介质层 14 及第 2 信号电极 16。而且，由第 1 信号电极 12、强电介质层 14 及第 2 信号电极 16 构成强电介质电容器 20。即，在第 1 信号电极 12 与第 2 信号电极 16 的交叉区域中，分别构成由强电介质电容器 20 构成的存储单元。如图 13 所示那样，分别以预定的间距在 X 方向及 Y 方向上排列第 1 信号电极 12 及第 2 信号电极 16。

10 强电介质层 14 仅有选择地形成在第 1 信号电极 12 及第 2 信号电极 16 的交叉区域中。如图 14 所示，如果沿着第 2 信号电极 16 观看，则在基体 10 上，在第 1 信号电极 12 上叠层强电介质层 14 及第 2 信号电极 16，而且，在第 1 信号电极 12 的相互之间配置表面修饰层 22，在该表面修饰层 22 上形成了电介质层 18。另外，如图 15 所示，如果沿着第 1 信号电极 12 观看，则第 1 信号电极 12 的预定位置上叠层了强电介质层 14 和第 2 信号电极 16。而且，强电介质层 14 及第 2 信号电极 16 的叠层体的相互之间不存在任何层的状态。如图 15 所示，如果沿着第 1 信号电极 12 上观看，则第 1 信号电极 12 的预定位置上叠层了强电介质层 14 和第 2 信号电极 16。如图 16 所示，如果在 X 方向上观看没有形成第 1 信号电极 12 的部分，则在表面修饰层 22 上的预定位置上叠层了电介质层 18 和第 2 信号电极 16。而且，在强电介质层 14 及第 2 信号电极 16 的叠层体的相互之间、以及在电介质层 18 及第 2 信号电极 16 的叠层体的相互之间，能够根据需要形成电介质层。

20 电介质层 18 及根据需要所形成的上述电介质层最好具有比强电介质层 14 小的介电常数。使比强电介质层 14 的介电常数小的电介质层介于这样由第 1 信号电极 12 及强电介质层 14 构成的叠层体的相互之间、或者由强电介质层 14 以及第 2 信号电极 16 构成的叠层体的相互之间，由此，能够减小第 1 信号电极 12 及第 2 信号电极 16 的杂散电容。其结果，能够更高速地进行强电介质存储装置中的写入及读出的

工作。

另外，在本实施形态中，构成强电介质电容器 20 的强电介质层 14 仅形成在第 1 信号电极 12 与第 2 信号电极 16 的交叉区域中。如果依据这样的结构，则在能够减小第 1 信号电极 12 及第 2 信号电极 16 双方的杂散电容方面是有利的。

(器件的制造方法)

图 17~图 24 是模式地示出本实施形态的存储单元阵列 100C 的制造工序的剖面图。

(1) 表面修饰层的形成

首先，进行对基体 10 的表面特性提供选择性的工序。这里，所谓对基体 10 的表面特性提供选择性，指的是在基体 10 表面上形成对于用于在该表面进行堆积的材料湿润性等表面特性不同的区域。关于这一点由于在第 2 实施形态中已详细地作了说明，故简单地进行说明。

在本实施形态中，如图 9 所示，具体地讲，在基体 10 的表面上形成第 1 区域 24 和第 2 区域 26，其中，所述第 1 区域 24 具有对于用于形成构成强电介质电容器的构件的材料、特别是用于形成电极的材料亲和性，所述第 2 区域 26 对于用于形成构成强电介质电容器的构件的材料、特别是用于形成电极的材料比第 1 区域 24 的亲和性小。而且，在后续的工序中，利用该表面特性的差异，根据在各区域之间的材料的堆积速度或者与基体的粘接性方面的选择性，在第 1 区域 24 中，有选择地形成强电介质电容器。

即，例如在基体 10 的表面具有易于堆积用于形成构成强电介质电容器的构件的材料的性质的情况下，在第 1 区域 24 中使表面露出，在第 2 区域 26 中形成难以堆积上述材料的表面修饰层 22，能够对于用于形成构成强电介质电容器的构件的材料的堆积提供选择性。

在本实施形态中，在基体 10 表面的整个面上形成了表面修饰层以后，如图 18 所示，在第 1 区域 24 中去除表面修饰层，在第 2 区域 26 中残留表面修饰层 22。关于表面修饰层 22 的形成方法，能够采用与在第 2 实施形态中叙述过的方法相同的方法。

(2) 第 1 信号电极的形成工序

如图 19 所示，对应于第 1 区域 24 形成成为强电介质电容器的下部电极的第 1 信号电极 12。关于第 1 信号电极 12 的形成方法及电极材

料能够采用与在第 2 实施形态中叙述过的相同的方法和材料。

### (3) 强电介质层的形成工序

如图 20 所示, 在第 1 信号电极 12 上形成强电介质层 140。详细地讲, 对于基体 10 表面的总体, 例如进行基于气相法的成膜工序。通过这样做, 由于在第 1 信号电极 12 上进行成膜而在第 2 区域 26 中难以进行成膜, 因此仅在第 1 信号电极 12 上形成强电介质层 140。作为强电介质层 140 的成膜方法, 能够采用与在第 2 实施形态中叙述过的相同的方法。

作为强电介质层 14, 如果示出强介电性、能够作为电容器绝缘层来使用, 则能应用其组成为任意组成的材料。例如, 除去 SBT 系列材料、PZT 系列材料以外, 还能够应用添加了铌或者镍、镁等金属等材料等。作为强电介质的具体例子, 能够例示与在第 1 实施形态中叙述过的相同的介质。进而, 作为强电介质材料的具体例子, 能够例示与在第 1 实施形态中叙述过的相同的材料。

### (4) 电介质层的形成工序

如图 17 及图 21 所示, 在第 2 区域 26 上, 即, 在形成了第 1 区域 24 的、由第 1 信号电极 12 和强电介质层 14 构成的叠层体的相互之间的区域中, 形成电介质层 180。图 21 是沿着图 17 的 E—E 线的剖面图。

作为电介质层 180 的形成方法, 能够采用与在第 1 实施形态中叙述过的相同的方法。进而, 最好通过例如 CMP 法等对电介质层 180 进行平坦化, 使之具有与强电介质层 140 相同水平的表面。通过这样把电介质层 180 平坦化, 能够容易而且正确地进行第 2 信号电极 160 的形成。

电介质层 180 最好使用具有比构成强电介质电容器的强电介质层 14 小的介电常数的电介质材料。例如, 在作为强电介质层在使用了 PZT 材料的情况下, 作为电介质层 180 的材料, 例如能够使用  $\text{SiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{SrTiO}_3$ 、 $\text{MgO}$  等无机材料或者聚酰亚胺等有机材料, 在作为强电介质层 14 使用了 SBT 的情况下, 作为电介质层 180 的材料, 能够使用  $\text{SiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{SrTiO}_3$ 、 $\text{SrTa}_2\text{O}_6$ 、 $\text{SrSnO}_3$  等无机材料或者聚酰亚胺等有机材料。

通过以上的工序 (1) ~ (4), 在第 1 区域 24 中叠层第 1 信号电极 12 及强电介质层 140, 在第 2 区域 26 中叠层表面修饰层 22 及电介质层 180。

### (5) 第2信号电极的形成工序

如图 22 ~ 图 24 所示, 在强电介质层 140 及电介质层 180 上形成预定图形的第 2 信号电极 (上部电极) 16。其形成方法是, 例如在强电介质层 140 及电介质层 180 上成膜用于形成第 2 信号电极 16 的电极材料, 并对成膜了的电极材料进行构图。

电极材料只要是具有用于成为强电介质电容器的一部分的功能的材料就没有特别限制。作为构成强电介质层 140 的材料, 可以采用与在第 1 实施形态中叙述过的相同的材料。另外, 作为电极材料的成膜方法, 与第 1 实施形态相同, 能够使用溅射、真空蒸镀、CVD 等方法, 作为构图方法, 能够利用光刻技术。

例如, 与第 1 实施形态相同, 在用于第 2 信号电极 16 的电极材料层上形成未图示的抗蚀剂层, 通过以该抗蚀剂层为掩模进行蚀刻, 能够对第 2 信号电极 16 进行构图。

### (6) 强电介质层的构图工序

如图 15 及图 16 所示, 以未图示的抗蚀剂层为掩模, 进而有选择地去除强电介质层 140, 对强电介质层 14 进行构图。作为有选择地去除成膜了的强电介质材料的方法, 与第 1 实施形态相同, 能够使用 RIE、溅射蚀刻、等离子蚀刻等蚀刻方法。然后, 通过众所周知的方法例如溶解或者灰化去除抗蚀剂层。

### (7) 电介质层的形成工序

进而, 根据需要, 在由强电介质层 14 和第 2 信号电极 16 构成的叠层体的相互之间, 以及由表面修饰层 22 和第 2 信号电极 16 构成的叠层体的相互之间, 形成未图示的电介质层。作为电介质层的形成方法, 能够使用与工序 (4) 的电介质层 180 相同的方法。

通过以上的工序, 形成存储单元阵列 100C。如果依据该制造方法, 则具有第 1 实施形态及第 2 实施形态中的优点。即, 能够不进行蚀刻而形成第 1 信号电极 (下电极) 及强电介质层的至少一个 (在本实施形态中是第 1 信号电极 12 及强电介质层 14)。从而, 能够避免像作为第 1 信号电极的构图使用了溅射蚀刻时那样, 起因于由蚀刻生成的二次生成物的再次附着物的问题。另外, 由于把在第 2 信号电极 16 的构图中使用的抗蚀剂层作为掩模连续地进行构图, 因此能够减少工序数。进而这种情况与用一个个掩模对各层进行构图的情况相比较, 由

于不需要一个掩模的配合余量，因此还能够进行存储单元阵列的高集成化。

以上示出了在不存在强电介质电容器的区域中形成电介质层18或者180的例子，当然，本发明也能够应用在不设置电介质层18或者180的结构中。



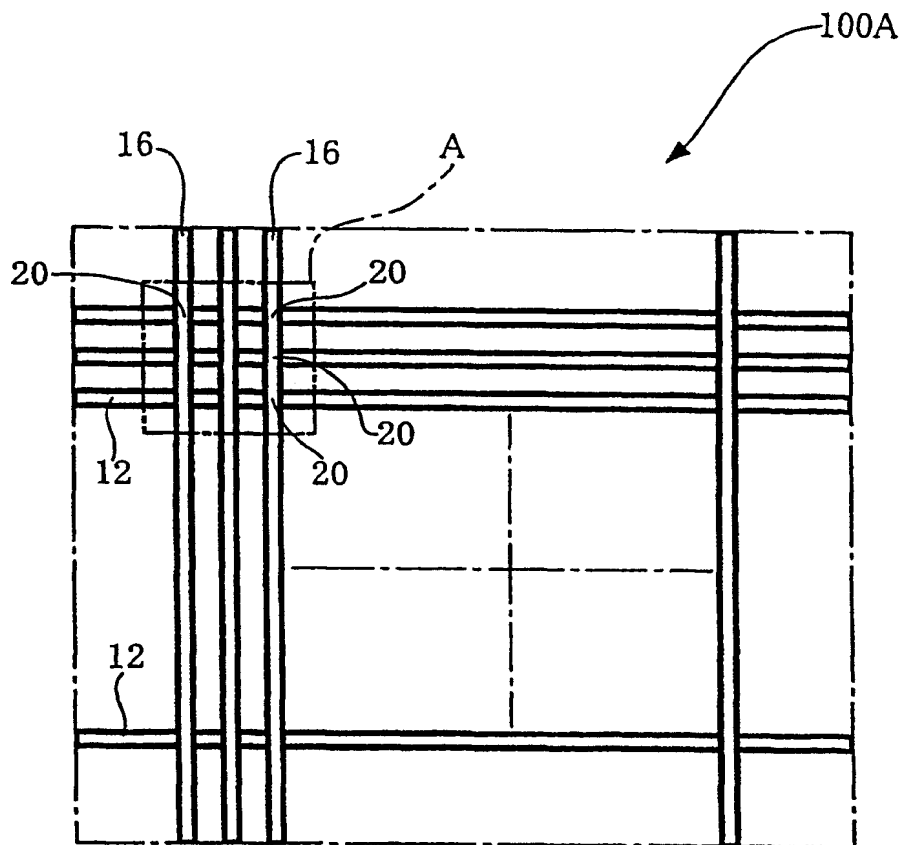


图 1

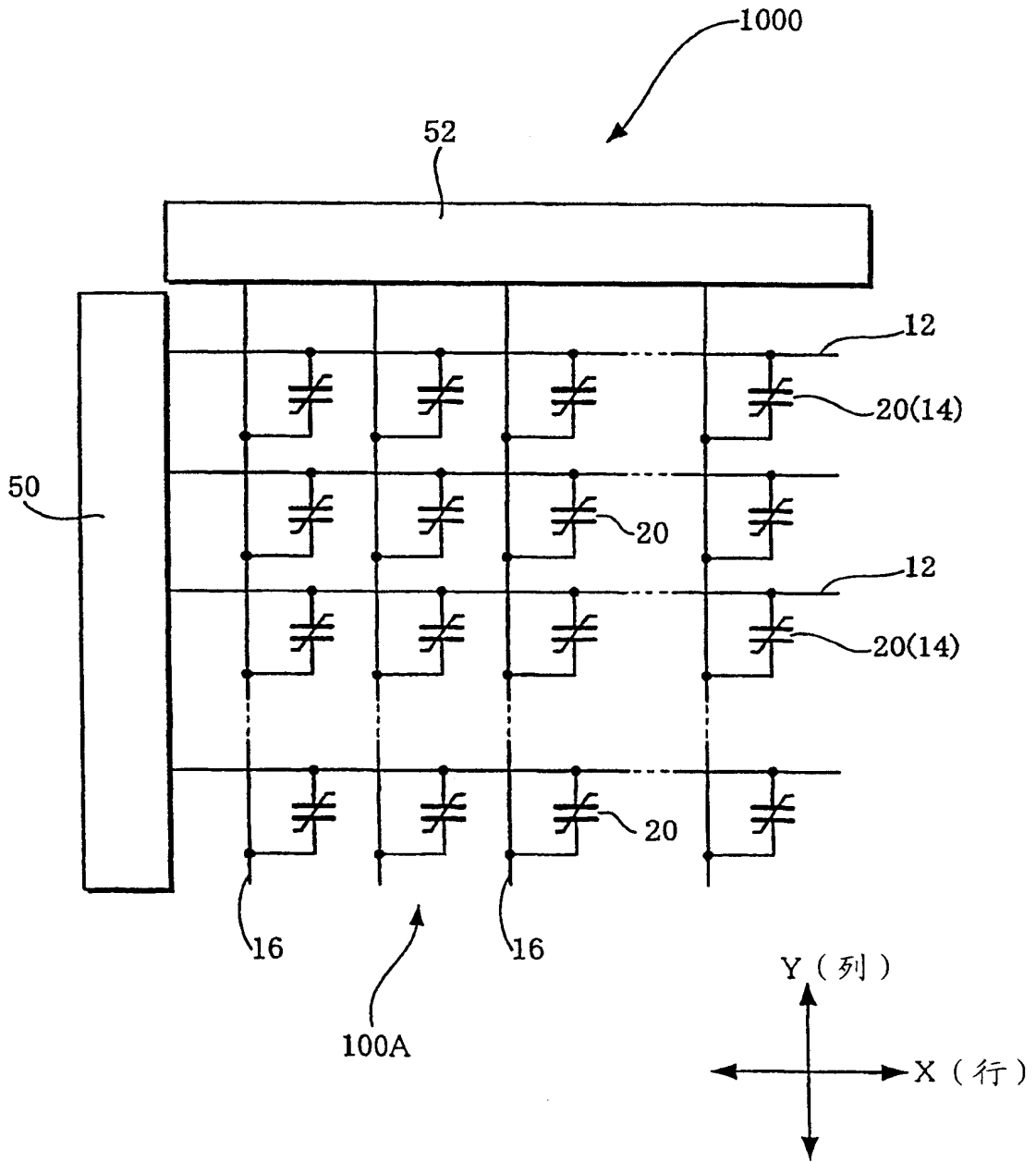


图 2

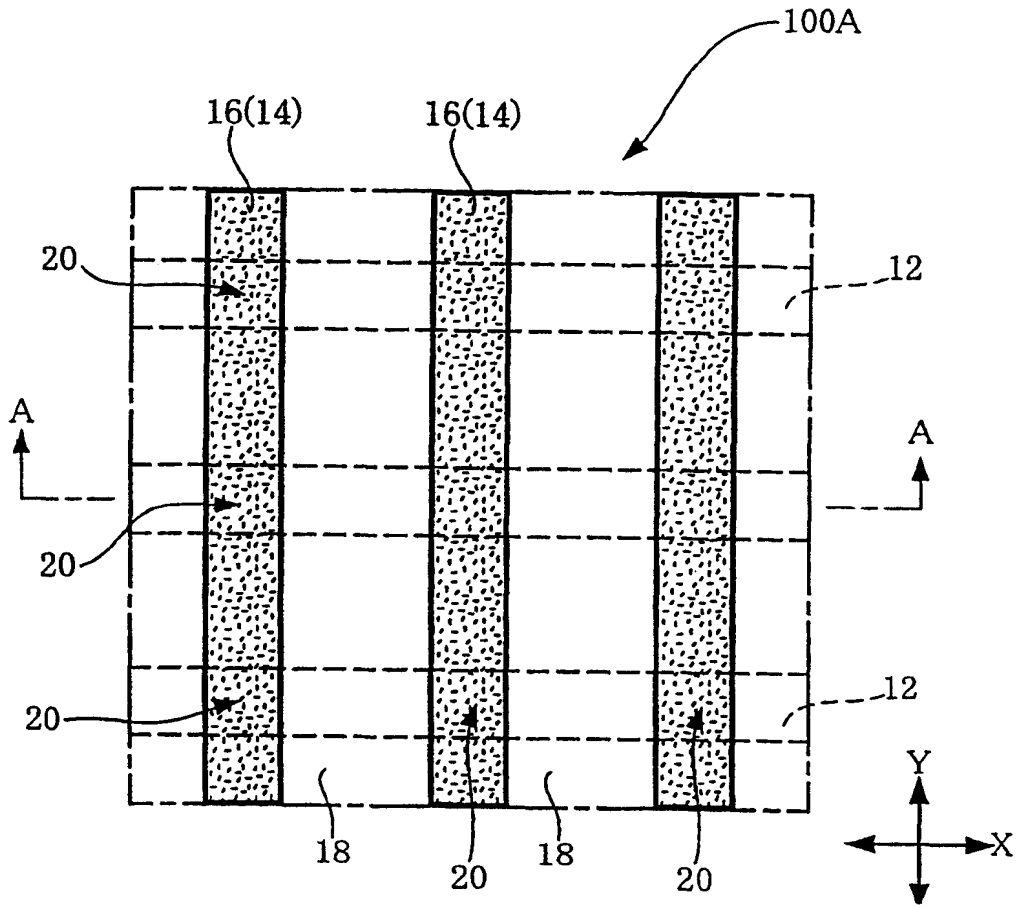


图 3

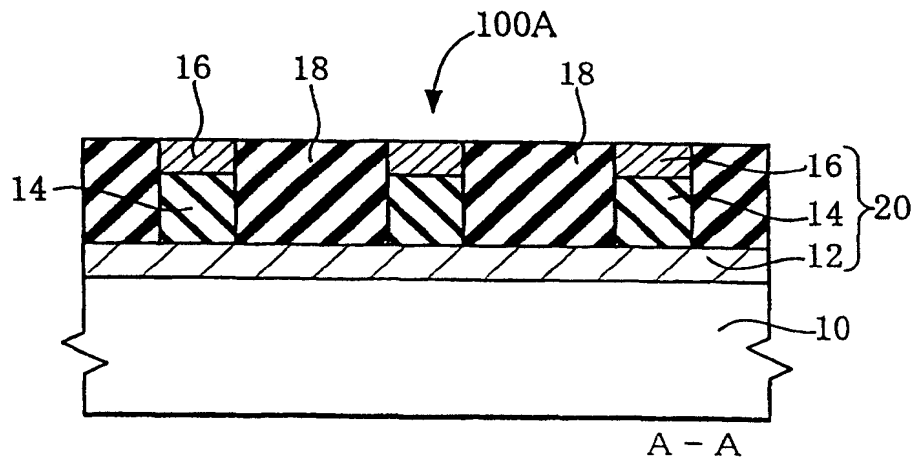


图 4

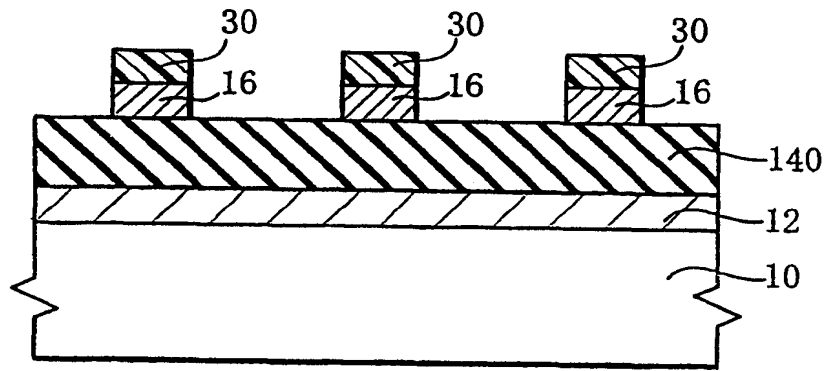


图 5

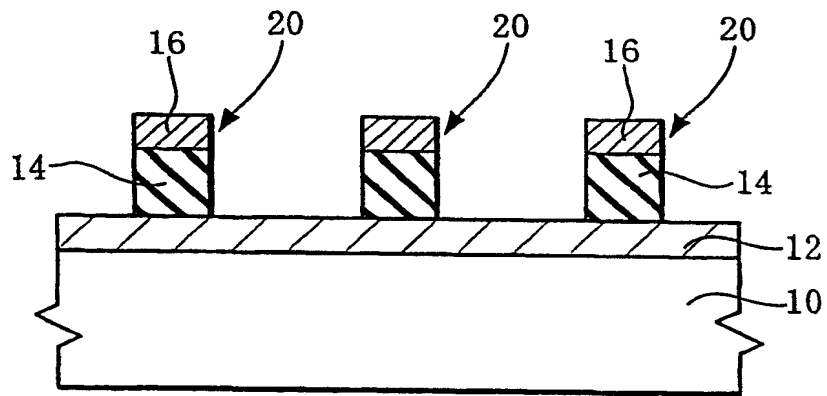


图 6

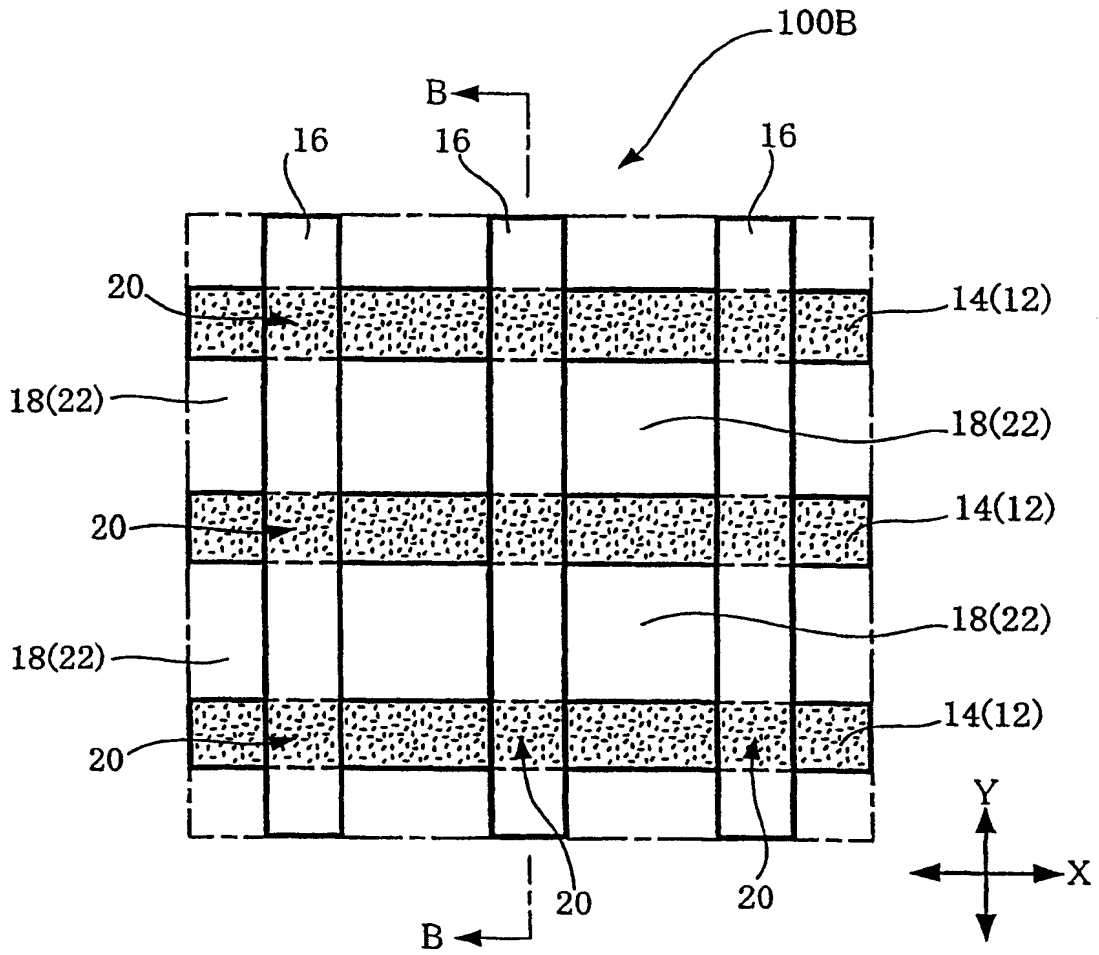


图 7

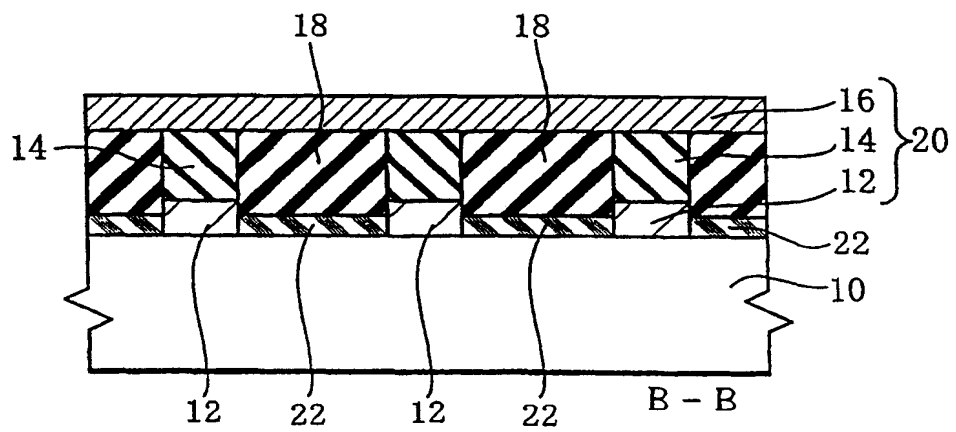


图 8

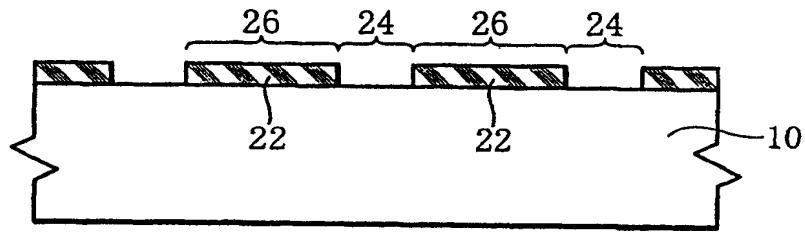


图 9

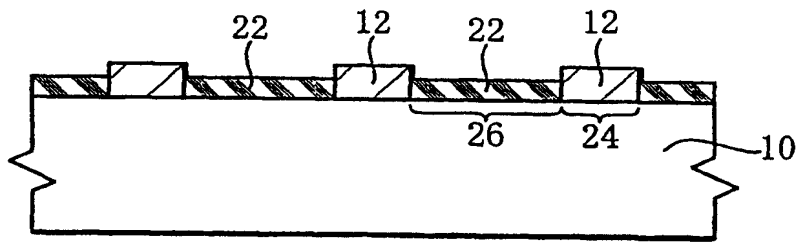


图 10

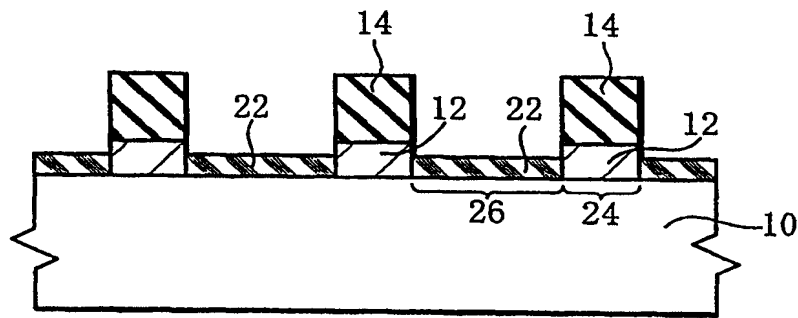


图 11

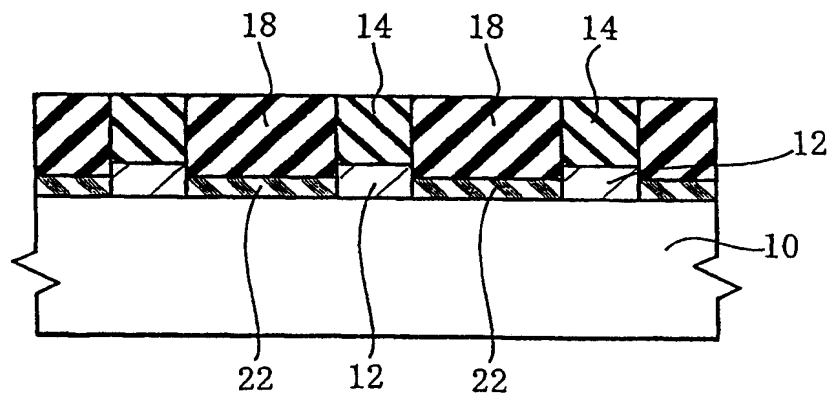


图 12

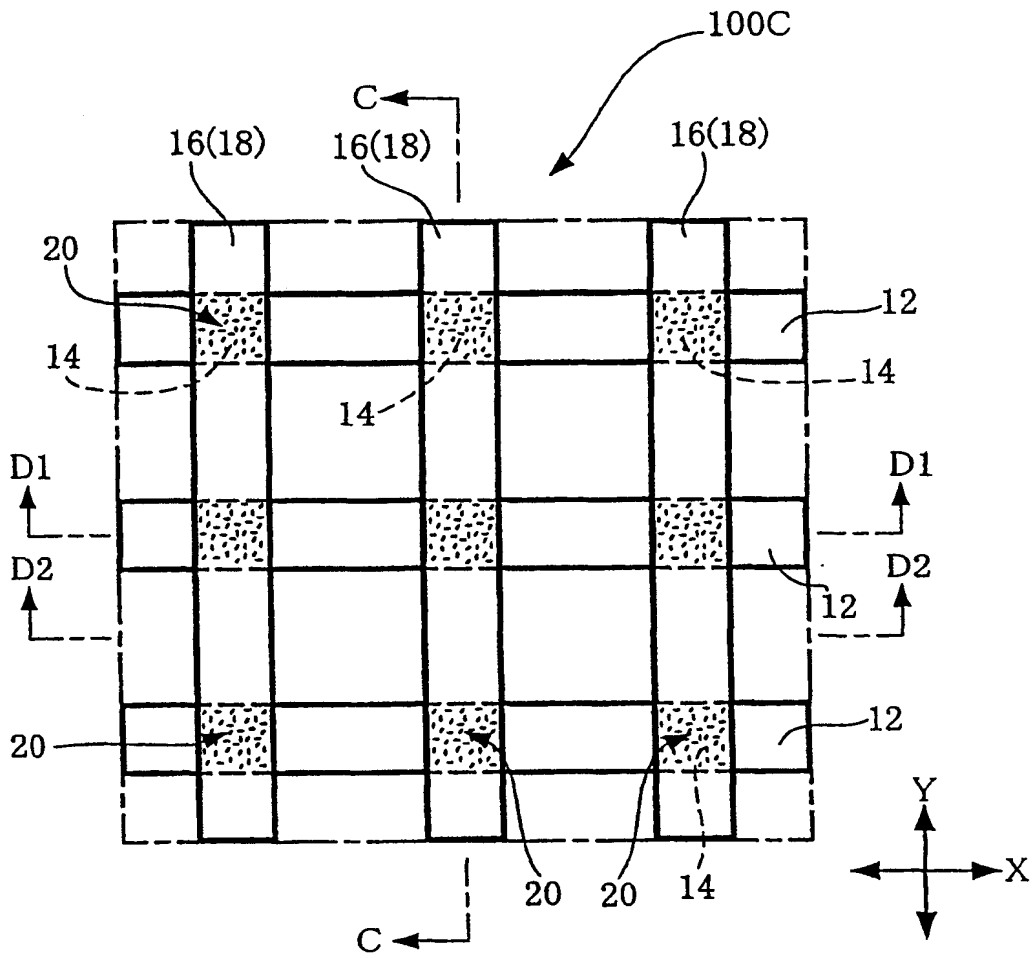


图 13

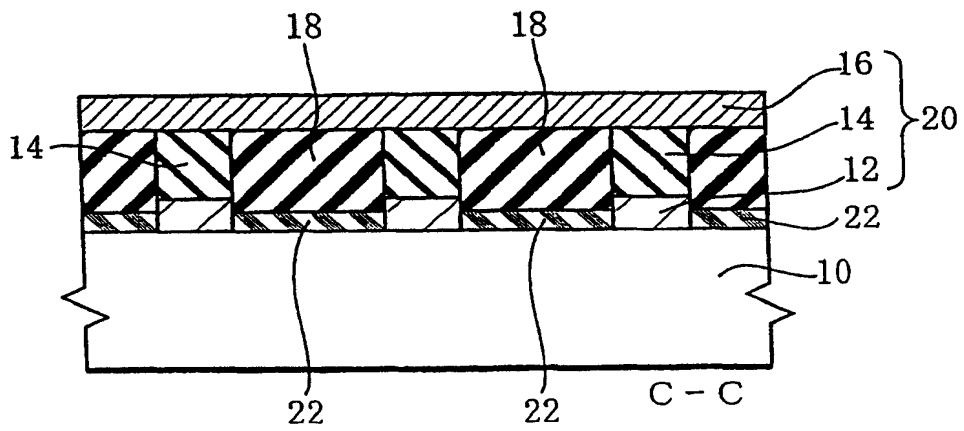


图 14

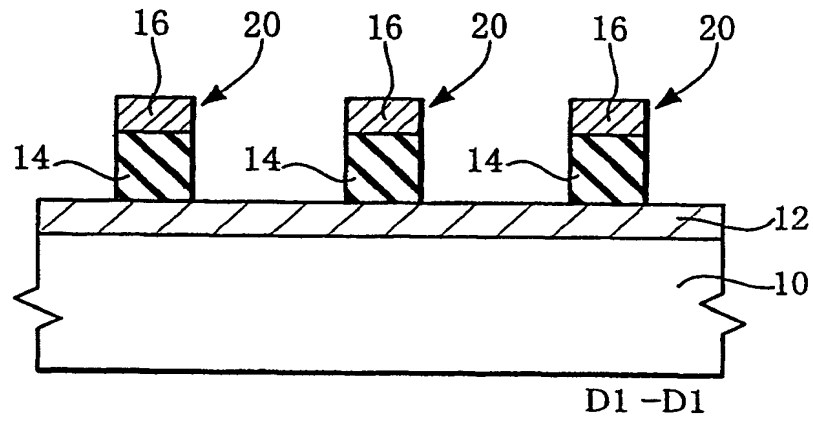


图 15

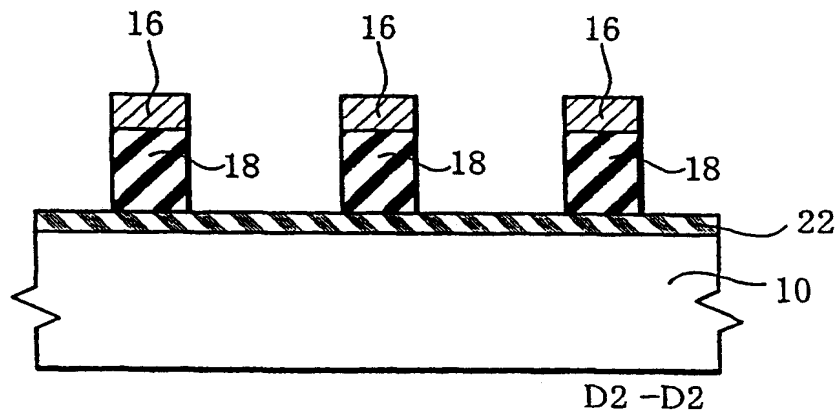


图 16



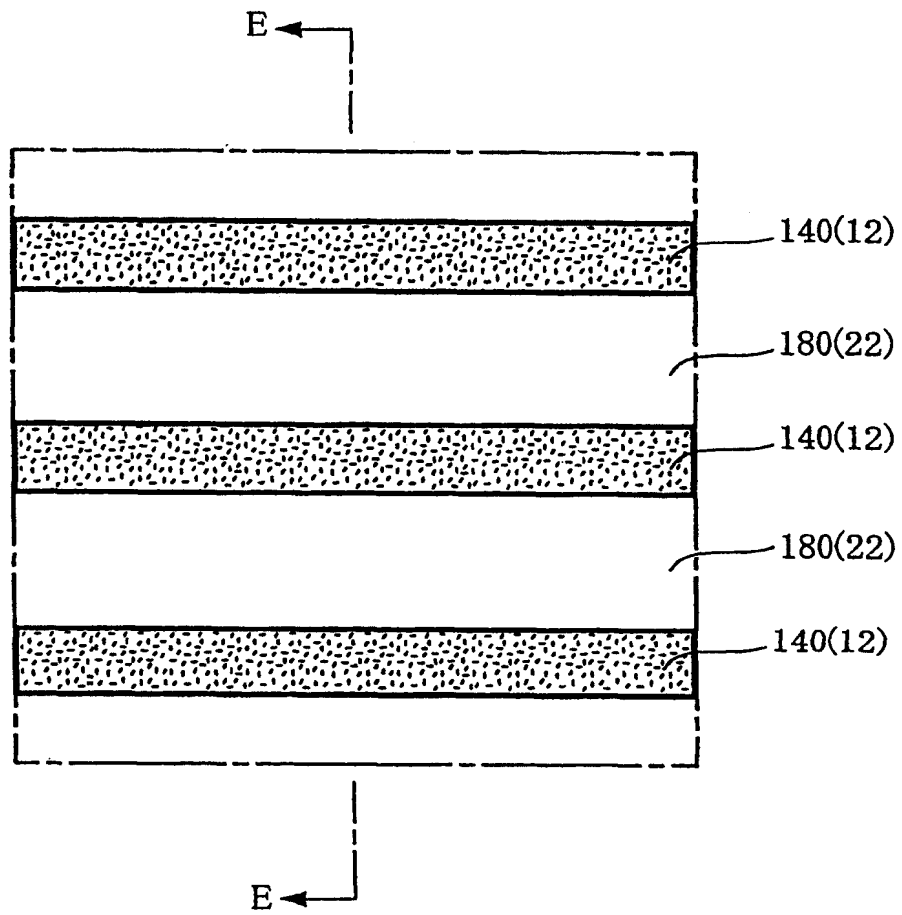


图 17

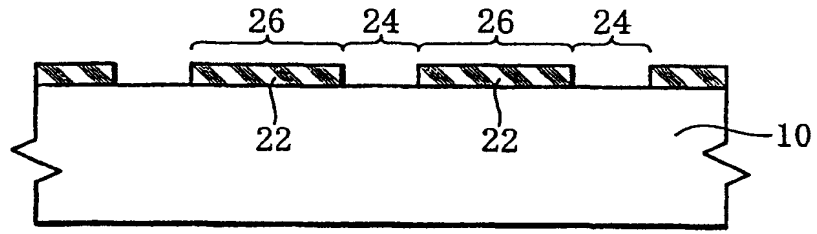


图 18

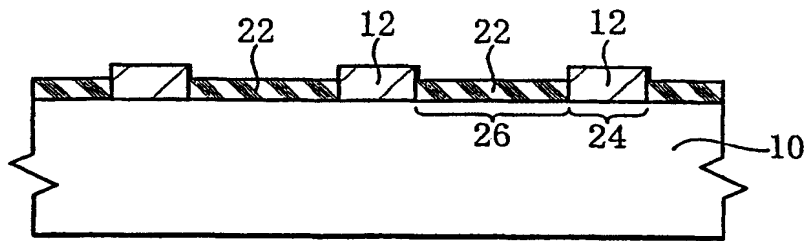


图 19

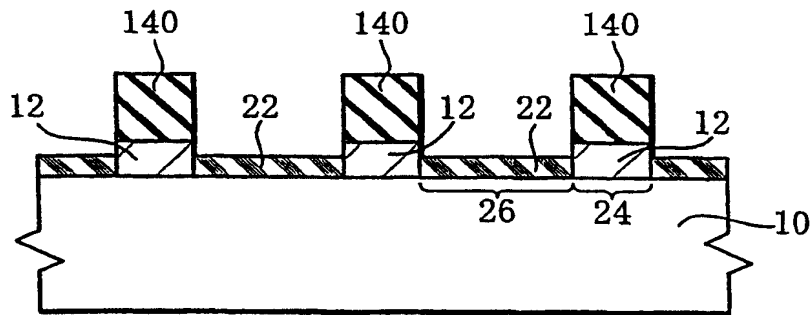


图 20

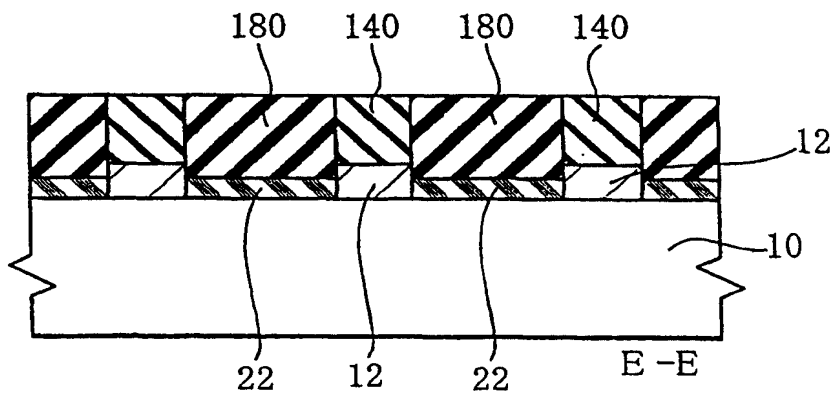


图 21

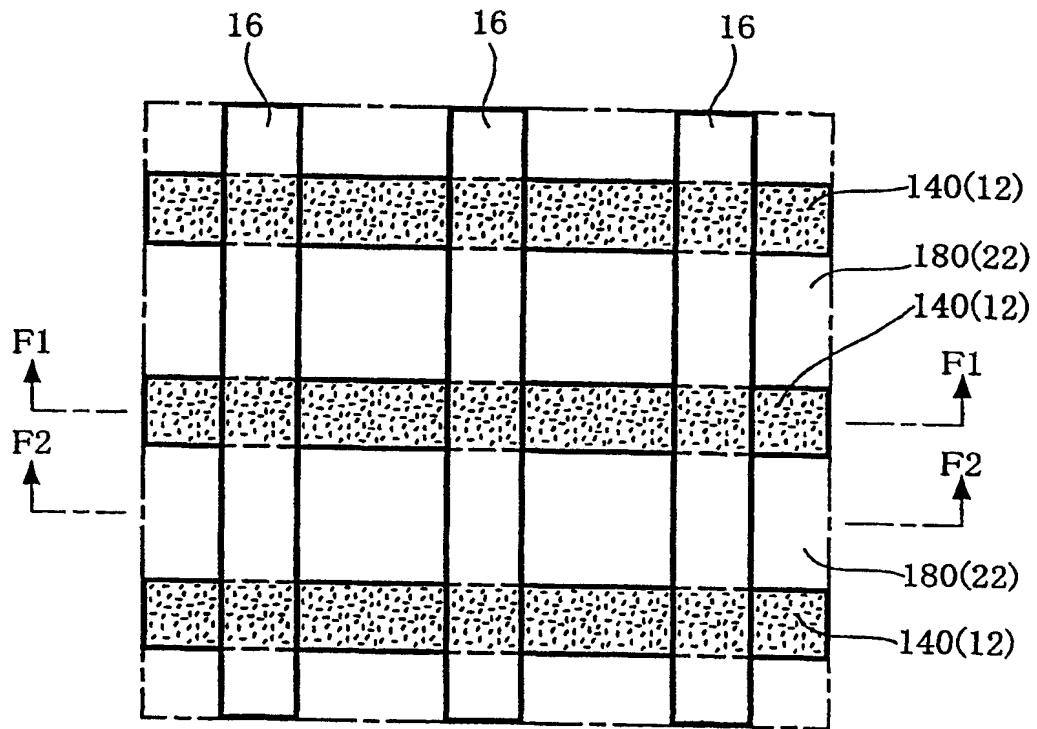


图 22

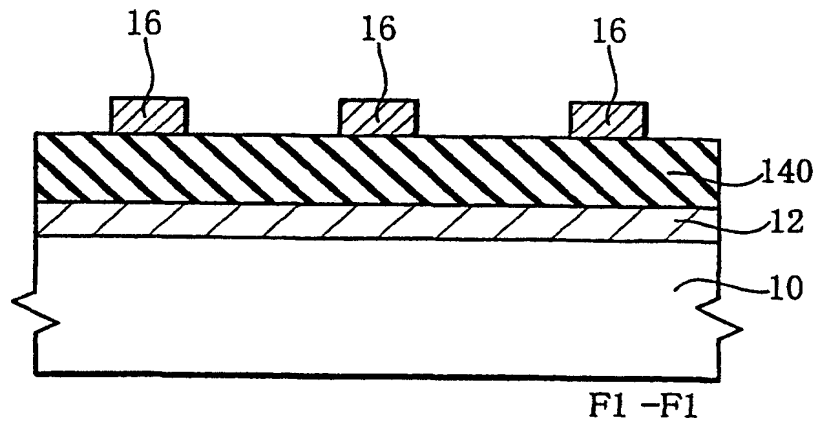


图 23

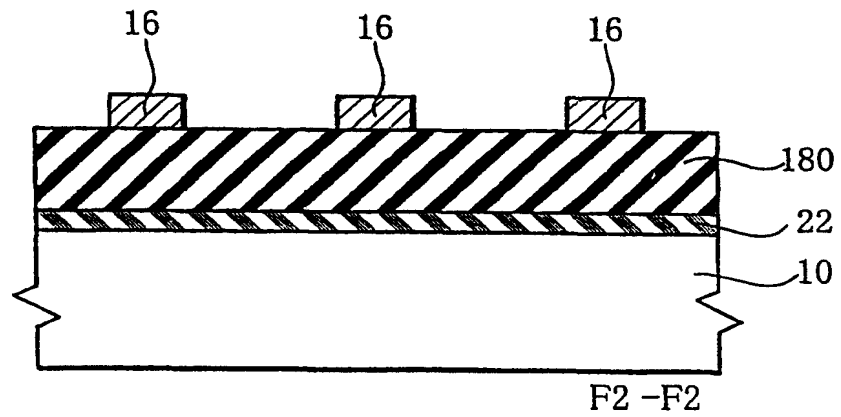


图 24