(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/76

(11) 공개번호 특2003-0027378
(43) 공개일자 2003년04월07일

(21) 출원번호 10-2001-0060554
(22) 출원일자 2001년09월28일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 유재윤
서울특별시강남구대치동은마아파트10동805호
박문한
경기도용인시기흥읍공세리382-1청구아파트105동1204호
안동호
경기도수원시팔달구망포동517-9삼일빌라5동203호
홍석훈
경기도수원시팔달구영통동황골마을쌍용아파트247동1104호

(74) 대리인 이영필
정상빈

심사청구 : 있음

(54) 반도체 메모리 장치의 제조방법

요약

본 발명은 반도체 메모리 장치의 제조 방법에 관한 것이다. 기지실리콘이 드러난 반도체 기판 상에 게이트 절연막과 게이트 도전막 및 마스크용 절연막을 순차적으로 형성한다. 마스크용 절연막과 게이트 도전막 및 게이트 절연막에 게이트 패턴을 형성하여 게이트를 형성함과 동시에 소자분리용 트렌치 패턴을 형성한다. 마스크 절연막을 마스크로 이용하여 반도체 기판의 기지 실리콘에 트렌치 패턴을 형성한다. 그리고, 트렌치 패턴이 형성된 반도체 기판의 기지 실리콘 측벽과 게이트 도전막의 측벽에 급속가열방식(Rapid thermal processing)을 이용하여 소정두께의 측벽 절연막을 형성한다. 그런 다음, 트렌치 내부에 충진용 절연막을 충진하고, 게이트 상에 제2게이트를 형성한다.

이렇게 소자분리용 트렌지와 게이트 패턴을 동시에 형성하고 게이트 측벽과 트렌치 측벽에 급속가열방법을 이용하여 측벽 절연막을 형성하면, 기지 실리콘과 플로팅 게이트 폴리 사이에 터널 산화막의 모서리 계면 및 게이트와 마스크 절연막 사이의 계면에서 발생하는 새부리형 산화막 침투현상을 방지할 수 있어, 누설전류의 감소 및 문턱전압 안정화 등의 반도체 장치의 전기적 특성을 향상시킬 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 반도체 장치를 도시한 단면도이다.

도 2 내지 도 9는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법의 과정을 설명하기 위하여 도시한 단면도들이다.

도 10 내지 도 12는 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법의 과정을 설명하기 위해 도시한 단면도들이다.

도 13은 본 발명에 따른 반도체 기판 상에 실리콘 산화막을 형성하는 방법을 개략적으로 나타낸 공정 흐름도이다.

도 14는 본 발명에 따른 반도체 기판 상에 실리콘 산화막을 형성하기 위해 사요되는 급속가열장치(Rapid thermal processor)의 개략도이다.

도 15a 내지 15b는 본 발명의 따라 게이트 측벽 산화막을 형성한 후의 단면과 종래 기술에 따라 게이트 측벽 산화막을 형성한 후의 단면을 관찰한 주사현미경(SEM) 사진들이다.

도 15c 내지 도 15d는 도 15a 및 도 15b를 재도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 제조방법에 관한 것이다.

고집적 반도체 장치의 소자분리법으로 널리 사용되고 있는 Shallow Trench Isolation 기술은 소자간의 간격이 매우 좁은 고집적 메모리 반도체에 매우 유용한 소자분리 기술이다. 그러나 STI 공정 완성 후 후속 습식 식각 과정에서 트렌치 상단부 가장자리(Trench top corner)의 산화막의 식각으로 인해 게이트 절연막 에지(edge)에 급격한(abrupt)한 굴곡이 형성되며 이는 게이트 절연막 신뢰성 열화 및 트랜지스터(transistor) 불량을 초래한다. 이 문제는 한 소자 안에 두 가지 이상의 게이트 절연막 두께를 포함하는 이중(dual) 또는 삼중 게이트 산화막(triple gate oxide) 공정에서 더욱 심각하다. 이를 해결하기 위해 최근 사용되고 있는 방법이 게이트 절연막 및 게이트를 제조공정 초기에 형성하고 이후 STI 공정을 진행하는 이른바 자기정렬에 의한 STI 기술이다.

특히, 이러한 자기정렬에 의한 트렌치 공정을 이용한 소자분리 기법은, EPROM(electrical programmable random access memory) 또는 EEPROM(electrically erasable programmable Read Only Memory) 및 플래쉬 메모리(Flash Memory) 등과 같이 소자내 두가지 이상의 게이트 절연막을 가지며 특히 절연막들 사이의 두께 차이가 큰 반도체 장치(semiconductor device)에서 주로 사용되고 있다.

한편, 트렌치를 이용한 소자분리 공정의 특성상 트렌치 형성 후에 필히 트렌치 측벽에 열적 산화법에 의한 라이너 절연막(실리콘 산화막)을 형성함으로써, 트렌치 식각 후에 기지 실리콘에 발생된 결함(defect)들을 치유한다. 그런데 자기

정렬 STI 공정에서는 라이너 산화막 형성과 동시에 게이트의 측벽에도 실리콘 산화막이 형성된다. 통상, 라이너 산화막 형성시에 사용되는 반응로(furnace)를 이용한 산화법은 반도체 기판이 열적 산화가스 분위기에서 노출되는 시간이 길기 때문에, 산화가스가 게이트 절연막과 게이트 사이 및 게이트와 트렌치를 형성하기 위한 마스크용 절연막 사이의 계면을 따라 확산되어 폴리실리콘으로 형성된 게이트를 산화시켜 버즈빅(Bird's Beak) 현상을 발생시킨다. 게이트와 게이트 절연막 사이에 버즈빅(Bird's Beak) 현상이 발생하면, 트렌치와 인접한 게이트의 양측 가장자리는 게이트 절연막의 두께가 불규칙하게 두꺼워져서 반도체 장치의 전기적 특성(Vt, 문턱전압)이 불안정하게되고, 버즈빅(bird's Bird's Beak)에 의해서 누설전류가 커지는 단점이 있다. 그리고, 게이트의 상면과 마스크용 절연막 경계면에서 발생되는 버즈빅은, 후속 진행되는 평탄화 공정에서 상부의 마스크용 절연막을 제거한다 하더라도 산화막으로 형성된 버즈빅은 완전히 제거되지 않는다. 따라서, 후속 제2게이트 형성시, 폴리실리콘이 제거되지 않고 남아있는 산화막 하부에 형성되고 후속의 콘트롤 게이트 패터닝시 산화막이 마스크로 작용하여 산화막 하부의 폴리실리콘이 제거되지 않고 라인 형태로 남아 도전성 잔류물로 남아 있게 된다. 이러한 도전성 잔류물은 게이트 패턴간 브리지를 유발하여 소자의 특성 저하나 불량을 유발한다. 또한, 버즈빅 산화막의 제거량이 각 메모리 소자에서 균일하지 않으므로, 각 메모리 소자의 캐패시턴스(capacitance) 분포를 불규칙하게 하여 플래쉬 메모리(Flash Memory) 장치의 전기적 신뢰성을 크게 감소시켜 소프트 패일(soft fail)을 증가시키는 경향이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 반도체 메모리 장치의 게이트 형성시에 게이트와 인접하는 타 막질들과의 계면사이에 버즈빅(Bird's Beak)의 발생을 억제할 수 있는 반도체 메모리 장치의 제조방법을 제공하는 것이다.

그리고, 본 발명이 이루고자 하는 다른 기술적 과제는, 불규칙한 문턱 전압 분포를 개선하고, 캐패시턴스의 용량의 균일성을 확보함으로써, 소프트 패일(soft fail)을 방지하고 전기적 신뢰도를 향상시킬 수 있는 플래쉬 메모리(Flash Memory) 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 메모리 장치의 제조방법은, 먼저, 반도체 기판의 기지 실리콘 상에 게이트 절연막과 게이트 도전막 및 마스크용 절연막을 순차적으로 형성한다. 그리고, 마스크용 절연막과 게이트 도전막에 소정의 패턴을 형성하여 게이트와 동시에 소자분리용 마스크를 형성한다. 그런 다음, 소자분리용 마스크를 마스크로 이용하여 반도체 기판에 소정 깊이의 트렌치를 형성한다. 이렇게 하여 형성된 게이트와 트렌치 내벽의 측벽에 급속가열방식을 이용하여 소정 두께의 측벽 절연막을 형성한다. 트렌치 내부를 충진용 절연막으로 충진하고, 평탄화 한 후 마스크 층을 제거하고 상기 게이트 상에 제2게이트를 형성하여 플로팅 게이트 전극을 완성한다.

여기서, 게이트 절연막을 형성하는 단계는, 먼저, 반도체 기판 표면으로부터 폴리머 및 중금속 등의 불순물 등을 제거하기 위해서 희석된 불산(HF)용액과 강산으로서 황산(H_2SO_4) 및 염산(HCl)용액 등으로 세정 처리한다. 그리고, 반도체 기판 상에 산화가스를 공급하여 기지 실리콘을 산화시킴으로써, 게이트 절연막을 형성한다. 그러면, 청정 게이트 산화막이 형성되어 게이트 절연막의 전기적 신뢰성이 높아진다. 이러한 게이트 절연막은 전술한 방식으로 실리콘 산화막을 형성한 후에, 질소소스가스로서 N_2O 또는 NO 가스를 이용하여 표면을 질화시킴으로써, 실리콘 질소산화막(SiON)을 형성할 수도 있는데, 이 실리콘 질소산화막은 게이트 절연막이 초박막화 되면서 떨어지는 게이트 절연막의 막질 신뢰성을 향상시킬 수 있어 바람직하다.

이렇게 게이트 절연막이 형성된 후, 전도성이 있는 게이트 도전막을 형성하고, 그 위에 마스크용 절연막을 형성한다. 게이트 도전막은 인(P)이나 비소(As)가 도핑된 폴리 실리콘을 화학기상증착법으로 형성하고, 마스크용 절연막은 후속하는 공정에서 트렌치 식각을 위한 마스크로서 이용되기 위해 실리콘 질화막을 소정 두께만큼 플라즈마를 이용한 화학기상증착법(PE CVD)을 이용하여 형성한다.

마스크용 절연막 상에 포토 레지스트를 도포하고 정렬노광 및 현상 공정을 거쳐서 포토 레지스트에 게이트 및 소자분리용 트렌치 패턴을 형성한다. 그리하여, 마스크용 절연막과 게이트 도전막에, 패턴이 형성된 포토 레지스트를 마스크로 이용하여 건식식각법(Dry Etching)으로, 게이트 패턴을 형성함과 동시에 트렌치 식각용 마스크를 형성한다. 이 때, 반도체 기판과 접하는 영역에 형성된 최하부의 게이트 절연막을 모두 제거하는 것이, 후속 트렌치 식각시에 기지 실리콘이 노출되어 트렌치 식각이 용이하여 바람직하다. 그런 다음, 포토 레지스트 및 마스크용 절연막을 마스크로 이용하여 건식 식각법(Dry Etching)으로 반도체 기판의 기지 실리콘에 소자분리용 트렌치(Trench)를 형성한다. 트렌치 식각을 마친 후에는 기지 실리콘이 식각된 트렌치 내부에 식각 부반응(etching bi-product)에 의해 부산물로서 폴리머(polymer)가 발생할 수 있으므로 후속 세정에 의해서 이들 폴리머를 제거하는 것이 바람직하다.

기지 실리콘이 드러난 트렌치 내벽과 폴리 실리콘이 드러난 게이트의 측벽에 소정 두께의 절연막을 형성한다. 절연막은, 0.1 torr 내지 700 torr의 압력 하에서 800 ℃ 내지 1150 ℃의 공정온도로 유지하며 소정의 공정가스(산화가스,oxidant gas)를 공급하여 형성된 실리콘 산화막이다. 사용되는 공정가스는 수소가스(H_2)와 산소가스(O_2)로서 반도체 기판 상에서 인시튜(in-situ)로 습식산화(wet oxidation)와 건식산화(dry oxidation)가 동시에 발생하도록 한다. 이 때, 수소가스와 산소가스의 비율을 1:50 내지 1:5의 유량으로 공급하는 것이 박막의 실리콘 산화막을 형성하기 위한 공정 조절성(process controllability)이 우수하다.

반도체 기판의 전면에 실리콘 절연막을 충분히 뚜껍게 형성하여 트렌치 내부를 완전히 충진한다. 이 때 실리콘 절연막은 실리콘 산화막으로서, 증착속도가 우수하고 충진성이 뛰어난 플라즈마를 이용한 화학기상증착법(Plasma enhanced Chemical Vapor Deposition)에 의해서 형성된다. 그런 다음, 화학적 기계연마법(Chemical Mechanical Polishing)을 이용한 평탄화 공정으로 마스크용 절연막 상부에 형성된 실리콘 산화막을 모두 제거하고 트렌치 영역에만 실리콘 산화막을 남겨두어 트렌치 충진공정을 완료한다.

이 단계까지 공정을 진행한 후, 제조하고자하는 반도체 장치의 특성에 따라서 단일 게이트를 사용하는 DRAM, SRAM 또는 NVM(non-volatile memory) 중 일부 반도체 메모리 장치는 그에 맞게 다음 공정으로 정션(junction)을 비롯하여 캐패시터 및 층간절연막 형성공정 및 금속배선 공정 등을 거쳐서 반도체 메모리 장치를 완성한다.

이중 게이트를 사용하는 플래쉬 메모리(flash memory)나 EPROM 또는 EEPROM 등의 메모리 장치는 다음의 제2게이트 형성공정을 더 포함한다.

즉, 트렌치 충진공정이 완료되어 소자분리용 절연막과 게이트가 완성된 후, 게이트 상에 이중으로 제2게이트를 형성한다. 먼저, 게이트의 상단부가 드러나도록 게이트 상부의 마스크용 절연막인 실리콘 질화막을 제거하고, 그 위에 도전성 물질로서 불순물이 도핑된 폴리 실리콘으로 형성된 중간 게이트와 유전막을 형성한다. 여기서, 중간 절연막을 형성하는 이유는 제2게이트와 게이트가 접하는 단면적을 넓게 하여 충분히 높은 캐패시터 용량(capacitance)을 확보하기 위한 것이다. 유전막은 반도체 제품의 특성에 따라 Ta_2O_5, PLZT, PZT 및 BST 등의 고유전막을 사용할 수 있고, 전통적인 ONO(oxide/nitride/oxide) 구조를 적용할 수도 있다. 그리고, 이 유전막 상에 제2게이트 도전막을 형성한다. 제2게이트 도전막은 인(P)이나 비소(As)와 같은 불순물이 도핑된 폴리실리콘을 적용한다. 그런 다음, 포토 레지스트를 도포하고, 정렬노광 및 현상공정을 거쳐서 포토 레지스트에 제2게이트 패턴을 형성한다. 패턴 된 포토레지스트를 마스크로 이용하여 건식식각법으로 제2게이트 도전막에 게이트 패턴을 전사함으로써 제2게이트를 형성한다. 그런데, 제2게이트는 소자의 신호처리 속도와 관계가 있어 장치의 선 폭(design rule)이 극도로 좁아지면 기존의 불순물이 도핑된 폴리 실리콘(doped poly-silicon)으로는 처리속도를 만족시킬 수 없어, 제2게이트의 비저항값을 낮추기 위해서 금속 실리사이드(metal silicide)와 조합된 폴리사이드(polycide)를 적용할 수도 있다. 이 때 실리사이드는 자가정렬 실리사이드 형성법(self-aligned silicidation)에 의해서 형성되는 것이 디자인룰(design)이 극히 좁은 게이트 패턴에서 바람직하다.

한편, 게이트를 형성한 후 제2게이트를 형성할 때, 유전막을 고유전 막질로 사용할 경우에는 중간 게이트를 개재시키지 않고 바로 게이트의 상면부에 유전막을 형성하고 제2게이트를 형성할 수도 있다. 그러면, 공정 수가 감소되어 생산단가를 절감할 수 있는 장점을 취할 수 있다.

제2게이트까지 공정이 완성되면, 후속하여 층간절연막 형성공정을 비롯하여 비트라인(bit line) 형성공정, 콘택 형성(contact formation) 공정 및 금속배선(metalization)공정을 거쳐서 플래쉬 메모리나 EPROM 또는 EEPROM과 같은 반도체 메모리 장치의 제조공정이 완료된다.

이상과 같은 제조공정을 거쳐서 완성된 반도체 메모리 제조장치는, 게이트의 측벽에 급속산화법(Rapid theraml oxidation)으로 측벽 절연막을 형성함으로써, 실리콘 산화막 형성 도중에 폴리 실리콘과 층간 계면이 산화반응가스에 노출되는 시간이 매우 짧아서 산화반응가스가 계면을 따라 확산되는 거리가 짧아서, 게이트 절연막과 게이트 사이 및 게이트와 마스크용 절연막 사이에 버즈빅(Bird's Beak)이 거의 발생하지 않는다.

또한, 본 발명의 반도체 메모리 장치의 게이트 측벽 절연막으로서 반도체 기판 상에 실리콘 산화막 형성방법은, 먼저, 적어도 부분적으로 기지 실리콘 및 폴리 실리콘이 노출된 영역을 가진 반도체 기판을 마련한다. 이 반도체 기판을 저압의 분위기로 유지시키면서, 소정의 공정온도로 급속가열(rap[id thermal heating)시킨다. 반도체 기판 상에 산소소스가스와 수소소스가스를 포함하는 반응가스를 공급하여 기지 실리콘 또는 폴리 실리콘이 노출된 영역에 습식산화반응(wet oxidation)과 건식산화반응(dry oxidation)이 조합된 산화반응에 의해서 인시튜(in-situ)로 실리콘 산화막을 형성한다.

여가서, 반도체 기판 상에 노출된 영역은 게이트의 측벽부와 트렌치 내벽 중 적어도 어느 하나이다.

그리고, 공정압력의 저압 분위기는 0.1 torr 내지 700 torr 인 것이 산화막 형성반응속도를 적절히 맞게 조절하여 박막의 실리콘 산화막을 얻을 수 있어 바람직하다.

공정온도는 800 ℃ 내지 1150 ℃ 인 것이 산화 반응가스들이 용이하게 활성화되어 기지 실리콘 및 폴리 실리콘에 실리콘 산화막을 효과적으로 형성할 수 있어 바람직하다.

한편, 반응가스는 산소소스가스로서 산소가스(O_2)와 수소소스가스로서 수소가스(H_2)를 소정의 비율로 혼합한 혼합가스를 사용하는 것이 이들이 반도체 기판에 도달하여 건식 산화와 습식 산화반응을 동시에 진행하여 물성은 습식산화막의 특성을 가지고 있고, 성장속도는 건식 산화막의 수준에 가까운 특성을 나타내어 박막의 두께 조절에 바람직하다. 수소가스와 산소가스의 공급되는 체적비는 1:50 내지 1:5이고, 산소가스의 공급량은 1 slm 내지 10 slm 인 것이 적정한 산화막 성장속도 및 습식 산화막의 물성을 취하는데 바람직하다.

한편, 수소소스가스는 수소(H_2) 외에도, 분자량이 커서 해리 반응속도가 낮은 중수소(D_2) 또는 삼중수소(T_2) 중 어느 하나를 적용함으로써, 산화막의 성장속도 조절을 용이하게 할 수 있다.

그리고, 산소 소스가스로는 산소가스(O_2)를 사용하는 것보다는, N_2O 와 NO 중 어느 하나를 사용하는 것이 고온의 공정온도에서도 성장속도가 낮아서, 용이하게 박막으로서 산화막 두께를 조절할 수 있어 바람직하다.

또한, 산화막을 형성하기 위해서 사용되는 반응가스는 질소(N_2), 아르곤(Ar), 헬륨(He) 등의 불활성의 분위기 가스를 더 포함함으로써, 산화반응가스의 농도를 희석시켜 초박막의 산화막 형성에서도 산화막의 두께를 용이하게 조절할 수 있어 바람직하다.

이상과 같은 본 발명의 반도체 기판 상에 실리콘 산화막 형성방법은, 급속산화법(rapid thermal oxidation)을 이용하여 폴리 실리콘이나 기지 실리콘에 실리콘 산화막을 형성함으로써, 단 시간에 실리콘 산화막을 형성하여 산화반응가스에 노출되는 시간이 적어 자연 확산에 의한 계면으로의 산화가스 이동이 방지되고 따라서, 계면을 따라서 형성되는 산화막 침투 형상인 버즈빅(Bird's Beak) 현상을 현저히 감소시킬 수 있다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치(Flash Memory 또는 EEPROM)의 단면도이다. 이를 참조하면, 반도체 메모리 장치는, 반도체 기판(100)의 기지 실리콘(101)에 함몰되어 형성된 트렌치 형태의 소자분리용 절연막(190)과, 소자형성영역에는 소자분리용 절연막(190)과 인접한 영역에 게이트 절연막(121)과 게이트 도전막(122) 및 게이트 도전막(122)의 측벽에 형성된 게이트 측벽 절연막(125)으로 구성된 게이트(120)와, 이 게이트(120)의 상단부와 연접하여 형성된 중간 게이트(123)와, 이 중간 게이트(123)의 표면에 형성된 유전막(211,dielectric film)과, 이 유전막(211)을 개재하고 중간 게이트(123)와 대응하여 캐패시터(capacitor) 구조의 일전극을 이루고 있는 제2게이트(210)를 포함한다.

여기서, 소자분리용 절연막(190)은 플라즈마를 이용한 화학기상증착법(PE CVD)으로 형성된 실리콘 산화막이며 기타 다른 절연막과 조합하여 형성될 수도 있다. 소자분리용 절연막(190)막과 접하는 기지실리콘(101)의 사이에는 완충용 막으로서, 트렌치의 내벽에 노출된 기지 실리콘(101)을 급속산화법(rapid thermal oxidation)을 이용하여 형성된 라이너 절연막(170)이 더 포함되어 있다.

그리고, 게이트 절연막(121)은 박막의 실리콘 산화막이나 실리콘 질소산화막(SiON)으로서, 열적 산화법(thermal oxidation)으로 기지 실리콘(101)을 산화시켜 형성된다. 그리고, 게이트 도전막(122)은 인(P)이나 비소(As)와 같은 불순물을 도핑하여 형성된 전도성을 가진 폴리 실리콘으로서, 주로 저압 화학기상증착법(LP CVD)으로 형성한다.

게이트 도전막(122)의 측벽에 형성된 게이트 측벽 절연막(125)은, 게이트 도전막(122)을 형성하고 있는 폴리 실리콘을 급속가열산화법(RTP)을 이용하여 열적으로 산화시켜 형성된 실리콘 산화막이다. 이 실리콘 산화막은 전술한 라이너 절연막(170)을 형성할 때 동시에 형성된다.

중간 게이트(123)은 인(P)이나 비소(As) 등의 불순물이 도핑되어 도전성을 띠는 폴리 실리콘으로 형성되어 있고, 게이트(120)의 상면부와 전기적으로 연결되도록 접촉되어 있다.

한편 도 1에서 220은 층간 절연막으로서 실리콘 절연막으로 형성되어 있으며, 그 상부에 비트라인(bit line)으로서, 도핑된 폴리 실리콘(polycrystalline silicon)과 텅스텐 실리사이드(Tungsten silicide)가 조합된 막으로 형성되어 진다.

도 2 내지 도 9는 도 1의 반도체 메모리 장치의 제조방법을 순차적으로 나타낸 단면도들이다.

도 2를 참조하면, 기지 실리콘이 드러난 반도체 기판(100)에 게이트 절연막(121)을 형성한다.

한편, 게이트 절연막(121)은 실리콘 산화막 외에도 실리콘 산화막을 질소소스가스를 이용하여 질화시킨 실리콘 질화막을 적용할 수도 있다.

게이트 절연막(121)이 형성된 후에, 게이트 절연막(121) 상에 게이트 도전막(122)을 형성한다. 게이트 도전막(122)은 소정의 전도성을 가진 막질로서, 인(P)이나 비소(As) 등이 도핑된 폴리 실리콘을 사용한다. 이러한 게이트 도전막(122)은 저압 화학기상증착법(Low Pressure Chemical vapor deposition)을 이용하여 형성하고, 불순물을 도핑하는 방법은 실리콘 소스가스와 인(P) 도핑 소스가스를 동시에 공급하여 인시튜(in-situ)로 형성하는 방법이 공정이 간단하고 도핑 농도를 균일하게 얻을 수 있어 바람직하다.

한편, 게이트 도전막(122)은, 폴리 실리콘에 인(P)과 같은 불순물을 도핑(doping)하여 얻을 수 있는 면저항(Rs) 이하의 특성을 요구할 때는, 보다 낮은 면저항을 얻을 수 있는 텅스텐 실리사이드(WSi)나 타이실리사이드(TiSi) 및 코발트 실리사이드(CoSi) 등과 같은 금속 실리사이드들과 조합하여 형성할 수도 있다.

이렇게 게이트 도전막(122)이 형성되면, 그 위에 마스크용 절연막(140)으로서 실리콘 질화막을 형성한다. 이 실리콘 질화막은 후술하는 게이트 패턴 및 트렌치 패턴 식각시에 식각해야할 막질의 두께가 두껍기 때문에 장시간 노출되는 플라즈마의 물리적 충돌 및 식각 파워 충격으로부터의 피해를 가능한한 방지할 수 있도록 방호막으로서 역할을 해야한다. 그리고, 식각해야할 막의 두께가 두꺼워 포토 레지스트가 트렌치 식각까지 마스크용 막으로서 남아 있지 않기 때문에 식각용 마스크로서의 역할을 동시에 해야하는 특징이 있다. 이러한 마스크용 절연막(140)은 막질의 특성이 조밀하고 경도가 높아 기계적 특성이 우수한 막보다는 두껍게 형성해도 하부에 형성된 게이트 도전막(122)이나 더 나가서는 기지실리콘(101)에 보다 적은 스트레스를 주는 막이 바람직하다. 따라서, 플라즈마를 이용한 화학기상증착법(Plasma enhanced CVD)에 의해서 형성되는 실리콘 질화막이 바람직하나, 막질의 청정성(cleaness)이나 견고성(hardness)을 요구할 경우에는 저압 화학기상증착법(LP CVD)에 의해서 형성되는 실리콘 질화막(Si_3N_4)을 사용하는 경우도 있다.

이렇게 하여 반도체 기판(100) 상에 게이트 절연막(121)과 게이트 도전막(122) 및 마스크용 절연막(140)을 순차적으로 형성한다. 그런데, 게이트 도전막(122)과 마스크용 절연막(140)은 각각 폴리 실리콘과 실리콘 질화막으로서 상호 접촉하여 형성될 경우, 접착성 뛰어나 후속되는 마스크용 절연막(140)을 제거(strip) 하는 공정에서 하부 막질인 폴리 실리콘으로 형성된 게이트 도전막(122)이 손상을 받을 위험성이 크다. 따라서, 게이트 도전막(122) 상에 완충용 절연막(130)으로서 화학기상증착법(CVD)으로 형성된 실리콘 산화막을 개재하고 그 위에 마스크용 절연막(140)으로서 실리콘 질화막을 형성하는 것이 바람직하다. 이러한 완충용 절연막(130)은 실리콘 산화막으로는 저압 화학기상증착법(LP CVD)를 이용하여 형성된 MTO(Mid-temperature oxide)나 TEOS 산화막(TEOS Oxide) 또는 HTO(high Temperature Oxide) 등이 사용될 수 있다.

도 3을 참조하면, 마스크용 절연막(140) 상에 포토 레지스트(300)를 도포하고 정렬노광 및 현상공정을 거쳐서 포토 레지스트(300)에 게이트 및 트렌치 패턴을 형성한다. 패턴이 형성된 포토 레지스트(300)를 마스크로 이용하여 건식식각법으로 먼저 실리콘 질화막으로 형성된 마스크용 절연막(140)에 게이트 및 트렌치 패턴을 형성한다. 그리고, 동일한 포토 레지스트 패턴을 마스크로 이용하여 하부의 완충용 절연막(130)인 실리콘 산화막과 게이트 도전막(122)을 순차적으로 건식식각하여 패턴을 전사하면서 게이트(120)를 형성한다. 이 때, 초과 식각(Over etch)을 하여 게이트 절연막(121)까지 완전히 제거한 다음, 마지막으로, 잔류된 포토 레지스트(300)와 마스크용 절연막(140)을 마스크로 이용하여 반도체 기판(100)의 기지 실리콘(101)을 소정 깊이로 식각하여 기지 실리콘(101)의 하부로 함몰된 트렌치(150)를 형성한다. 이 후 세정공정(wet cleaning)을 이용하여 잔류된 포토 레지스트(300)와 트렌치 식각시에 발생한 폴리머들을 제거한다. 이리하여, 반도체 기판(100) 상에 게이트(120)와 소자분리용 트렌치(150)가 동시에 형성된다.

도4를 참조하면, 기지 실리콘(101)이 드러난 트렌치(160) 내벽과 게이트 도전막(122)이 드러난 게이트(120)의 측벽에 라이너 절연막(170)과 게이트 측벽 절연막(180)을 형성한다. 이 라이너 절연막(170)과 게이트 측벽 절연막(125)은 모두 실리콘 산화막으로 형성되어 있고, 열적 산화법(thermal oxidation)에 의해서 형성된다. 이러한 산화막들(125,170)은, 반도체 기판(100)을 소정온도로 가열하여 실리콘 소스가 노출된 트렌치(160) 내벽과 게이트(120) 측벽에 공급되는 소정의 산화용 가스와 실리콘의 산화반응에 의하여 형성된다. 이 때, 사용되는 산화용 가스는 수소(H_2)와 산소(O_2)를 혼합한 혼합가스로서, 반도체 기판(100) 상에 드러난 실리콘(Si) 소스와 습식 및 건식산화반응을 동시에 발생시켜 실리콘 산화막(SiO_2)을 형성한다. 따라서, 이러한 실리콘 산화막은 건식산화에 의한 실리콘 신화막의 특성에 습식산화에 의한 실리콘 산화막의 특성을 동시에 갖는 특성이 있다. 이 때, 반도체 기판(100)을 가열하는 방식은 소정의 공정온도까지 상승시키기 위해서 수 초에서 수 십 초 정도의 짧은 시간이 소요되는 급속열처리법(Rapid thermal proceesing)을 이용하는 것이 공정시간과 반도체 기판(100)에 누적되는 열부담(thermal budget)을 감소시킬 수 있어 바람직하다. 그리고, 산화막을 형성하기 위한 공정온도는 형성하고자하는 실리콘 산화막의 두께에 따라서 다르지만, 800 ℃에서 1150 ℃의 범위 중 비교적 고온에서 산화막을 형성시키는 것이 막질의 특성을 향상시킬 수 있어 바람직하다. 또한, 실리콘 산화막(125,170)을 박막으로 형성할 경우, 산화막의 성장속도가 매우 높아 두께 및 균일도 조절이 어려운 단점이 있기 때문에 막두께 조절이 용이하지 않은 경향이 있어 0.1 torr 내지 700 torr 정도의 저압에서 산화막을 형성시켜 성장속도를 감소시키는 것이 바람직하다. 이러한 방법에 의해, 마스크로 사용되는 절연막의 측벽도 산화되어 게이트의 상부와 마스크 절연막 사이의 계면에서 발생하는 버즈빅(Bird's Beak)을 감소시키는 효과를 얻을 수 있다.

도 5를 참조하면, 반도체 기판(100) 상에 두꺼운 트렌치 충진용 절연막(190)을 형성하여 트렌치(190)를 충진한다. 이 트렌치 충진용 절연막(190)은 화학기상 증착법으로 형성된 실리콘 산화막이며, 저압 화학기상증착법이나 플리즈마를 이용한 화학기상증착법을 모두 사용할 수 있다.

도 6을 참조하면, 반도체 기판(100) 상에 형성된 충진용 절연막(190)을 평탄화 공정을 이용하여 소정 두께 제거한다. 즉, 도시된 바와 같이, 마스크용 절연막(140)을 연마정지막(polishing stopper)으로 이용하여 마스크용 절연막(140)의 상부까지 화학적 기계연마법(Chemical mechanical polshing)을 실시하여 충진용 절연막(190)을 연마함으로써, 소자분리용의 트렌치 영역에만 충진용 절연막(190)이 남도록 한다.

도 7을 참조하면, 충진용 절연막(190)과 마스크용 절연막(140) 및 완충용 절연막(130)을 게이트(120)의 상단부와 인접한 부분까지 평탄하게 제거한 다음, 게이트 상부에 잔류된 마스크용 절연막(140)을 선택적으로 제거하여 게이트(120)의 상단부가 노출되도록 한다. 이렇게 게이트 상면까지 마스크용 절연막(140)을 제거하는 방법에는 여러 방법이 있다.

먼저, 하나는, 습식식각법을 이용하는 방법으로서 고온의 인산용액을 이용하여 실리콘 질화막(Si_3N_4)으로 형성된 마스크용 절연막(140)을 완전히 제거하고 난 후, 다시 불산용액(HF,BHF)을 이용한 습식식각으로 실리콘 산화막으로 형성된 완충용 절연막(190)을 제거하는 방법이 있다.

다른 방법은, 건식식각법으로 실리콘 질화막으로 형성된 마스크용 절연막(140)을 제거하고, 습식식각법으로 완충용 절연막을 제거하는 방법이다. 그러면, 게이트(120)의 상단부가 드러나고, 트렌치(150)가 형성된 소자분리영역에는 충진용 절연막(190)이 게이트(120)의 상단부와 소정 단차를 형성하며 평탄화된다.

도 8을 참조하면, 표면에 드러난 게이트(120) 상면에 다시 도전성 물질인 불순물이 도핑된 폴리 실리콘을 증착하여 형성한다. 도전성 물질에 사진 및 건식식각공정 등의 소정 패턴형성 공정을 거쳐서 중간 게이트(123)를 형성한다. 상기 중간 게이트(123)의 표면에 절연막으로서 유전막(211)을 형성한다. 유전막(211)은 장치의 특성에 따라 다르지만 일반적으로 실리콘 산화막이나 실리콘 질화막을 사용한다. 그런데, 플래쉬 메모리 소자의 특성상 게이트(120)와 제2게이트(210) 사이에 고유전율을 요구하는 경우에는, 고유전 물질인 Ta_2O_5나 PLZT, PZT 또는 BST 등의 DRAM(Dynamic Random Access Memory)에서 캐패시터(capacitor)의 유전막질로서 사용되는 고유전막을 적용할 수도 있다.

도 9를 참조하면, 상기 유전막(211) 상부에 제2게이트 도전막(212)을 형성한다.

제2게이트 도전막(212)은 전도성을 가질 수 있도록 불순물로서 인(P) 이나 비소(As)등을 도핑하여 형성된 폴리 실리콘을 사용한다. 그리고, 제2게이트 도전막(212)은 통상적으로 저압 화학기상증착법(LP CVD)으로 형성되며, 인시튜(in-situ)로 불순물을 도핑하여 형성한다. 제2게이트 도전막(212)이 더 낮은 면저항을 요구할 때는, 이러한 도핑된 폴리 실리콘으로는 만족시킬 수 없으므로 보다 낮은 비저항을 가진 금속실리사이드를 조합하여 형성된 폴리사이드를 적용할 수 있다. 즉, 이러한 금속 실리사이드는, 이미 패턴이 형성된 제2게이트 상에 티타늄(Ti), 몰리브덴(Mo), 니켈(Ni) 또는 코발트(Co) 등을 증착한 후, 소정 온도에서 열처리를 하여 실리콘(Si)이 드러난 게이트 위에서만 열적으로 반응시킴으로써, 타이실리사이드(TiSi), 몰리사이드(MoSi), 니켈 실리사이드(NiSi) 또는 코발트실리사이드(CoSi)등을 형성하는 자기 정렬 실리사이드 형성공정(self-aligned silicidation)에 의해서 형성되는 것이 일반적이다. 그러나, 텅스텐 실리사이드(WSi)의 경우에는 화학기상증착법(CVD)을 이용하여 직접 그 물질을 증착하여 형성한다.

제2게이트 도전막(212) 위에 포토 레지스트(미도시)를 도포하고 사진공정과 건식식각 공정을 거쳐서 제2게이트(210)를 형성한다. 그런 다음, 후속 공정으로 소스(source)와 드레인(drain) 형성공정을 진행한 후, 층간 절연막(220)과 콘택(미도시)을 형성하고 비트라인(미도시)을 형성한다. 이 때 비트라인은 불순물이 도핑된 전도성의 폴리 실리콘(231)과 텅스텐 실리사이드막(232)이 조합되어 형성된다. 그리고, 이후 다시 층간절연막 형성공정과 콘택형성 및 통상의 금속배선 공정을 거쳐서 필요에 따라 복수의 금속배선 공정을 거쳐서 반도체 장치를 완성한다.

한편, 도 10내지 도 12는 본 발명의 다른 실시예에 따른 제조방법을 나타낸 단면도들이다. 전술한 도 6까지는 제조과정이 동일하고 이 후의 공정은 하기 하는 바와 같다.

도 10을 참조하면, 충진용 절연막(190)과 마스크용 절연막(140) 및 완충용 절연막(130)을 게이트(120)의 상단부까지 평탄하게 제거하여 게이트(120)의 상단부가 노출되도록 한다. 이렇게 게이트 상면까지 마스크용 절연막(140)과 완충용절연막(190)을 제거하는 방법에는 여러 방법이 있다.

먼저, 하나는, 도 6에서 1차로 충진용 절연막을 화학적 기계연마법(CMP)으로 제거한 후, 화학적 기계연마 공정(chemical mechanical polishing)의 연마제를 변화시켜 실리콘 질화막(Si_3N_4)과 실리콘 산화막(SiO_2)을 동일한 연마 속도로 제거한다. 즉, 게이트(120) 상단까지 충진용 절연막(190) 및 완충용 절연막(130)을 한 공정에 제거하여 게이트(120)를 1회의 공정으로 노출시키고 평탄화할 수 있다. 이 때, 폴리실리콘으로 형성된 게이트(120)를 연마 정지층(polishing stopper)으로 이용하여, 실리콘 산화막으로 형성된 완충용 절연막(130)까지 연마 제거하여 게이트(120)의 상면을 노출시킨다.

다른 방법은, 2단계의 공정으로서, 먼저, 인산 용액(H_3PO_4)을 이용한 습식식각법으로 실리콘 질화막으로 형성된 마스크용 절연막(140)을 제거한다. 여기서 실리콘 질화막을 선택적으로 제거하기 위해서, 실리콘 산화막과 실리콘 질화막의 선택비가 높은 공정(recipe)을 이용하는 건식식각법(dry etching)을 이용할 수도 있다. 그러면, 마스크용 절연막(140)이 제거된 자리에 요철형의 실리콘 산화막 패턴이 형성된다. 이 상태에서 실리콘 산화막을 연마할 수 있는 연마제를 이용하여 화학적 기계연마법(Chemical Mechanical Polishing)으로 게이트(120)의 상단부가 노출될 때까지 실리콘 산화막으로 형성된 충진용 절연막(190)과 완충용 절연막(130)을 평탄하게 연마한다. 이때 연마 정치층(polishing stopper layer)으로서 폴리 실리콘으로 형성된 게이트 도전막(122)을 이용한다. 그러면, 게이트(120)의 상단부가 드러나고, 트렌치(150)가 형성된 소자분리영역에는 충진용 절연막(190)이 게이트(120)의 상단부 수준에서 평탄화된다.

한편, 또 다른 방법으로서, 도 6의 충진용 절연막(190)을 화학적 기계 연마법(CMP)으로 연마할 때, 처음부터 실리콘 산화막과 실리콘 질화막이 동일하게 연마되는 연마제를 이용함으로써, 도 7에 도시된 바와 같이 충진용 절연막(190)을 비롯하여 마스크용 절연막(140)과 완충용 절연막을 게이트 상면까지 한 공정(1 step process)으로 진행할 수도 있다.

도 11을 참조하면, 표면에 드러난 게이트(120) 상면에 절연막으로서 유전막(211)을 형성하고 그 위에 제2게이트 도전막(212)을 형성한다. 이 때 유전막(211)은 장치의 특성에 따라 다르지만 일반적으로 실리콘 산화막이나 실리콘 질화막을 사용한다. 그런데, 플래쉬 메모리 소자의 특성상 게이트(120)와 제2게이트(210) 사이에 고유전율을 요구하는 경우에는, 고유전 물질인 Ta_2O_5나 PLZT, PZT 또는 BST 등의 DRAM(Dynamic Random Access Memory)에서 캐패시터(capacitor)의 유전막질로서 사용되는 고유전막을 적용할 수도 있다.

제2게이트 도전막(212)은 전도성을 가질 수 있도록 불순물로서 인(P) 이나 비소(As)등을 도핑하여 형성된 폴리 실리콘을 사용한다. 그리고, 제2게이트 도전막(212)은 통상적으로 저압 화학기상증착법(LP CVD)으로 형성되며, 인시튜(in-situ)로 불순물을 도핑하여 형성한다. 제2게이트 도전막(212)이 더 낮은 면저항을 요구할 때는, 이러한 도핑된 폴리 실리콘으로는 만족시킬 수 없으므로 보다 낮은 비저항을 가진 금속실리사이드를 조합하여 형성된 폴리사이드를 적용할 수 있다. 즉, 이러한 금속 실리사이드는, 이미 패턴이 형성된 제2게이트 상에 티타늄(Ti), 몰리브덴(Mo), 니켈(Ni) 또는 코발트(Co) 등을 증착한 후, 소정 온도에서 열처리를 하여 실리콘(Si)이 드러난 게이트 위에서만 열적으로 반응시킴으로써, 타이실리사이드(TiSi), 몰리사이드(MoSi), 니켈 실리사이드(NiSi) 또는 코발트실리사이드(CoSi)등을 형성하는 자기 정렬 실리사이드 형성공정(self-aligned silicidation)에 의해서 형성되는 것이 일반적이다. 그러나, 텅스텐 실리사이드(WSi)의 경우에는 화학기상증착법(CVD)을 이용하여 직접 그 물질을 증착하여 형성한다.

도 12는 전술한 도 9와 동일하게, 게이트 도전막(212) 위에 포토 레지스트(미도시)를 도포하고 사진공정과 건식식각 공정을 거쳐서 제2게이트(210)를 형성한다. 그런 다음, 후속 공정으로 소스(source)와 드레인(drain) 형성공정을 진행한 후, 층간 절연막(220)과 콘택(미도시)을 형성하고 비트라인(미도시)을 형성한다. 이 때 비트라인은 불순물이 도핑된 전도성의 폴리 실리콘(231)과 텅스텐 실리사이드막(232)이 조합되어 형성된다. 그리고, 이후 다시 층간절연막

형성공정과 콘택형성 및 통상의 금속배선 공정을 거쳐서 필요에 따라 복수의 금속배선 공정을 거쳐서 반도체 장치를 완성한다.

이상과 같은 구조를 가진 본 발명의 반도체 메모리 장치의 제조방법에서, 게이트(120)의 측벽에 게이트 측벽 산화막(125)을 형성할 때 공정시간이 짧은 급속가열공정을 사용하기 때문에 산화막 형성공정 중에 산화가스가 계면으로 침투하는 거리를 감소시킬 수 있어, 완충용 절연막(130)과 게이트(120) 사이의 계면 및 게이트(120)와 기지실리콘(101) 사이에 개재된 게이트 절연막(121)을 따라 성장하는 버즈빅(Bird's Beak) 현상을 현저히 감소시킬 수 있다. 그리고, 측벽 산화막(125)이 형성되면서 마스크용 절연막(140)의 실리콘 질화막이 동시에 산화되어 게이트 물질(122)을 형성하고 있는 폴리 실리콘(polycrystalline silicon)의 산화가 보다 균일하게 이루어져 측벽 산화막(125)의 모폴로지(morphology)가 평탄하게 이루어지므로, 주변 셀(cell) 간의 브리지(bridge)에 의한 불량을 감소시킬 수 있다.

급속가열공정(Rapid thermal processing)은 이온 활성화를 위한 정션 열처리 공정에는 많이 사용해왔다. 그러나, 이러한 RTP(rapid thermal processor) 장비는 급속가열시 반도체 기판 상에서의 온도분포가 비교적 불균일하기 때문에, 균일한 막을 형성하기 어려워 막을 형성하는 공정에서는 사용하지 않았다. 그러나, 최근에 장치의 구조를 매엽식 챔버 타입(single chamber type)으로 변화시키고 온도의 균일화를 위해서 반도체 기판을 회전시키는 등 반도체 제조 장치(RTP)의 발전으로 균일한 온도 분포를 실현할 수 있었다.

그리고, 이에 더해서 반응가스의 공급방법도 다음과 같이 개선하여 반도체 장치에 적용할 수 있을 정도로 균일한 막을 형성할 수 있을 뿐 아니라 급속산화법에 의해서만 얻을 수 있는 장점을 발휘할 수 있게 되었다. 즉, 산화반응가스로는 수소(H_2)와 산소(O_2)를 사용하므로, 이들 가스들이 반응로 내부로 유입된 후 적당한 비율의 수증기(H_2O)가 발생하면서 실리콘과 반응하여 습식 산화막을 형성함으로써, 막질의 특성을 좋게 할 뿐만 아니라, 대상 기지 물질이 기지 실리콘이든 폴리 실리콘이든 성장속도의 차이가 거의 없어 성장되는 두께가 트렌치 내부의 기지 실리콘이 산화되어 형성된 라이너 절연막(170)의 두께나 폴리 실리콘이 산화되어 형성된 게이트 측벽 절연막(125)의 두께가 거의 차이 없이 동일한 두께로 형성된다.

도 13은 본 발명에 따른 반도체 메모리 장치의 게이트 측벽에 실리콘 산화막을 형성하는 방법을 도시한 단위 공정 흐름도(unit process flowchart)이다. 그리고, 도 14는 본 발명의 실리콘 산화막을 형성하기 위해서 사용되는 급속가열공정용(Rapid thermal processer) 반도체 제조장치를 개략적으로 나타낸 개략도이다.

이를 참조하여 설명하면, 먼저, 트렌치 식각한 후에 트렌치 내벽의 기지 실리콘이나 게이트 패턴 후에 게이트 측벽의 폴리 실리콘 또는 이들 기지 실리콘과 게이트 측벽이 동시에 적어도 부분적으로 노출되는 반도체 기판(도 1의 100)을 마련한다. 이 반도체 기판(도 1의 100)을 반응챔버(도 14의 10) 내부의 기판 지지대(13)에 올려놓고, 진공장치(도 14의 30)를 이용하여 소정의 저압력(low pressure)으로 내부를 유지하고서, 반도체 기판(100)을 램프로 구성된 가열장치(도 14의 11)를 이용하여 급속가열(rapid thermal processing)하여 공정온도까지 신속하게 상승시킨다. 그런 다음, 반도체 기판(100) 상으로 가스공급장치(20)로부터 가스 인입구(15)를 거쳐서 반응챔버(10)로 수소소스가스와 산소소스가스를 동시에 소정의 비율로 공급한다. 그러면, 수소소스가스와 산소소스가스가 반도체 기판 근처에서 반응하여 H_2O 및 산소 래디칼(O_2 radical)을 생성하여 반도체 기판(100) 상에 드러난 기지 실리콘과 폴리 실리콘이 습식산화 및 건식산화가 동시에 이루어져 소정 두께의 실리콘 산화막을 형성한다. 여기서 도 14의 16은 반응에 참여하고 남은 가스들이 배출되는 가스 배출구이다.

여기서, 산소소스가스는 산소(O_2)를 사용하고, 수소소스가스로는 수소(H_2)를 사용한다. 이들 산화용 반응가스들은 산소가 수소보다 월등 많은 다량으로 공급되도록, 수소와 산소의 유량비를 1 : 50 내지 1 : 5 로 공급한다. 수소가스는 0.1 slm 내지 2 slm의 유속으로 공급되는 것이 바람직하다.

공정이 진행될 때 반응챔버 내의 압력은 0.1 torr 내지 700 torr의 저압으로진행되는데, 이는 반도체 장치의 디자인 룰(Design rule)이 미세화되면서 형성되는 산화막의 두께도 박막화되어 산화반응 속도를 감소시킴으로써, 성장속도를 공정 조절성(process controllability)이 가능한 수준으로 낮추어야 하기 때문이다.

공정온도는, 산화반응이 충분히 발생할 수 있도록 높은 온도에서 진행되어야 산화막의 성질이 양호하므로, 적어도 800 ℃ 내지 높으면 1150 ℃의 온도까지 상승된다. 특히, 밀도가 높은 양질의 청정한 산화막을 형성하기 위해서는 900 ℃ 이상 1000 ℃의 온도에서 산화막 형성공정을 진행하는 것이 바람직한데, 저항식 가열장치를 가진 일반 반응로를 사용하면 이러한 높은 온도까지 반응로 내의 온도를 상승시키는데 매우 오랜 시간이 소요되어 반도체 기판이 고온의 상태에서 장시간 노출되므로, 급속산화법(Rapid theraml Oxidation)을 이용하는 것이 온도 상승과 하강을 단시간에 급속하게 진행하여 반도체 기판의 필요 없는 열적 노출시간을 감소시킬 수 있어 바람직하다.

도 15a 내지 15b는 본 발명에 따라 형성된 게이트 측벽 절연막 형성 후의 게이트의 단면(도 15a)과 종래의 기술(도 15b)에 따라 형성된 것을 비교하여 도시한 주사현미경(SEM) 사진이다. 그리고, 도 15c와 도15d는 도 15a 및 도15b의 주사현미경 사진을 참조하여 이들의 차이를 설명하기 위해서 재도시한 단면도이다.

이들을 참조하면, 도 15a의 본 발명에 의한 게이트의 단면사진은, 버즈빅 현상(Bird's Beak)이 일어나기 쉬운 게이트(120)와 마스크 절연막(140) 사이의 완충용 절연막(130) 계면을 따라 성장한 버즈빅의 크기가, 도 15b의 종래의 기술의 것보다 현저히 적은 것을 알 수 있다.

도 15c와 도 15d를 참조하여 비교하면, 종래의 기술에서는 패턴닝이 된 게이트(1120)에서 각이 진 모서리 부분(X)이나 트렌치와 게이트 절연막(1121)이 만나는 모서리 부분이 예각으로 첨예화된 형태를 보이고 있다. 그리고, 게이트(1120)의 측벽 및 트렌치(1160)의 측벽을 기준으로 볼 때(도 15d의 기준선 'A'와 비교했을 경우 계면 접선이 'B'일 경우 역경사, 'C'일 경우 순경사) 가장자리 부분에서 형성되어 마스크용 절연막이 만나는 모서리부분의 게이트 측벽 산화막(1125)는 'A'선을 기준으로 산화막 계면이 'B' 방향을 따라 형성되어 역경사진(reverse sloped) 형태를 이루고 있어 추후에 반도체 장치가 완성된 후 전기적 특성에 악영향을 미치게 된다. 즉, 첨예화된 모서리 부분에서 전장(electric field)이 집중되어 게이트 절연막이 낮은 동작전압에도 용이하게 파손되어 게이트 절연막(1121)의 신뢰성이 나빠지고, 또한 게이트의 가장자리 부분에서 발생된 버즈빅은 누설전류의 원인이 되며, 따라서 소프트 패일(soft fail)의 요인이 된다. 더불어서, 소자분리용 트렌치(1160) 내부의 내벽 기울기가 역경사가 지고, 라이너 절연막(1170, 실리콘 산화막) 형성 후 트렌치(1160) 가장자리에 형성된 첨예화된 모서리 부분이 추후 정션(junction)을 형성한 후에는 문턱전압(Vt)의 더블 험프(double hump) 현상을 발생시킬 수 있는 위험성이 있어 소자의 특성이 악화되는 경향이 있다. 그러나, 본 발명의 게이트 측벽 산화막(125)에서는 버즈빅(Bird's Beal)의 크기가 적을 뿐 아니라, 모서리 부분이 라운딩(rounding)되어 있어 게이트(120) 측벽과 트렌치(160) 측벽의 역경사(reverse slope)를 방지할 수 있도록 되어 있다. 따라서, 전술한 전기적 특성의 악화는 발생되지 않는 장점이 있다.

한편, 반응가스로서 사용되는 산소소스가스와 수소소스가스는 반응성을 고려하여 다른 소스가스들을 사용할 수도 있다. 즉, 수소소스가스로서 반응성을 적절히 갖추기 위해서 중수소(D_2)나 삼중수소(T_2)를 사용할 수 있다. 이들 수소소스가스(D_2나 T_2)는 수소가스(H_2)보다는 질량이 크기 때문에, 질량이 너무 작아 소량으로 공급될 경우 반도체 기판 상에 공급되는 가스의 균일도 문제 및 산소와의 불꽃반응이 적절하게 진행되지 않아 습식산화의 원료인 수증기가 잘 발생하지 않는 것 등을 해결할 수 있다.

또한, 산소소스가스는 산소이외에도, N_2O 및 NO등을 사용할 수 있다. 산소(O_2)를 소스가스로 사용할 경우 높은 공정온도와 비교적 높은 공정압력에서 산화속도가 높아 막질의 균일도를 보장할 수 없다. 그런데, 이들 N_2O 및 NO를 소스가스로 사용하면 반응시 발생하는 산소원자 수가 산소분자가 해리될 때보다 적기 때문에 상대적으로 낮은 산화막 성장속도를 기대할 수 있고, 따라서, 막질 형성의 균일도를 향상시킬 수 있다. 그리고, 기지 소스가 단결정 실리콘이든 폴리 실리콘이든 관계없이 균일한 두께로 형성될 수 있다. 그리하여 후속공정에서 폴리 실리콘을 증착하여 패터닝할 때 측벽에 발생되는 폴리 레지듀(polysilicon residue) 문제를 해결할 수 있는 장점이 있다.

그리고, 산화용 반응가스는, 전술한 바와 같이, 순수하게 산화반응에 참여하는 소스가스들만으로 구성될 수도 있지만, 이외에 전체적으로 반응가스들을 희석시키기 위해서 운반용 가스로서 공급되는 불활성 가스를 더 포함할 수도 있다. 이러한 불활성 가스로는 질소(N_2), 아르곤(Ar), 헬륨(He) 등을 사용할 수 있다.

한편, 전술한 본 발명의 일 실시예에서는 플래쉬 메모리(Flash memory)에서의 적용을 언급하였으나, 이외에도 플래쉬 메모리와 유사하게 이중 게이트(double gate)를 사용하는 EPROM(electrically programmable random access meoory) 또는 EEPROM 등에 본 발명을 적용할 수 있다. 이 때는 게이트(120, floating gate)와 제2게이트(220, control gate) 사이에 개재되는 절연막(211)이 유전막 대신에 일반 실리콘 산화막이나 실리콘 질화막을 적용하면 된다.

또한, 본 발명은, 게이트를 하나만 갖는 일반 반도체 메모리 장치에도 적용할 수 있다. 즉, 게이트가 하나인 일반 반도체 메모리 장치에 트렌치와 게이트가 동시에 진행되는 본 발명을 적용할 때는, 제조공정을 게이트(120) 형성까지 진행하고 게이트 형성 이후에 제2게이트(도 1의 220)를 형성하지 않고 바로 소스와 드레인 정션(source and drain junction) 형성공정을 비롯해서 후속공정들을 진행하는데, 이러한 공정들은 기존의 방법과는 다소 다르게 진행될 수도 있다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 메모리 장치의 제조방법에서는, 소자분리용 트렌치 패턴과 함께 동시에 형성된 게이트의 측벽에 급속산화법(Rapid thermal oxidation)을 이용하여 게이트 측벽 절연막을 형성함으로써, 게이트 상부에 형성된 마스크용 절연막과의 사이 계면에 버즈빅(Bird's Beak)의 형성을 억제할 수 있다. 따라서, 이들 버즈빅(Bird's Beak)에 의해서 발생되는 메모리 소자의 문턱전압의 분포 불량을 향상시킬 수 있어 궁극적으로 반도체 메모리 장치의 생산 수율(yield)을 증가시킬 수 있다.

그리고, 산화용 가스로서 산소가스와 수소가스를 동시에 공급하여 반도체 기판면에서 습식산화와 건식산화가 동시에 발생되어 건식산화막 성장속도 또는 그 이하의 성장속도로서 습식산화막의 특성을 갖는 실리콘 산화막을 얻을 수 있다.

또한, 본 발명의 반도체 메모리 장치의 제조방법은, 트렌치 내벽의 라이너 절연막과 게이트 측벽 절연막을 동시에 형성함으로써, 고온의 확산공정를 줄일 수 있고, 전체 공정시간을 감소시킬 수 있어 공정 처리능력을 향상시킬 수 있으며, 반도체 메모리 장치의 생산성을 높일 수 있다.

한편, 본 발명의 반도체 메모리 장치의 제조방법은, 마스크용 절연막인 실리콘 질화막이 동시에 산화되는 효과가 반영되어 하부의 폴리 실리콘의 산화가 보다 균일하게 발생되어 반도체 메모리의 셀(cell)들 간에 브리지(bridge)에 의한 불량을 감소시킬 수 있다.

(57) 청구의 범위

청구항 1.

a) 기지실리콘이 드러난 반도체 기판 상에 게이트 절연막과 게이트 도전막 및 마스크용 절연막을 순차적으로 형성하는 단계;

b) 상기 마스크용 절연막과 게이트 도전막 및 게이트 절연막을 패터닝하여 마스크용 절연막 패턴과 게이트를 형성하는 단계;

c) 상기 마스크용 절연막과 게이트를 마스크로 이용하여 상기 반도체 기판의 기지 실리콘에 트렌치를 형성하는 단계;

d) 상기 트렌치에 의해 노출된 반도체 기판의 기지 실리콘 표면과 게이트의 게이트 도전막의 측벽에 급속가열방식(Rapid thermal processing)을 이용하여 소정두께의 측벽 절연막을 형성하는 단계; 및

e) 상기 트렌치 내부를 충진용 절연막을 충진하는 단계를 포함하는 반도체 메모리 장치의 제조방법.

청구항 2.

제1항에 있어서, 상기 a) 단계는, 상기 게이트 도전막과 상기 마스크용 절연막 사이에 완충용 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 3.

제2항에 있어서, 상기 마스크용 절연막은 화학기상증착법(CVD)에 의해서 형성된 실리콘 질화막인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 4.

제2항에 있어서, 상기 완충용 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 5.

제1항에 있어서, 상기 d)단계는,

상기 측벽 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 6.

제5항에 있어서, 상기 실리콘 산화막은 800 ℃ 내지 1150 ℃의 공정온도에서 산화되어 형성되는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 7.

제5항에 있어서, 상기 실리콘 산화막은 저압에서 형성되는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 8.

제7항에 있어서, 상기 저압은 0.1 torr 내지 700 torr인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 9.

제5항에 있어서, 상기 실리콘 산화막 형성시, 공정 가스로서 수소가스(H_2)와 산소가스(O_2)가 동시에 사용하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 10.

제9항에 있어서,

상기 수소가스와 상기 산소가스는 1:50 내지 1:5의 체적비로 공급되는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 11.

제10항에 있어서, 상기 수소 가스는 0.1 slm 내지 2 slm의 유속으로 공급되는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 12.

제1항에 있어서, 상기 e)단계 후에,

상기 게이트 상에 제2게이트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 13.

제12항에 있어서, 제2게이트를 형성하는 단계는,

상기 게이트의 상단부를 노출시키는 단계;

상기 게이트의 드러난 표면에 유전막을 형성하는 단계;

상기 유전막 상에 제2게이트용 도전막을 형성하는 단계;

상기 제2게이트용 도전막에 제2게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 14.

제13항에 있어서, 상기 게이트의 상단부를 노출시키는 단계는,

상기 게이트의 상단부에 도전성 물질을 형성하는 단계; 및

상기 도전성 물질에 패터닝(PATTERNING)을 하여 중간 게이트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 15.

제14항에 있어서, 상기 도전성 물질은 불순물이 도핑된 폴리 실리콘인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 16.

제13항에 있어서, 상기 유전체는 고유전막인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 17.

제16항에 있어서, 상기 유전체는 TaO_5, PLZT, PZT, BST 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 18.

제13항에 있어서, 상기 제2게이트 도전막은 불순물이 도핑된 폴리실리콘인 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 19.

제18항에 있어서, 상기 제2게이트 도전막은 상기 도핑된 폴리실리콘 상에 실리사이드막을 더 형성하는 것을 특징으로 하는 반도체 메모리 장치의 소자분리 방법.

청구항 20.

제19항에 있어서, 상기 실리사이드 막은 상기 폴리 실리콘 상에 자기 정렬 실리사이드 형성법(self aligned silicidation)을 이용하여 형성되는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 21.

a) 기지 실리콘 또는 폴리 실리콘이 노출된 영역을 가진 반도체 기판을 준비하는 단계;

b) 상기 반도체 기판을 저압의 분위기로 유지시키는 단계;

c) 상기 반도체 기판을 소정의 공정온도로 급속가열(rap[id thermal heating)시키는 단계; 및

d) 상기 반도체 기판 상에 산소소스가스와 수소소스가스를 포함하는 반응가스를 공급하여 상기 기지 실리콘 또는 폴리 실리콘이 노출된 영역에 습식산화반응(wet oxidation)과 건식산화반응(dry oxidation)이 조합된 산화반응에 의해서 실리콘 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 22.

제21항에 있어서, 상기 a) 단계에서, 상기 노출된 영역은 게이트의 측벽부와 트렌치 내벽 중 적어도 어느 하나인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 23.

제21항에 있어서, 상기 b) 단계에서 저압 분위기는 0.1 torr 내지 700 torr 인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 24.

제21항에 있어서, 상기 c) 단계에서 공정온도는 800 ℃ 내지 1150 ℃ 인 것을 특징으로 하는 반도체 기판 상에 시리콘 신화막 형성방법.

청구항 25.

제21항에 있어서, 상기 d)단계에서, 상기 반응가스는 산소소스가스로서 산소가스(O_2)와 수소소스가스로서 수소가스(H_2)를 소정의 비율로 혼합한 혼합가스인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 26.

제25항에 있어서, 상기 수소가스와 상기 산소가스의 공급되는 체적비는 1:50 내지 1:5인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 27.

제26항에 있어서, 상기 산소가스는 1 slm 내지 10 slm 인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 28.

제21항에 있어서, 상기 수소소스가스는 중수소(D_2) 및 삼중수소(T_2) 중 어느 하나인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 29.

제21항에 있어서, 상기 산소소스가스는 N_2O 와 NO 중 어느 하나인 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 30.

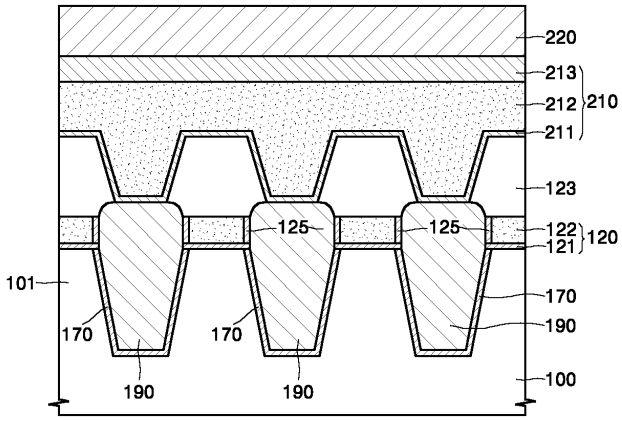
제21항에 있어서, 상기 반응가스는 불활성의 분위기 가스를 더 포함하는 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

청구항 31.

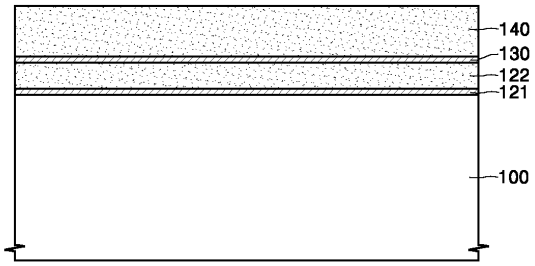
제30항에 있어서, 상기 분위기 가스는 질소(N_2), 아르곤(Ar), 헬륨(He) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 반도체 기판 상에 실리콘 산화막 형성방법.

도면

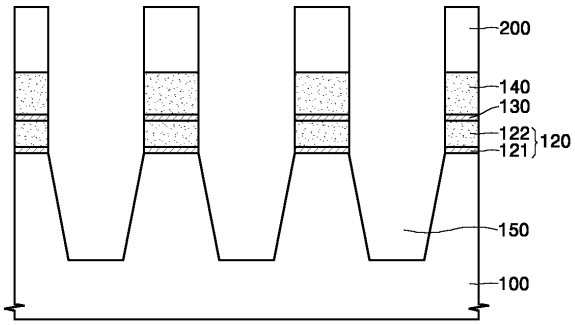
도면 1



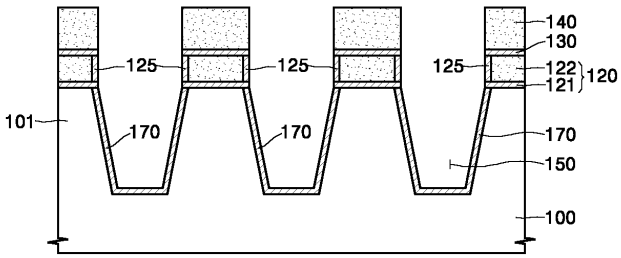
도면 2


140
130
122
121
100

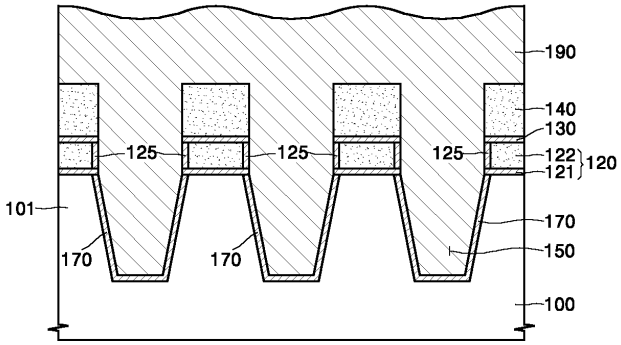
도면 3


200
140
130
122
121
120
150
100

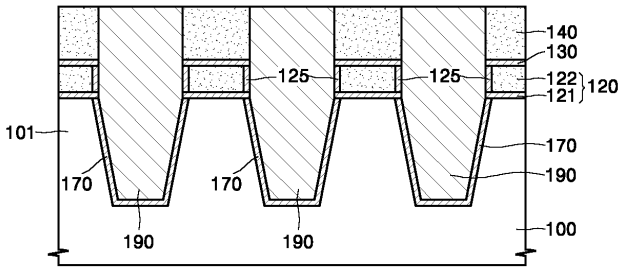
도면 4


140
130
125
125
125
122
121
120
101
170
170
170
150
100

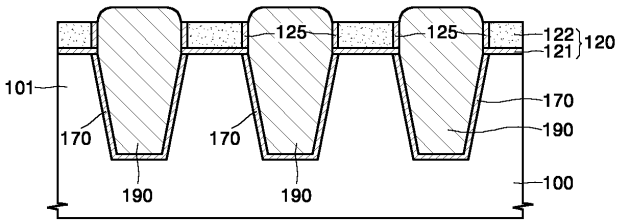
도면 5


190
140
130
125
125
125
122
121
120
101
170
170
170
150
100

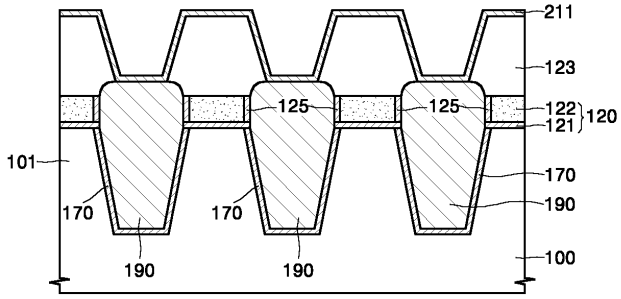
도면 6


140
130
125
125
122
121
120
101
170
170
170
190
190
190
100

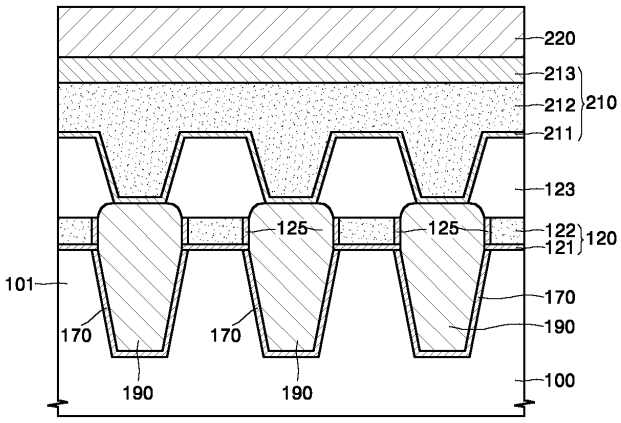
도면 7


125
125
122
121
120
101
170
170
170
190
190
190
100

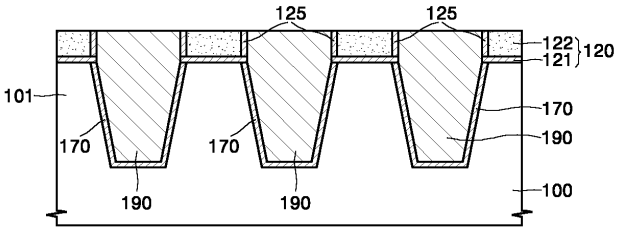
도면 8


211
123
125
125
122
121
120
101
170
170
170
190
190
190
100

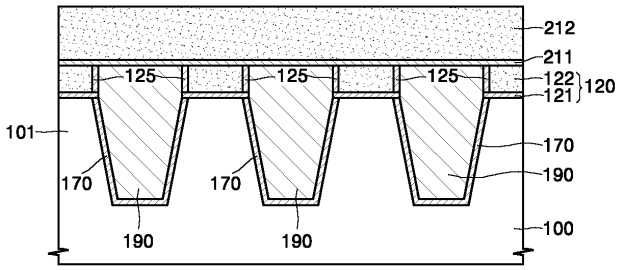
도면 9


220
213
212
211
210
123
125
125
122
121
120
101
170
170
170
190
190
190
100

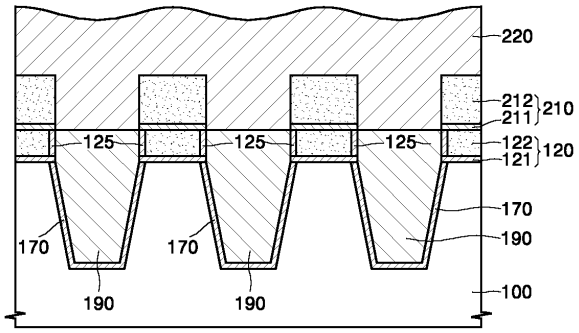
도면 10


125
125
122
121
120
101
170
170
170
190
190
190
100

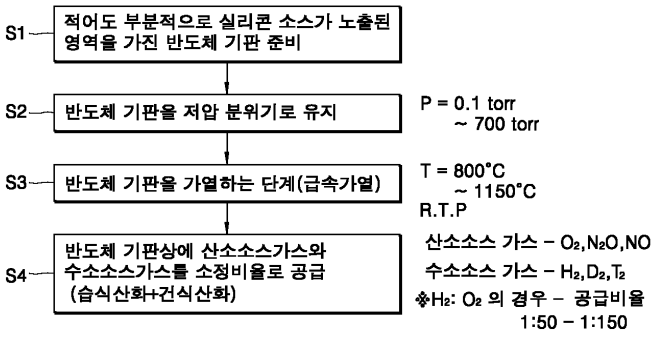
도면 11



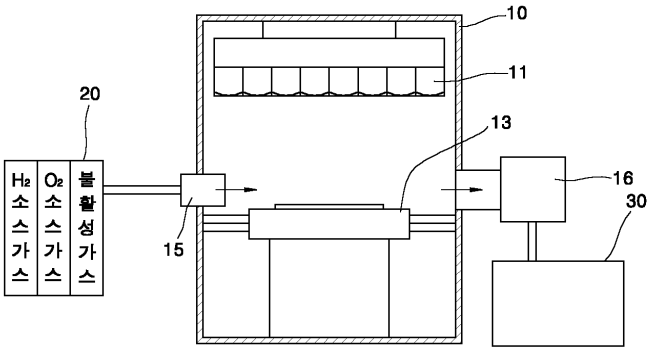
도면 12



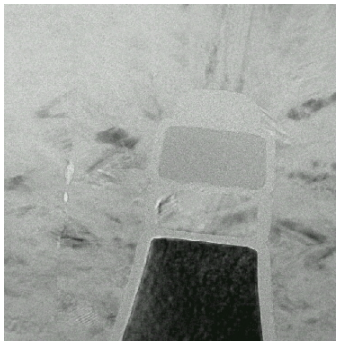
도면 13



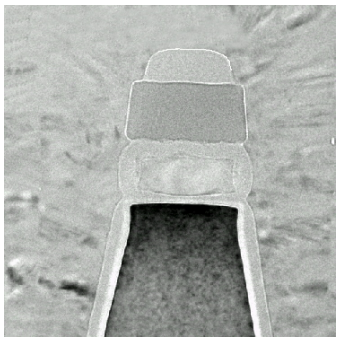
도면 14



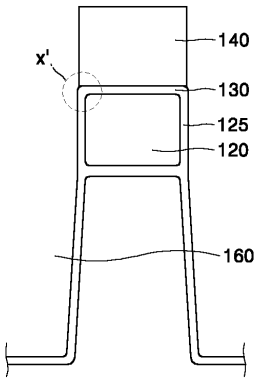
도면 15a



도면 15b



도면 15c



도면 15d