

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5354940号
(P5354940)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int.Cl.

F 1

HO 1 L 21/20	(2006.01)	HO 1 L 21/20
HO 1 L 21/336	(2006.01)	HO 1 L 29/78 627 G
HO 1 L 29/786	(2006.01)	HO 1 L 27/08 331 E
HO 1 L 27/08	(2006.01)	GO 2 F 1/136
GO 2 F 1/136	(2006.01)	HO 5 B 33/14 A

請求項の数 4 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2008-73105 (P2008-73105)
 (22) 出願日 平成20年3月21日 (2008.3.21)
 (65) 公開番号 特開2008-270780 (P2008-270780A)
 (43) 公開日 平成20年11月6日 (2008.11.6)
 審査請求日 平成23年2月22日 (2011.2.22)
 (31) 優先権主張番号 特願2007-76908 (P2007-76908)
 (32) 優先日 平成19年3月23日 (2007.3.23)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小俣 貴嗣
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 柴山 将隆

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に半導体膜を形成する工程と、
 前記半導体膜上に絶縁膜を形成する工程と、
 前記絶縁膜上からフェムト秒レーザを照射することにより、前記半導体膜を結晶化し且
 つ前記絶縁膜を除去する工程と、
 を有することを特徴とする半導体装置の作製方法。

【請求項 2】

基板上に第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜上に半導体膜を形成する工程と、
 前記半導体膜上に第2の絶縁膜を形成する工程と、
 前記第2の絶縁膜上からフェムト秒レーザを照射することにより、前記半導体膜を結晶
 化し且つ前記第2の絶縁膜を除去する工程と、
 を有することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項1又は請求項2において、
 前記結晶化した半導体膜を用いて、チャネル領域と、ソース領域又はドレイン領域を形
 成する工程を有することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項1乃至請求項3のいずれか一において、

10

20

前記結晶化した半導体膜は、多結晶半導体膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に用いることができる結晶性半導体膜を、非晶質半導体膜にレーザ照射して結晶化することにより作製する方法及びそれを用いた薄膜トランジスタの作製方法に関する。なお、本明細書中で半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路及び電気機器はすべて半導体装置である。

【背景技術】

10

【0002】

近年、結晶性シリコン薄膜トランジスタ(TFT)により、安価なガラス基板上に駆動回路を備えた液晶表示装置を形成することが可能になっている。結晶性シリコン薄膜の形成方法としては、レーザ光を照射することにより非晶質シリコン膜を結晶化させて結晶性シリコン薄膜を得る方法がある。

【0003】

一般に、半導体膜の結晶化に連続発振式のレーザを使用すると半導体膜内に形成される結晶の粒径が大きくなることが知られている。半導体膜内の結晶粒径が大きくなると、半導体膜を用いて形成されるTFTのチャネル領域に入る粒界の数が減るので移動度が高くなり、半導体膜をより高性能なデバイスの開発に利用できる。

20

【0004】

基板のスキャン速度およびスポット形状を適宜変化させることにより、パルス発振式のレーザを使用しても連続発振式のレーザを使用した際と同じように結晶粒が大きい半導体膜が得られている。

【0005】

レーザを使用した半導体膜の結晶化方法において、例えば結晶化させる半導体膜の上層にキャップ膜として酸化珪素膜を数百nm程度成膜し、レーザ結晶化を行うと結晶の配向性が揃いやすくなることが知られている。また、キャップ膜の存在により、膜厚が30nm以下の極薄膜であってもレーザ結晶化が可能になることが知られている。

【0006】

30

しかしながら、半導体膜の上層にキャップ膜を成膜してレーザ結晶化を行った場合、レーザ結晶化工程の後工程でキャップ膜を除去する必要があり、工程数が増えてしまう。TFT等の作製の場合、通常、レーザ結晶化工程の直後の工程は、半導体膜のパターニングによるアイランド形成であり、キャップ膜はフォトレジスト等の障害となるため、アイランド形成前に除去する必要がある。キャップ膜の除去は、エッチング工程で行われ、ウェットエッチング法の場合はHF等の薬液を、ドライエッチング法の場合はCF₄等のエッチングガスを使用するため、工程増加によるコストアップに加え、薬液およびガスの処理が必要となる(例えば特許文献1)。

【特許文献1】特開2000-228360号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0007】

本発明は、半導体膜の上層にキャップ膜を成膜して行う半導体膜の結晶化と、キャップ膜の除去の工程を簡略化すること及び、結晶化及びキャップ膜除去の工程に掛かる時間を短縮することを課題とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の結晶性半導体膜の作製方法は、基板上に非晶質半導体膜を形成する工程と、非晶質半導体膜の上にキャップ膜を形成する工程と、キャップ膜の上からフェムト秒レーザを照射することにより、前記非晶質半導体膜を結晶化するとと

50

もにキャップ膜を除去する工程とを有する。

【0009】

または、基板上に非晶質半導体膜を形成する工程と、非晶質半導体膜の上にキャップ膜を形成する工程と、キャップ膜の上から第1のレーザを照射することにより前記非晶質半導体膜を結晶化する工程と、キャップ膜の上からフェムト秒レーザである第2のレーザを照射することによりキャップ膜を除去する工程とを有し、第1のレーザを照射している間に、第2のレーザの照射を行うことを特徴とする。

【0010】

また、本発明の薄膜トランジスタの作製方法は、基板上に非晶質半導体膜を形成する工程と、非晶質半導体膜の上にキャップ膜を形成する工程と、キャップ膜の上からフェムト秒レーザを照射することにより、前記非晶質半導体膜を結晶化するとともにキャップ膜を除去する工程と、結晶性半導体膜を用いてチャネル領域、ソース領域及びドレイン領域を形成する工程とを有する。

10

【0011】

または、基板上に非晶質半導体膜を形成する工程と、非晶質半導体膜の上にキャップ膜を形成する工程と、キャップ膜の上から第1のレーザを照射することにより前記非晶質半導体膜を結晶化する工程と、キャップ膜の上からフェムト秒レーザである第2のレーザを照射することによりキャップ膜を除去する工程と、結晶性半導体膜を用いてチャネル領域、ソース領域又はドレイン領域を形成する工程とを有し、第1のレーザを照射している間に、第2のレーザの照射を行うことを特徴とする。

20

【0012】

なお、本発明の結晶性半導体膜及び薄膜トランジスタの作製方法において、基板上に非晶質半導体膜を形成する工程の前に、基板上に下地膜を形成する工程を有するのが好ましい。

【0013】

なお、本発明の結晶性半導体膜及び薄膜トランジスタの作製方法において、キャップ膜は、 SiN_{xO_y} ($0 \leq x \leq 4/3$ 、 $0 \leq y \leq 2$ 、 $0 \leq 3x + 2y \leq 4$) 膜であることが好ましい。また、キャップ膜の厚さは、 200 nm 以上 1000 nm 以下であることが好ましい。

【0014】

30

なお、本発明の結晶性半導体膜及び薄膜トランジスタの作製方法において、結晶性半導体膜は、多結晶半導体膜であることが好ましい。

【0015】

なお、本発明において、結晶性半導体膜とは、多結晶半導体膜、微結晶半導体膜、セミアモルファス半導体膜等の、結晶化領域を含む半導体膜のことを指す。

【発明の効果】

【0016】

本発明の結晶性半導体膜の作製方法によると、フェムト秒レーザを使用してレーザ結晶化を行うことにより、キャップ膜を上面に成膜した非晶質半導体膜をレーザ結晶化する際に、半導体膜の結晶化とキャップ膜の除去とを同時にを行うことが可能となる。そのため、後工程のキャップ膜除去の工程を削減することができ、コストダウンに貢献できるものである。

40

【0017】

また、フェムト秒レーザのエネルギーを調整することにより、半導体膜の結晶化とキャップ膜の除去を別工程で行うこともでき、その場合、半導体膜の結晶化を行った後に、フェムト秒レーザを用いて上層のキャップ膜のみを除去することが可能である。したがって、後工程のキャップ膜エッチング工程の必要がなくなり、薬品やガスを処理する工程を減らすことができる。なお、この場合、半導体膜の結晶化には、フェムト秒レーザ以外のレーザ、例えばエキシマレーザや固体レーザの高調波などを用いても良い。そして、半導体膜の結晶化とキャップ膜の除去を並行して行うこともできるので、結晶化及びキャップ膜除

50

去の工程に掛かる時間を短縮することができる。

【発明を実施するための最良の形態】

【0018】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指し示す符号は異なる図面間において共通とする。

【0019】

(実施の形態1)

10

以下、本発明の結晶性半導体膜の作製方法及びそれを用いた薄膜トランジスタの作製方法について図面を用いて説明する。

図1は本発明の作製方法の工程を示す図である。

【0020】

まず、図1(A)に示すとおり、絶縁表面を有する基板100の片面に、下地膜として機能する絶縁膜101を形成する。下地膜として機能する絶縁膜101は、厚さ50nm乃至150nmの酸化珪素膜、窒化珪素膜、酸素より窒素の含有量の多い窒化酸化珪素膜、窒素より酸素の含有量の多い酸化窒化珪素膜等を適宜用いて形成する。ここでは、絶縁表面を有する基板100として、例えば、厚さ0.7mmのガラス基板を用いる。また、下地膜として機能する絶縁膜101を、厚さ50nmの窒化酸化珪素膜をプラズマCVD法により形成した後、厚さ100nmの酸化窒化珪素膜をプラズマCVD法により形成する。

20

【0021】

なお、下地膜として機能する絶縁膜101は、必要に応じて設ければよく、基板100がガラスの場合は、ガラスからの不純物が半導体膜102に拡散することを防止するものであるが、基板100として石英基板を用いた場合は、下地膜として機能する絶縁膜101を設けなくても良い。また、絶縁膜101と基板100との間に剥離膜を設け、工程終了後に基板100から半導体素子を剥離してもよい。

【0022】

次に、絶縁膜101上に、半導体膜102として、10nm以上100nm以下の厚さ、好ましくは20nm以上80nm以下の厚さの非晶質半導体膜をプラズマCVD法にて成膜する。

30

【0023】

その半導体膜102については、本実施の形態では非晶質珪素を用いるが、シリコンゲルマニウム(Si_{1-x}Ge_x(0 < x < 0.1))なども用いることができるし、さらに単結晶がダイヤモンド構造であるシリコンカーバイト(SiC)を用いることができる。

【0024】

また、その半導体膜102が非晶質半導体膜である場合、半導体膜102を形成した後、半導体膜を加熱してもよい。当該加熱処理は、非晶質珪素膜から水素を出すための処理である。なお、その水素を出すのは、レーザビームを照射したときに半導体膜102から水素ガスが噴出することを防ぐためであり、半導体膜102に含まれる水素が少なければ省略できる。ここでは、半導体膜102を、電気炉内で500、1時間加熱する。

40

【0025】

次に、半導体膜102上にキャップ膜103として厚さ200nm以上1000nm以下のSi_xN_y(0 < x < 1.5, 0 < y < 2, 0 < 4x + 3y < 6)膜を形成する。

【0026】

キャップ膜103は、モノシリコン(SiH₄)、アンモニア(NH₃)及び亜酸化窒素(N₂O)を反応ガスとして、プラズマCVD法を用いて形成することができる。なお、亜酸化窒素(N₂O)は酸化剤として用いるものであり、その代わりに酸化作用のある酸素を用いてもよい。このようなガスを用いることで、窒素より酸素の含有量が多い酸化窒化

50

珪素（以下、 SiO_xNy ($x > y$) と示す。）膜を形成することができる。また、キャップ膜 103 は、モノシラン（ SiH_4 ）、及びアンモニア（ NH_3 ）を反応ガスとして、プラズマ CVD 法を用いて形成することができる。このようなガスを用いることで、酸素より窒素の含有量が多い窒化酸化珪素（以下、 SiN_xO_y ($x > y$) と示す。）膜を形成することができる。

【0027】

キャップ膜 103 については、熱膨張係数などの熱的な値や延性などの値が接する半導体膜と近いものであることが好ましい。さらに、キャップ膜 103 は、後に形成される薄膜トランジスタのゲート絶縁膜と同等の固く、エッティング速度の遅い緻密な膜であることが好ましい。代表的にはフッ化水素アンモニウム及びフッ化アンモニウムの混合水溶液またはフッ酸水溶液を用い 20 でエッティングしたときのエッティング速度が 1 nm / 分以上 150 nm / 分以下、好ましくは 10 nm / 分以上 130 nm / 分以下、更に好ましく 10 nm / 分以上 100 nm / 分以下である緻密な膜であることが望ましい。

10

【0028】

また、ハイドロフルオロカーボンガスによるドライエッティングのエッティング速度が 100 nm / 分以上 150 nm / 分以下、好ましくは 110 nm / 分以上 130 nm / 分以下である緻密な膜であることが望ましい。このような固く緻密な膜は、例えば成膜率を低くすることにより形成することができる。キャップ膜 103 として、緻密な膜を形成することで、熱伝導率を高めることができる。

20

【0029】

なお、キャップ膜 103 に水素が多く含まれている場合には、半導体膜 102 と同様に、水素を出すための加熱処理を行う。

【0030】

次に、図 1 (B) 及び (C) に示すように、キャップ膜 103 の上方からフェムト秒レーザのレーザビーム 105 を照射し、基板 100 を走査すること（レーザは固定、基板を走査）により、半導体膜 102 を結晶化すると共にキャップ膜 103 の除去を行う。

【0031】

フェムト秒レーザは、パルス幅が数 f (フェムト) から数百 f 秒でエネルギー密度数百 mJ/cm^2 から数十 J/cm^2 、好ましくは 500 mJ/cm^2 から 5 J/cm^2 程度で照射する。基板の走査速度は、数十 mm/sec から数百 mm/sec で走査する。

30

【0032】

フェムト秒レーザとは、パルス幅がフェムト秒（10 のマイナス 15 乗秒）帯と極端に短いレーザであり、一般にはパルス幅が、1 f (フェムト) 秒以上、1 p (ピコ) 秒未満のレーザをいう。フェムト秒レーザは、瞬間的な電場強度は 10 TW / cm^2 にも達する。このレーザは、パルスレーザであり、レーザ光が空間、時間領域において局在している。

【0033】

そのため、通常のレーザでは、1 光子のエネルギーが物質のバンドギャップよりも大きいレーザ光を照射した場合、1 個の光子が吸収されて 1 個の電子が励起状態へと遷移し、光と物質は相互作用を起こすのに対し、フェムト秒レーザを使用した場合は、複数の光子が同時に吸収される多光子吸収反応が焦点付近のみで励起される。よって、通常では考えられないような反応を誘起することができる。

40

【0034】

結晶化の原理は、直接半導体膜 102 にレーザが作用するのではなく、まず、キャップ膜 103 に多光子吸収によりレーザ光が吸収され、キャップ膜 103 が加熱される。加熱が進行するとその熱が半導体膜 102 に伝わり、結晶化される。また、同時にキャップ膜 103 も加熱が進行してアブレーションされ、除去される。

【0035】

レーザビーム 105 の照射が終わると、図 1 (D) に示すように、半導体膜 102 の結晶化すべき部分は結晶化されて結晶性半導体膜 106 となり、結晶性半導体膜 106 の上のキャップ膜 103 は除去される。

50

【0036】

ここで、結晶性半導体膜106は、多結晶半導体膜、微結晶半導体膜、セミアモルファス半導体膜等の、結晶化領域を含む半導体膜のことである。本実施の形態では、結晶性半導体膜は、多結晶半導体膜の構造をとるのが好ましい。

【0037】

半導体膜102の一部のみを結晶化する場合は、結晶化しない半導体膜102の上のキャップ膜103は必要に応じて、フェムト秒レーザで除去することができる。その場合にはフェムト秒レーザのエネルギーを調整することにより、キャップ膜103の除去のみを行うことができる。

【0038】

次に、図1(E)に示すように、結晶性半導体膜106を用いて、チャネル領域と、ソース領域及びドレイン領域を形成し、薄膜トランジスタ(TFT)150及び薄膜トランジスタ(TFT)151を作製することができる。

【0039】

なお、薄膜トランジスタの作製プロセスに入る前に、半導体膜102の薄膜化を行っても良い。具体的には、半導体膜102の厚さが10nm以上30nm以下となるようにエッチングを行っても良い。本発明では、キャップ膜103の上からレーザ照射を行うので、このような厚さの薄い半導体膜102もレーザ結晶化することが可能である。このような厚さの薄い結晶性半導体膜106を用いて薄膜トランジスタを形成すると、完全空乏型薄膜トランジスタとなるため、移動度の高い薄膜トランジスタを作製することができる。

【0040】

以上のように、キャップ膜103を成膜した基板をレーザ結晶化する際に、本発明のようにフェムト秒レーザを使用することで、半導体膜102の結晶化とキャップ膜103の除去とを同時に行うことが可能となる。そのため、後工程のキャップ膜除去工程を削減することができ、コストダウンに貢献できる。

【0041】

また、フェムト秒レーザのエネルギーを調整することにより、半導体膜102の結晶化とキャップ膜103の除去を別工程で行うこともでき、その場合、半導体膜102の結晶化を行った後に、フェムト秒レーザを用いて上層のキャップ膜103のみを除去することができる。したがって、キャップ膜除去にフェムト秒レーザを使用することで、エッチング工程の薬液およびガスを使用する必要がなくなり、薬品やガスを処理する工程を減らすことができる。

【0042】

次に、フェムト秒レーザのレーザビーム105形成するための光学系を、図2を用いて説明する。

【0043】

図2において、レーザ発振器201は、波長が赤外領域のフェムト秒レーザを発振するレーザ発振器である。レーザ発振器201から射出されたレーザビームは、ミラー202で照射面であるガラス基板205へ垂直にレーザビームが至るようにレーザビームの方向を変える。次いで、線状ビームの線方向に作用するシリンドリカルレンズ203、線状ビームの幅方向に作用するシリンドリカルレンズ204により、照射面にて線状ビームが形成される。

【0044】

キャップ膜及び半導体膜を成膜したガラス基板205を、XYステージ206を用いて適宜、前後左右に走査を繰り返して半導体膜を結晶化させることができる。

【0045】

(実施の形態2)

以下、本発明の結晶性半導体膜の作製方法及びそれを用いた薄膜トランジスタの作製方法の別の形態について図面を用いて説明する。図3は、本発明の作製方法の工程を示す図である。

【0046】

まず、実施の形態1で図1(A)を用いて説明した方法で絶縁膜101、半導体膜102、キャップ膜103を順次形成した基板100に対し、図3(A)に示すように、キャップ膜103の上方から結晶化を行うためのレーザのレーザビーム110を照射し、基板100を走査する。図3(B)および(C)に示すように、レーザビーム110の照射と並行して、基板の走査方向に対し、結晶化を行うためのレーザのレーザビーム110の後方からフェムト秒レーザのレーザビーム111を照射する。レーザビーム110により、半導体膜102が結晶化され、結晶化された直後にレーザビーム111を照射することにより、キャップ膜103が除去される。

【0047】

10

フェムト秒レーザは、数mJ/cm²から数J/cm²で照射する。また、基板の走査速度は、結晶化の速度と同様の数十mm/secから数百mm/secで走査することが好みしい。

【0048】

レーザビームの照射が終わると、図3(D)に示すように、半導体膜102の結晶化すべき部分は結晶化されて結晶性半導体膜106となり、結晶性半導体膜106の上のキャップ膜103は除去される。

【0049】

ここで、結晶性半導体膜106は、多結晶半導体膜、微結晶半導体膜、セミアモルファス半導体膜等の、結晶化領域を含む半導体膜のことである。本実施の形態では、結晶性半導体膜は、多結晶半導体膜の構造をとるのが好みしい。

20

【0050】

次に、図3(E)に示すように、結晶性半導体膜106を用いて、通常のプロセスでチャネル領域、ソース領域又はドレイン領域を形成し、薄膜トランジスタ(TFT)150及び薄膜トランジスタ(TFT)151を作製することができる。

【0051】

なお、薄膜トランジスタの作製プロセスに入る前に、半導体膜102の薄膜化を行っても良い。具体的には、半導体膜102の厚さが10nm以上30nm以下となるようにエッチングを行っても良い。本発明では、キャップ膜103の上からレーザ照射を行うので、このような厚さの薄い半導体膜102もレーザ結晶化することが可能である。このような厚さの薄い結晶性半導体膜106を用いて薄膜トランジスタを形成すると、完全空乏型薄膜トランジスタとなるため、移動度の高い薄膜トランジスタを作製することができる。

30

【0052】

以上のように、通常のレーザにより半導体膜の結晶化を行った後ろから、連続してフェムト秒レーザを用いて上層のキャップ膜のみを除去することが可能である。半導体膜の結晶化とキャップ膜の除去を並行して行うことにより、工程に掛かる時間を短縮することができる。また、キャップ膜除去にフェムト秒レーザを使用することで、エッチング工程の薬液およびガスを使用する必要がなくなり、薬品やガスを処理する工程を減らすことができる。

【0053】

40

次に、本実施の形態で使用する装置について、図4を用いて説明する。

【0054】

図4において、結晶化を行う第1のレーザ発振器210は、結晶化する半導体膜に数十%以上吸収される波長のレーザを用いる。連続発振レーザや繰り返し周波数が10MHz以上のパルス発振レーザを使用することが好みしい。例えば、気体レーザとしては、Arレーザ、Krレーザ、CO₂レーザ等がある。固体レーザとして、YAGレーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、KGWレーザ、KYWレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、Y₂O₃レーザ、YVO₄レーザ等がある。さらに、YAGレーザ、Y₂O₃レーザ、GdVO₄レーザ、YVO₄レーザ等のセラミックスレーザがあり、金属蒸気レーザとしてはヘリウムカドミウムレーザ等が挙げられる

50

。

【0055】

また、レーザビームをTEM₀₀（シングル横モード）で発振して射出することもでき、このようにすると被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。

【0056】

第1のレーザ発振器210から射出されたレーザビームは、ミラー202で照射面であるガラス基板205へ垂直にレーザビームが至るようにレーザビームの方向を変える。次いで、線状ビームの線方向に作用するシリンドリカルレンズ203、線状ビームの幅方向に作用するシリンドリカルレンズ204により、照射面にて線状ビームが形成される。

10

【0057】

一方、キャップ膜を除去する第2のレーザ発振器211は、波長が赤外領域のフェムト秒レーザを発振するレーザ発振器である。レーザ発振器から射出されたレーザビームは、ガルバノスキャナ212で照射面であるガラス基板205に照射されるようにレーザビームの方向を変える。次いで、fレンズ213により、照射面にて集光されビームスポットが形成される。

【0058】

キャップ膜及び半導体膜を成膜したガラス基板205を、XYステージ206を用いて適宜、前後左右に走査を繰り返して半導体膜を結晶化させながらキャップ膜を除去することができる。

20

【0059】

また、第2のレーザ発振器から発振されたレーザビームは、ガルバノスキャナ212によって、基板の走査方向次第で照射する位置を変更し、常に第1のレーザビームにより半導体膜が結晶された後に第2のレーザビームが照射され、キャップ膜が除去されるようとする。

【0060】

第2のレーザ発振器から発振されたレーザビームの照射面におけるスポットは、形状については特に規定しないが、スポットサイズについては第1のレーザの線状ビームの長さ方向とほぼ同等となるようにすることが望ましい。

30

【実施例1】

【0061】

本実施例では、上記発明実施の形態1で示した結晶性半導体薄膜の作製方法で用いたフェムト秒レーザで、非晶質半導体膜の結晶とキャップ膜の除去を同時に行った例について図面を用いて説明する。

【0062】

まず、サンプルを以下の方法で作製した。ガラス基板上に下地膜として、厚さ50nmの窒化酸化珪素膜をプラズマCVD法により形成した後、厚さ100nmの酸化窒化珪素膜をプラズマCVD法により形成した。次に下地膜の上に非晶質珪素膜をプラズマCVD法にて成膜し、その上からキャップ膜としてSiNOをプラズマCVD法にて300nm成膜した。非晶質珪素膜の膜厚は、20nm、25nm、30nmの3種類のサンプルを作製した。SiNOの組成はSi:32.2%、O:5.2%、N:45.5%、H:17.2%とする。なお、比較対象として、非晶質珪素膜の膜厚が20nmで、キャップ膜なしのサンプルも作製した。

40

【0063】

レーザ発振器としては波長が795nm(±15nm)でパルス幅50f(フェムト)秒のレーザを用いた。光学系は、fレンズとガルバノスキャナを用いて、スポット径を10μmとした。レーザの焦点は、キャップ膜の表面に合わせ、焦点深度にキャップ膜と非晶質珪素膜が収まるようにした。

【0064】

各サンプルについて、1ショットが確認できるようガルバノスキャナの走査速度を調整し

50

、一定区間、レーザ光を照射した。レーザ光のエネルギー密度は、非晶質珪素膜の膜厚が20nmのサンプルについては2.7J/cm²、25nmのサンプルについては2.7J/cm²、30nmのサンプルについては3.6J/cm²、キャップ膜なしのサンプルについては0.9J/cm²とした。

【0065】

レーザ光照射後の、各サンプルについて、光学顕微鏡で観察するとともにラマン分光測定を行った。その結果を、非晶質珪素膜の膜厚が20nmのサンプルについては図5、25nmのサンプルについては図6、30nmのサンプルについては図7、キャップ膜なしのサンプルについては図19に示す。各図において、(a)が光学顕微鏡の観察写真で、(b)がラマン分光測定による分析結果であり、横軸が波数(cm⁻¹)で、縦軸がラマン強度を示す。

【0066】

非晶質珪素膜の膜厚が20nmのサンプルの結果である図5を観ると、レーザ照射された部分の中心(図5(A)において、点A及び点B)におけるラマン分光測定結果(図5(B))で多結晶珪素のピーク(波数520cm⁻¹)が出ており、その他の部分(図5(A)において、点C及び点D)では、多結晶珪素のピークが出ていない。

【0067】

のことから、レーザ照射された中心部で非晶質珪素が結晶化されたとともにキャップ膜が除去されていることがわかる。

【0068】

同様に、非晶質珪素膜の膜厚が25nmのサンプルの結果である図6でも、レーザ照射された部分の中心(図6(A)において、点A)におけるラマン分光測定結果(図6(B))で多結晶珪素のピークが出ており、その他の部分(図6(A)において、点B及び点C)では、多結晶珪素のピークが出ていないことが確認できる。

【0069】

非晶質珪素膜の膜厚が30nmのサンプルの結果である図7でも、レーザ照射された部分の中心(図7(A)において、点A及び点B)におけるラマン分光測定結果(図7(B))で多結晶珪素のピークが出ており、その他の部分(図7(A)において、点C及び点D)では、多結晶珪素のピークが出ていないことが確認できる。

【0070】

だが、非晶質珪素膜の膜厚が20nmで、キャップ膜なしのサンプルの結果である図19では、レーザ照射の中心(図19(A)において、点E)及びその他の部分(図19(A)において、点F)の両方におけるラマン分光測定結果(図19(B))で多結晶珪素のピークが出ていないことが確認できる。レーザ照射の中心(図19(A)において、点E)では、キャップ膜と非晶質珪素膜がアブレーションし、その他の部分(図19(A)において、点F)では、レーザ照射の中心部のアブレーションの影響で、キャップ膜と非晶質珪素膜が浮き上がっていると考えられる。

【0071】

のことから、キャップ膜なしで直接非晶質珪素膜にレーザ照射すると、レーザ照射された部分で非晶質珪素膜が結晶化されていないのがわかる。

【実施例2】

【0072】

本実施例では上記発明実施の形態1又は2で作製方法の例を示した半導体膜を使ってアクティブマトリクス基板を作製する方法の例について図面を用いて説明する。図8～図11が本実施例におけるアクティブマトリクス基板の作製方法の工程図である。

【0073】

図8(A)において、基板700は、例えばコーニング社の7059ガラスや1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニウムホウケイ酸ガラスなどのガラスからなる。なお、基板700としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理

10

20

30

40

50

温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0074】

次いで、基板700上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜701を形成する。本実施例では下地膜701として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜701の一層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化珪素膜701aを10～200nm(好ましくは50～100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜701a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜701の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化珪素膜701bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜701b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0075】

次いで、下地膜701上に半導体膜702を形成する。半導体膜702は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により、20～80nmの厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成すると良い。本実施例では、プラズマCVD法を用い、30nmの非晶質珪素膜を成膜する。

【0076】

続いて、半導体膜702の上にキャップ膜703を形成する。キャップ膜703としては、SiONをプラズマCVD法にて300nm成膜する。

【0077】

その後図8(B)に示すように、実施の形態1又は実施の形態2で示した結晶性半導体膜の作製方法により、半導体膜702を結晶化して結晶性半導体膜801を形成するとともに、キャップ膜703を除去した。フェムト秒レーザは、波長が795nm(±15nm)でパルス幅50f(フェムト)秒のレーザ光を用い、エネルギー密度は2.7J/cm²とした。

【0078】

次いで図8(C)に示すように、レーザ結晶化法を行なって得られた結晶質半導体膜を所望の形状にパターニングして、半導体層802～806を形成する。

【0079】

半導体層802～806を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行なってもよい。

【0080】

次いで、半導体層802～806を覆うゲート絶縁膜807を形成する。ゲート絶縁膜807はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0081】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethylorthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0082】

次いで、ゲート絶縁膜807上に膜厚が20～100nmの第1の導電膜808と、膜厚が100～400nmの第2の導電膜809とを積層形成する。本実施例では、膜厚30

10

20

30

40

50

n m の窒化タンタル膜からなる第 1 の導電膜 8 0 8 と、膜厚 3 7 0 n m のW 膜からなる第 2 の導電膜 8 0 9 を積層形成した。窒化タンタル膜はスパッタ法で形成し、Ta のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タンゲステン (W F₆) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 μ cm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度の W (純度 99.9999 %) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 2 0 μ cm を実現することができた。 10

【 0 0 8 3 】

なお、本実施例では、第 1 の導電膜 8 0 8 を窒化タンタル、第 2 の導電膜 8 0 9 を W としたが、特に限定されず、いずれも Ta 、 W 、 Ti 、 Mo 、 Al 、 Cu 、 Cr 、 Nd から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、Ag Pd Cu 合金を用いてもよい。また、第 1 の導電膜をタンタル (Ta) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化チタン膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル膜で形成し、第 2 の導電膜を Al 膜とする組み合わせ、第 1 の導電膜を窒化タンタル膜で形成し、第 2 の導電膜を Cu 膜とする組み合わせとしてもよい。 20

【 0 0 8 4 】

次に、図 8 (D) に示すように、フォトリソグラフィ法を用いてレジストからなるマスク 8 1 0 ~ 8 1 5 を形成し、電極及び配線を形成するための第 1 のエッティング処理を行なう。第 1 のエッティング処理では第 1 及び第 2 のエッティング条件で行なう。本実施例では第 1 のエッティング条件として、 I C P (I n d u c t i v e l y C o u p l e d P l a s m a : 誘導結合型プラズマ) エッティング法を用いる。エッティング用ガスに C F₄ と C l₂ と O₂ とを用い、それぞれのガス流量比を 2 5 / 2 5 / 1 0 (s c c m) とし、 1 P a の圧力でコイル型の電極に 5 0 0 W の R F (1 3 . 5 6 M H z) 電力を投入してプラズマを生成してエッティングを行った。ここでは、松下電器産業 (株) 製の I C P を用いたドライエッティング装置 (M o d e l E 6 4 5 - I C P) を用いた。基板側 (試料ステージ) にも 1 5 0 W の R F (1 3 . 5 6 M H z) 電力を投入し、負の自己バイアス電圧を印加する。この第 1 のエッティング条件により W 膜をエッティングして第 1 の導電層の端部をテーパー形状とする。 30

【 0 0 8 5 】

この後、レジストからなるマスク 8 1 0 ~ 8 1 5 を除去せずに第 2 のエッティング条件に変え、エッティング用ガスに C F₄ と C l₂ とを用い、それぞれのガス流量比を 3 0 / 3 0 (s c c m) とし、 1 P a の圧力でコイル型の電極に 5 0 0 W の R F (1 3 . 5 6 M H z) 電力を投入してプラズマを生成して約 3 0 秒程度のエッティングを行った。基板側 (試料ステージ) にも 2 0 W の R F (1 3 . 5 6 M H z) 電力を投入し、負の自己バイアス電圧を印加する。 C F₄ と C l₂ を混合した第 2 のエッティング条件では W 膜及び窒化タンタル膜とも同程度にエッティングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、 1 0 ~ 2 0 % 程度の割合でエッティング時間を増加させると良い。 40

【 0 0 8 6 】

上記第 1 のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパー形状となる。このテーパー部の角度は 1 5 ~ 4 5 ° となる。こうして、第 1 のエッティング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 8 1 7 ~ 8 2 2 (第 1 の導電層 8 1 7 a ~ 8 2 2 a と第 2 の導電層 8 1 7 b ~ 8 2 2 b) を形成する。 8 1 6 はゲート絶縁膜であり、第 1 の形状の導電層 8 1 7 ~ 8 2 2 で覆われない領 50

域は 20 ~ 50 nm 程度エッティングされ薄くなった領域が形成される。

【0087】

そして、図 9 (A) に示すようにレジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を添加する。ドーピング処理はイオンドープ法、若しくはイオン注入法で行なえば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 60 ~ 100 keV として行なう。本実施例ではドーズ量を $1.5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 80 keV として行なった。

【0088】

n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、導電層 817 ~ 821 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の高濃度不純物領域 706 ~ 710 が形成される。第 1 の高濃度不純物領域 706 ~ 710 には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。

10

【0089】

次いで、レジストからなるマスクを除去せずに第 2 のエッティング処理を行なう。ここでは、エッティングガスに CF₄ と Cl₂ と O₂ を用い、W 膜を選択的にエッティングする。この時、第 2 のエッティング処理により第 2 の導電層 828b ~ 833b を形成する。一方、第 1 の導電層 817a ~ 822a は、ほとんどエッティングされず、第 2 の形状の導電層 828 ~ 833 を形成する。

20

【0090】

次いで、レジストからなるマスクを除去せずに、図 9 (B) に示すように、第 2 のドーピング処理を行なう。この場合、第 1 のドーピング処理よりもドーズ量を下げて、70 ~ 120 keV の高い加速電圧で、n 型を付与する不純物元素を導入する。本実施例ではドーズ量を $1.5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を 90 keV として行なった。第 2 のドーピング処理は第 2 の形状の導電層 828 ~ 833 をマスクとして用い、第 2 の導電層 828b ~ 833b の下方における半導体層にも不純物元素が導入され、新たに第 2 の高濃度不純物領域 823a ~ 827a および低濃度不純物領域 823b ~ 827b が形成される。

30

【0091】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク 834a および 834b を形成して、図 9 (C) に示すように、第 3 のエッティング処理を行なう。エッティング用ガスに SF₆ および Cl₂ を用い、ガス流量比を 50 / 10 (sccm) とし、1.3 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成し、約 30 秒のエッティング処理を行なう。基板側 (試料ステージ) には 10 W の RF (13.56 MHz) 電力を投入し、負の自己バイアス電圧を印加する。こうして、第 3 のエッティング処理により、p チャネル型 TFT および画素部の TFT (画素 TFT) の窒化タンタル膜をエッティングして、第 3 の形状の導電層 835 ~ 838 を形成する。

30

【0092】

次いで、図 10 (A) に示すように、レジストからなるマスクを除去した後、第 2 の形状の導電層 828、830 および第 2 の形状の導電層 835 ~ 838 をマスクとして用い、ゲート絶縁膜 816 を選択的に除去して絶縁層 839 ~ 844 を形成する。

40

【0093】

次いで、図 10 (B) に示すように、新たにレジストからなるマスク 845a ~ 845c を形成して第 3 のドーピング処理を行なう。この第 3 のドーピング処理により、p チャネル型 TFT の活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域 846a ~ 846c 及び 847a ~ 847c とチャネル形成領域 846d 及び 847d を形成する。第 2 の導電層 835a、838a を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に不純物領域を形

50

成する。本実施例では、不純物領域 846a～846c、847a～847c はジボラン (B₂H₆) を用いたイオンドープ法で形成する。この第3のドーピング処理の際には、nチャネル型 TFT を形成する半導体層はレジストからなるマスク 845a～845c で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域 846a～846c、847a～847c にはそれぞれ異なる濃度でリンが添加されている。しかし、そのいずれの領域においても p 型を付与する不純物元素の濃度を 2×10^{20} ～ $2 \times 10^{21} / \text{cm}^3$ となるようにドーピング処理することにより、pチャネル型 TFT のソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型 TFT の活性層となる半導体層の一部が露呈しているため、不純物元素 (ボロン) を添加しやすい利点を有している。

10

【0094】

以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0095】

次いで、レジストからなるマスク 845a～845c を除去して第1の層間絶縁膜 861 を形成する。この第1の層間絶縁膜 861 としては、プラズマ CVD 法またはスパッタ法を用い、厚さを 100～200 nm として珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により膜厚 150 nm の酸化窒化珪素膜を形成した。もちろん、第1の層間絶縁膜 861 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

20

【0096】

次いで、図 10 (C) に示すように、加熱処理を行なって、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法で行なう。熱アニール法としては、酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400～700、代表的には 500～550 で行なえばよく、本実施例では 550、4 時間の熱処理で活性化処理を行なった。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。レーザアニール法については発明実施の形態で示した方法を採用してもよいが、与えるエネルギー密度によっては、ゲートなどがアブレーションなどを起こす場合もあるため、条件には注意する必要がある。

30

【0097】

また、第1の層間絶縁膜 861 を形成する前に加熱処理を行なっても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (珪素を主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行なうことが好ましい。

【0098】

さらに、3～100% の水素を含む雰囲気中で、300～550 で 1～12 時間の熱処理を行ない、半導体層を水素化する工程を行なう。本実施例では水素を約 3% の含む窒素雰囲気中で 410、1 時間の熱処理を行なった。この工程は層間絶縁膜に含まれる水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行なっても良い。

40

【0099】

また、活性化処理として従来のレーザアニール法を用いる場合には、上記水素化を行なった後、エキシマレーザや YAG レーザ等のレーザビームを照射することが望ましい。

【0100】

次いで、図 11 に示すように、第1の層間絶縁膜 861 上に無機絶縁材料または有機絶縁物材料から成る第2の層間絶縁膜 862 を形成する。本実施例では、膜厚 1.6 μm のアクリル樹脂膜を形成したが、粘度が 10～1000 cP、好ましくは 40～200 cP のものを用い、表面に凹凸が形成されるものを用いた。

【0101】

本実施例では、鏡面反射を防ぐため、表面に凹凸が形成される第2の層間絶縁膜を形成す

50

ることによって画素電極の表面に凹凸を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトマスクで行なうことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凹凸に沿って画素電極の表面に凹凸が形成される。

【0102】

また、第2の層間絶縁膜862として表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

10

【0103】

そして、駆動回路906において、各不純物領域とそれぞれ電気的に接続する配線863～867を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層膜をパターニングして形成する。

【0104】

また、画素部907においては、画素電極870、ゲート配線869、接続電極868を形成する。この接続電極868によりソース配線は、画素TFTと電気的な接続が形成される。また、ゲート配線869は、画素TFTのゲート電極と電気的な接続が形成される。また、画素電極870は、画素TFTのドレイン領域と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電気的な接続が形成される。また、画素電極870としては、A1またはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

20

【0105】

以上の様にして、nチャネル型TFT901とpチャネル型TFT902からなるCMOS回路、及びnチャネル型TFT903を有する駆動回路906と、画素TFT904、保持容量905とを有する画素部907を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0106】

駆動回路906のnチャネル型TFT901はチャネル形成領域823c、ゲート電極の一部を構成する第1の導電層828aと重なる低濃度不純物領域823b(GOLD領域)、とソース領域またはドレイン領域として機能する高濃度不純物領域823aを有している。このnチャネル型TFT901と電極866で接続してCMOS回路を形成するpチャネル型TFT902にはチャネル形成領域846d、ゲート電極の外側に形成される不純物領域846b、846c、ソース領域またはドレイン領域として機能する高濃度不純物領域846aを有している。また、nチャネル型TFT903にはチャネル形成領域825c、ゲート電極の一部を構成する第1の導電層830aと重なる低濃度不純物領域825b(GOLD領域)、とソース領域またはドレイン領域として機能する高濃度不純物領域825aを有している。

30

【0107】

画素部の画素TFT904にはチャネル形成領域826c、ゲート電極の外側に形成される低濃度不純物領域826b(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域826aを有している。また、保持容量905の一方の電極として機能する半導体層847a、847bには、それぞれp型を付与する不純物元素が添加されている。保持容量905は、絶縁膜844を誘電体として、電極(838aと838bの積層)と、半導体層847a～847cとで形成している。

40

【0108】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0109】

50

また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図12に示す。なお、図8～図11に対応する部分には同じ符号を用いている。図11中の鎖線A-A'は図12中の鎖線A-A'で切断した断面図に対応している。また、図11中の鎖線B-B'は図12中の鎖線B-B'で切断した断面図に対応している。

【実施例3】

【0110】

本実施例では、実施例2で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図13を用いる。

【0111】

まず、実施例2に従い、図11の状態のアクティブマトリクス基板を得た後、図11のアクティブマトリクス基板上、少なくとも画素電極870上に配向膜967を形成しラビング処理を行なう。なお、本実施例では配向膜967を形成する前に、アクリル樹脂膜等の有機樹脂膜をバーニングすることによって基板間隔を保持するための柱状のスペーサ972を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0112】

次いで、対向基板969を用意する。次いで、対向基板969上に着色層970、971、平坦化膜973を形成する。赤色の着色層970と青色の着色層971とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

20

【0113】

本実施例では、実施例2に示す基板を用いている。従って、実施例2の画素部の上面図を示す図12では、少なくともゲート配線869と画素電極870の間隙と、ゲート配線869と接続電極868の間隙と、接続電極868と画素電極870の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0114】

このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

30

【0115】

次いで、平坦化膜973上に透明導電膜からなる対向電極976を少なくとも画素部に形成し、対向基板の全面に配向膜974を形成し、ラビング処理を施した。

【0116】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材968で貼り合わせる。シール材968にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料975を注入し、封止材(図示せず)によって完全に封止する。液晶材料975には公知の液晶材料を用いれば良い。このようにして図13に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板(図示しない)を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。

40

【0117】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【実施例4】

【0118】

本実施例では、本発明を用いて発光装置を作製した例について説明する。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス(Electro-L

50

u m i n e s c e n c e) が得られる有機化合物を含む層 (発光層) と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) があり、これらのうちどちらか、あるいは両方の発光を含む。

【 0 1 1 9 】

図 1 4 は本実施例の発光装置の断面図である。図 1 4 において、基板 1 1 0 0 上に設けられたスイッチング T F T 1 0 0 3 は図 1 1 の n チャネル型 T F T 9 0 3 を用いて形成される。したがって、その構造は図 1 1 の n チャネル型 T F T 9 0 3 と同様である。

【 0 1 2 0 】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、 10 チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【 0 1 2 1 】

基板 1 1 0 0 上に設けられた駆動回路は図 1 1 の C M O S 回路を用いて形成される。従って、その構造は図 1 1 の n チャネル型 T F T 9 0 1 と p チャネル型 T F T 9 0 2 と同様である。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【 0 1 2 2 】

また、配線 1 1 0 1 、 1 1 0 3 は C M O S 回路のソース配線、 1 1 0 2 はドレイン配線として機能する。また、配線 1 1 0 4 はソース配線 1 1 0 8 とスイッチング T F T のソース領域とを電気的に接続する配線として機能し、配線 1 1 0 5 はドレイン配線 1 1 0 9 とスイッチング T F T のドレイン領域とを電気的に接続する配線として機能する。 20

【 0 1 2 3 】

なお、電流制御 T F T 1 0 0 4 は図 1 1 の p チャネル型 T F T 9 0 2 を用いて形成される。従って、その構造は図 1 1 の p チャネル型 T F T 9 0 2 と同様である。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【 0 1 2 4 】

また、配線 1 1 0 6 は電流制御 T F T 1 0 0 4 のソース配線 (電流供給線に相当する) であり、配線 1 1 0 7 は画素電極 1 1 1 0 上に重ねることで画素電極 1 1 1 0 と電気的に接続する電極である。 30

【 0 1 2 5 】

なお、画素電極 1 1 1 0 は、透明導電膜からなる画素電極 (発光素子の陽極) である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極 1 1 1 0 は、上記配線を形成する前に平坦な層間絶縁膜 1 1 1 1 上に形成する。本実施例においては、樹脂からなる層間絶縁膜 1 1 1 1 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。 40

【 0 1 2 6 】

配線 1 1 0 1 ~ 1 1 0 7 を形成後、図 1 4 に示すように隔壁 1 1 1 2 を形成する。隔壁 1 1 1 2 は 1 0 0 ~ 4 0 0 n m の珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。

【 0 1 2 7 】

なお、隔壁 1 1 1 2 は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例では隔壁 1 1 1 2 の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 1 0 ^ 6 \sim 1 \times 1 0 ^ {12} \text{ m}$ (好ましくは $1 \times 1 0 ^ 8 \sim 1 \times 1 0 ^ {10} \text{ m}$) となるようにカーボン粒子や金属 50

粒子の添加量を調節すれば良い。

【0128】

画素電極 1110 の上には発光層 1113 が形成される。なお、図 14 では一画素しか図示していないが、本実施例では R (赤)、G (緑)、B (青) の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として 20 nm 厚の銅フタロシアニン (CuPc) 膜を設け、その上に発光層として 70 nm 厚のトリス - 8 - キノリノラトアルミニウム錯体 (Alq₃) 膜を設けた積層構造としている。Alq₃ にキナクリドン、ペリレンもしくは DCM 1 といった蛍光色素を添加することで発光色を制御することができる。

【0129】

但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、高分子系有機発光材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

【0130】

次に、発光層 1113 の上には導電膜からなる陰極 1114 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の MgAg 膜 (マグネシウムと銀との合金膜) を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0131】

この陰極 1114 まで形成された時点で発光素子 1115 が完成する。なお、ここでいう発光素子 1115 は、画素電極 1110 (陽極)、発光層 1113 及び陰極 1114 で形成されたダイオードを指す。

【0132】

発光素子 1115 を完全に覆うようにしてパッシベーション膜 1116 を設けることは有効である。パッシベーション膜 1116 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0133】

この際、カバーレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に DLC (ダイヤモンドライクカーボン) 膜を用いることは有効である。DLC 膜は室温から 100 以下の温度範囲で成膜可能であるため、耐熱性の低い発光層 1113 の上方にも容易に成膜することができる。また、DLC 膜は酸素に対するプロッキング効果が高く、発光層 1113 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に発光層 1113 が酸化するといった問題を防止できる。

【0134】

さらに、パッシベーション膜 1116 上に封止材 1117 を設け、カバー材 1118 を貼り合わせる。封止材 1117 としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材 1118 はガラス基板や石英基板やプラスチック基板 (プラスチックフィルムも含む) の両面に炭素膜 (好ましくはダイヤモンドライクカーボン膜) を形成したもの用いる。

【0135】

こうして図 14 に示すような構造の発光装置が完成する。なお、隔壁 1112 を形成した後、パッシベーション膜 1116 を形成するまでの工程をマルチチャンバー方式 (またはインライン方式) の成膜装置を用いて、大気開放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 1118 を貼り合わせる工程までを大気開放せずに

10

20

30

40

50

連続的に処理することも可能である。

【0136】

こうして、基板1100上にnチャネル型TFT1001、pチャネル型TFT1002、スイッチングTFT1003(nチャネル型TFT)および電流制御TFT1004(nチャネル型TFT)が形成される。ここまで製造工程で必要としたマスク数は、一般的なアクティブマトリクス型発光装置よりも少ない。

【0137】

即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0138】

さらに、図14を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0139】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0140】

さらに、発光素子を保護するための封止(または封入)工程まで行った後の本実施例の発光装置について図15を用いて説明する。なお、必要に応じて図14で用いた符号を引用する。

【0141】

図15(A)は、発光素子の封止までを行った状態を示す上面図、図15(B)は図15(A)をA-A'で切断した断面図である。図15(A)において、点線で示された1201はソース側駆動回路、1206は画素部、1207はゲート側駆動回路である。また、1301はカバー材、1302は第1シール材、1303は第2シール材であり、第1シール材1302で囲まれた内側には封止材1307が設けられる。

【0142】

なお、1304はソース側駆動回路1201及びゲート側駆動回路1207に入力される信号を伝送するための配線であり、外部入力端子となるFPC1305(フレキシブルプリントサーキット)からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0143】

次に、断面構造について図15(B)を用いて説明する。基板1100の上方には画素部1206、ゲート側駆動回路1207が形成されており、画素部1206は電流制御TFT1004とそのドレインに電気的に接続された画素電極1110を含む複数の画素により形成される。また、ゲート側駆動回路1207はnチャネル型TFT1001とpチャネル型TFT1002とを組み合わせたCMOS回路(図11参照)を用いて形成される。

【0144】

画素電極1110は発光素子の陽極として機能する。また、画素電極1110の両端には隔壁1112が形成され、画素電極1110上には発光層1113および発光素子の陰極1114が形成される。

【0145】

陰極1114は全画素に共通の配線としても機能し、接続配線1304を経由してFPC1305に電気的に接続されている。さらに、画素部1206及びゲート側駆動回路1207に含まれる素子は全て陰極1114およびパッシベーション膜1116で覆われてい

10

20

30

40

50

る。

【0146】

また、第1シール材1302によりカバー材1301が貼り合わされている。なお、カバー材1301と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材1302の内側には封止材1307が充填されている。なお、第1シール材1302、封止材1307としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材1302はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材1307の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0147】

10

発光素子を覆うようにして設けられた封止材1307はカバー材1301を接着するための接着剤としても機能する。また、本実施例ではカバー材1301を構成するプラスチック基板の材料としてFRP (Fiberglass-Reinforced Plastic)、PVF (ポリビニルフロライド)、ポリエステルまたはアクリルを用いることができる。

【0148】

また、封止材1307を用いてカバー材1301を接着した後、封止材1307の側面(露呈面)を覆うように第2シール材1303を設ける。第2シール材1303は第1シール材1302と同じ材料を用いることができる。

【0149】

20

以上のような構造で発光素子を封止材1307に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

【実施例5】

【0150】

本実施例では、本発明のTFT回路によるアクティブマトリクス型表示装置を組み込んだ半導体装置について図面で説明する。

【0151】

このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図16、図17及び図18に示す。

30

【0152】

図16(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006から構成されている。本願発明は音声出力部2002、音声入力部2003、及びアクティブマトリクス基板を備えた表示装置2004に適用することができる。

【0153】

図16(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106から成っている。本願発明は音声入力部2103、及びアクティブマトリクス基板を備えた表示装置2102、受像部2106に適用することができる。

40

【0154】

図16(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成されている。本願発明は受像部2203、及びアクティブマトリクス基板を備えた表示装置2205に適用することができる。

【0155】

図16(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本願発明は表示装置2302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

50

【0156】

図16(E)は携帯書籍であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506から構成されており、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置2502、2503は直視型の表示装置であり、本願発明は、これらに適用することができる。

【0157】

図17(A)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレイヤーであり、本体2601、表示装置2602、スピーカ部2603、記録媒体2604、操作スイッチ2605で構成される。なお、この装置は記録媒体としてDVD、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明は表示装置2602に適用することができる。

10

【0158】

図17(B)はテレビであり本体2701、支持台2702、表示部2703で構成される。本願発明は表示部2703に適用することができる。

【0159】

図17(C)はパーソナルコンピュータであり、本体2801、画像入力部2802、表示装置2803、キーボード2804で構成される。本願発明は表示装置2803に適用することができる。

20

【0160】

図18(A)はフロント型プロジェクターであり、投射装置2901、スクリーン2902で構成される。本願発明は投射装置やその他の信号制御回路に適用することができる。

【0161】

図18(B)はリア型プロジェクターであり、本体3001、投射装置3002、ミラー3003、スクリーン3004で構成される。本願発明は投射装置やその他の信号制御回路に適用することができる。

【0162】

なお、図18(C)は、図18(A)及び図18(B)中における投射装置2901、3002の構造の一例を示した図である。投射装置2901、3002は、光源光学系3101、ミラー3102、3104~3106、ダイクロイックミラー3103、プリズム3107、液晶表示装置3108、位相差板3109、投射光学系3110で構成される。投射光学系3110は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図18(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

30

【0163】

また、図18(D)は、図18(C)中における光源光学系3101の構造の一例を示した図である。本実施例では、光源光学系3101は、リフレクター3111、光源3112、レンズアレイ3113、3114、偏光変換素子3115、集光レンズ3116で構成される。なお、図18(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

40

【0164】

また、本発明はその他にも、発光型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【図面の簡単な説明】

【0165】

【図1】本発明第1の実施の形態における半導体装置の作製方法の工程を示す図。

【図2】同第1の実施の形態における半導体装置の作製方法で用いる光学装置を示す図。

50

【図3】同第2の実施の形態における半導体装置の作製方法の工程を示す図。

【図4】同第3の実施の形態における半導体装置の作製方法で用いる光学装置を示す図。

【図5】本発明第1の実施例におけるサンプルの観察結果を示す図。

【図6】同第1の実施例におけるサンプルの観察結果を示す図。

【図7】同第1の実施例におけるサンプルの観察結果を示す図。

【図8】同第2の実施例におけるアクティブマトリクス基板の作製工程を示す断面図。

【図9】同第2の実施例におけるアクティブマトリクス基板の作製工程を示す断面図。

【図10】同第2の実施例におけるアクティブマトリクス基板の作製工程を示す断面図。

【図11】同第2の実施例におけるアクティブマトリクス基板の作製工程を示す断面図。

【図12】同第2の実施例におけるアクティブマトリクス基板の画素部の上面図。 10

【図13】同第3の実施例におけるアクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図14】同第4の実施例における発光装置の駆動回路及び画素部の断面構造図

【図15】同第4の実施例における発光装置の駆動回路及び画素部を示す図。

【図16】同第5の実施例における半導体装置の例を示す図。

【図17】同第5の実施例における半導体装置の例を示す図。

【図18】同第5の実施例における半導体装置の例を示す図。

【図19】同第1の実施例におけるサンプルの観察結果を示す図。

【符号の説明】

【0166】

100 基板

101 絶縁膜

102 半導体膜

103 キャップ膜

105 レーザビーム

106 結晶性半導体膜

110 レーザビーム

111 レーザビーム

150 薄膜トランジスタ（TFT）

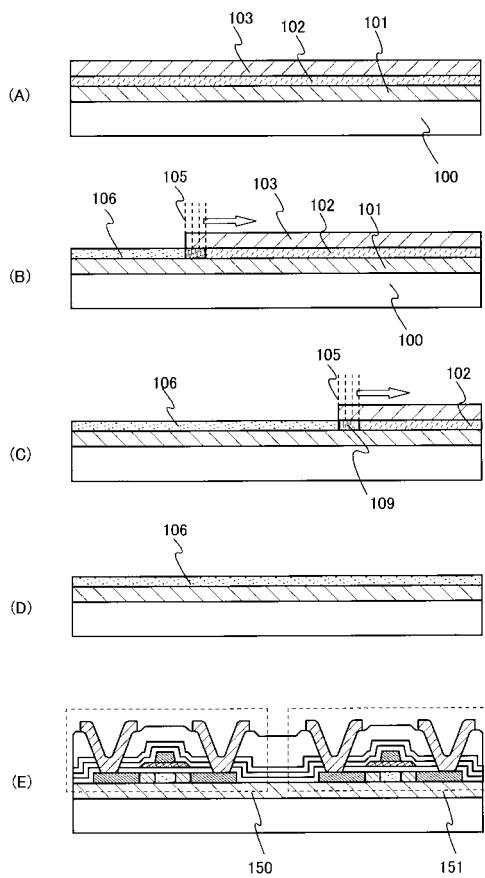
151 薄膜トランジスタ（TFT）

10

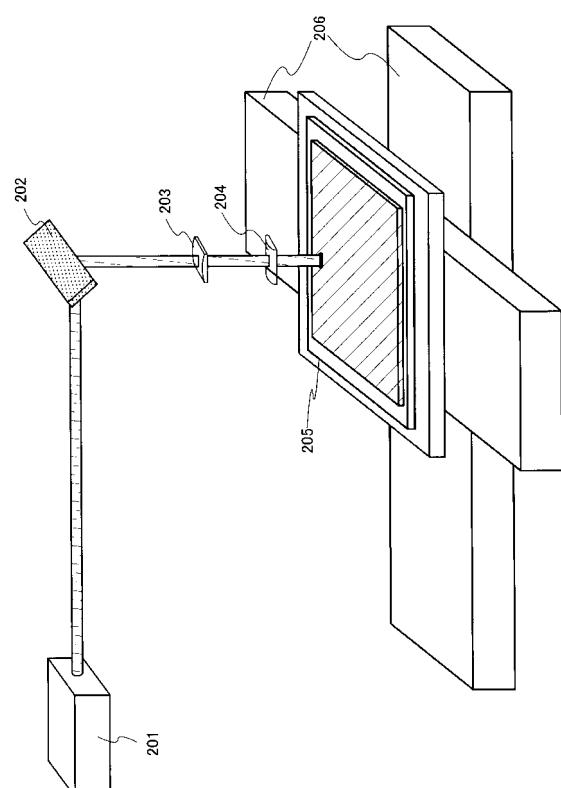
20

30

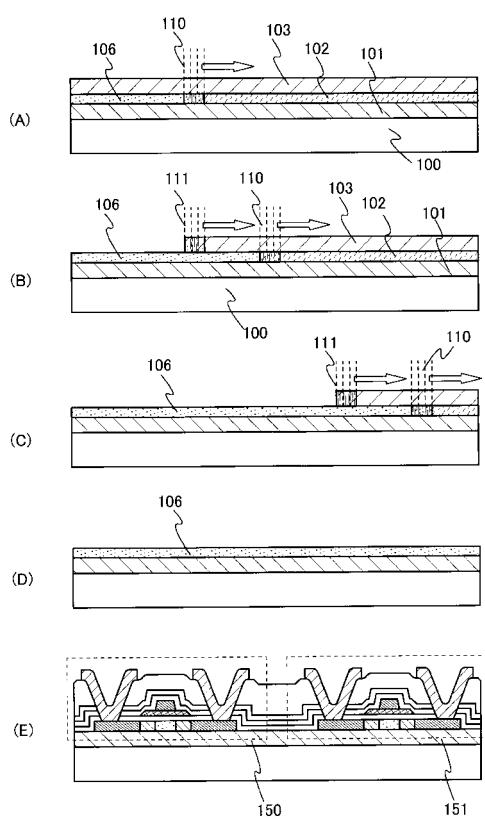
【図1】



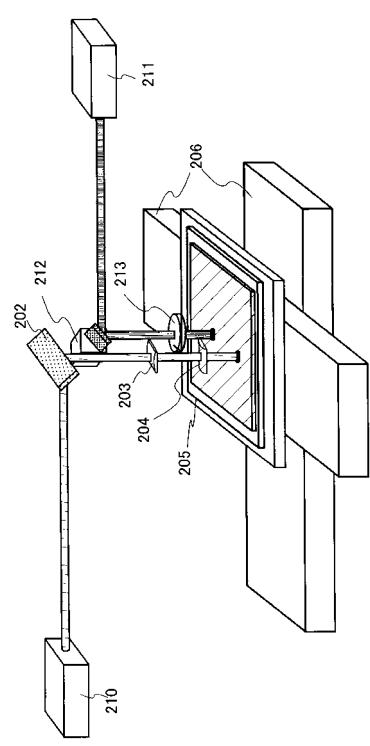
【図2】



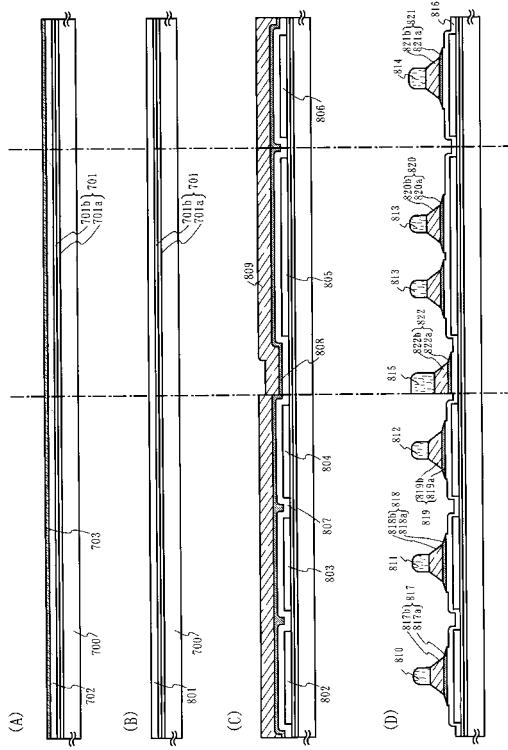
【図3】



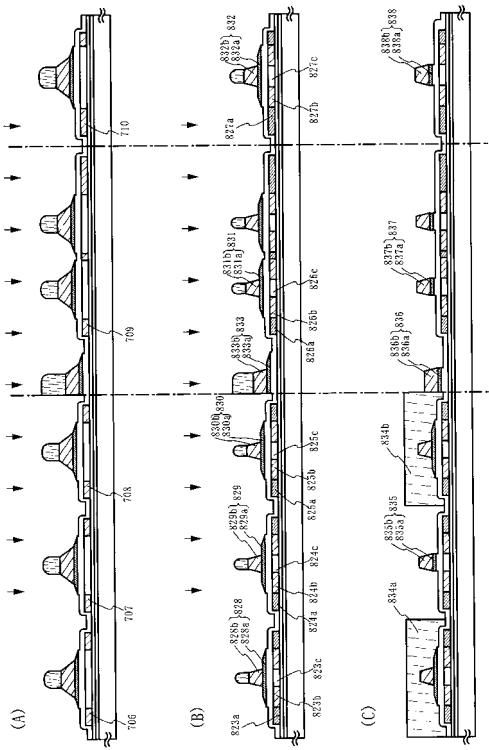
【図4】



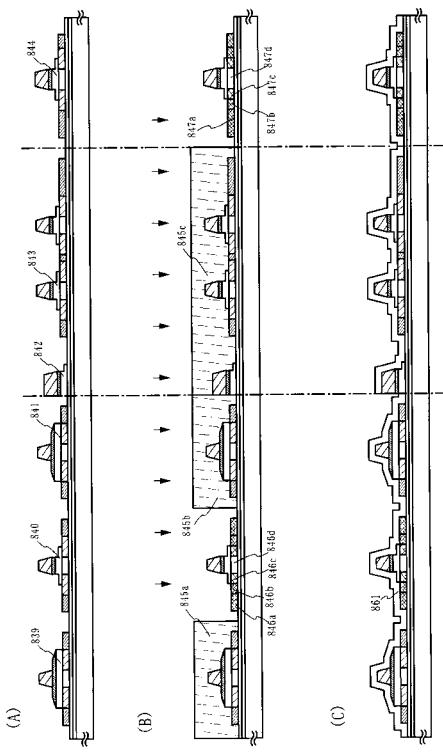
【 図 8 】



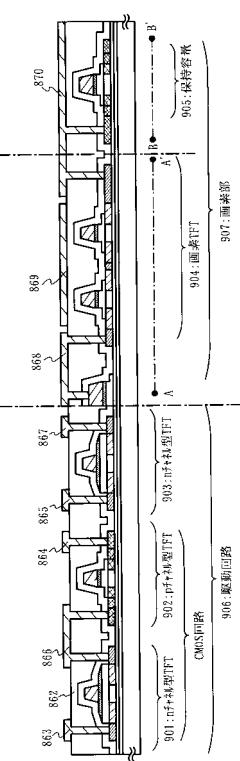
【 図 9 】



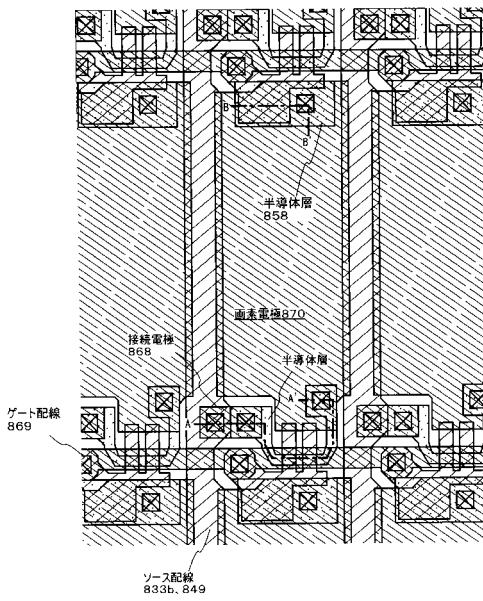
【図10】



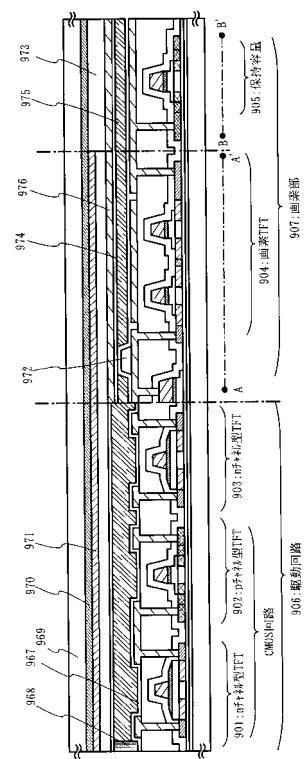
【 図 1 1 】



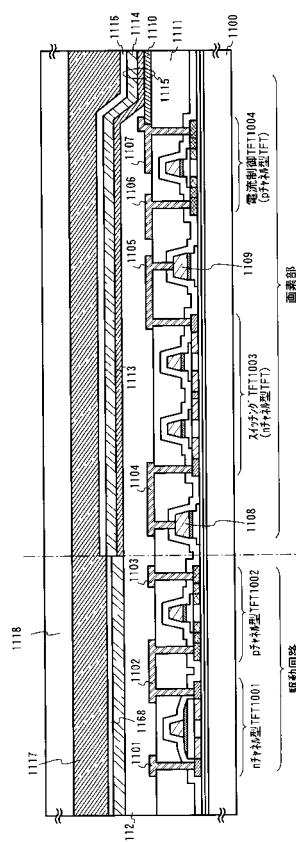
【図12】



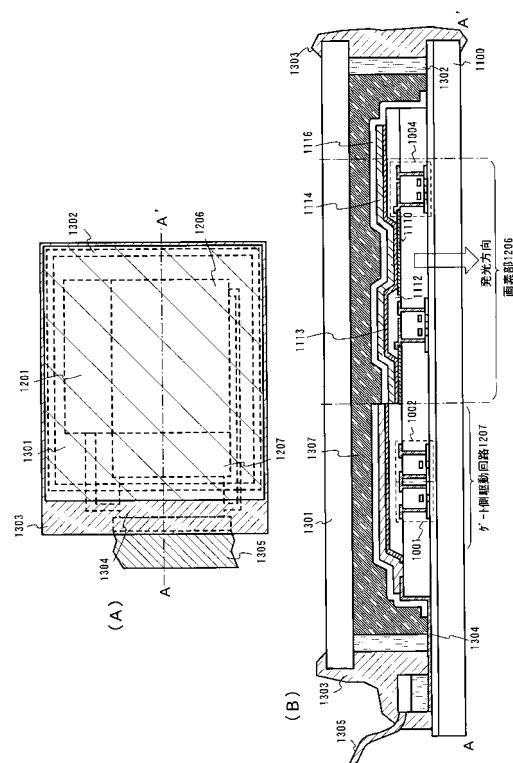
【 図 1 3 】



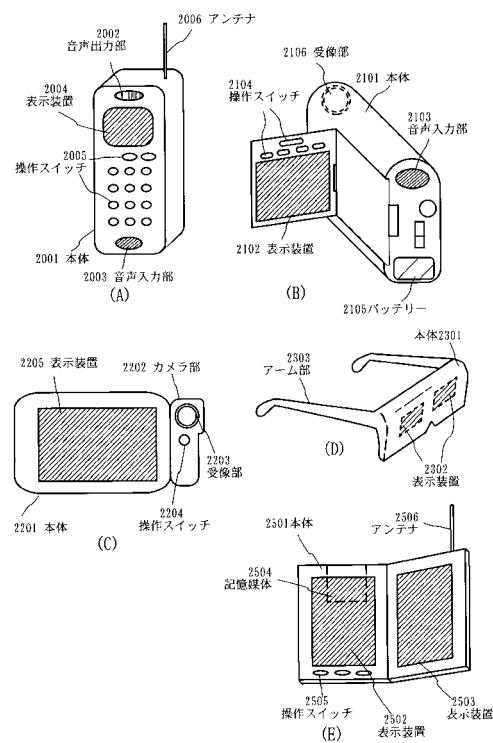
【図14】



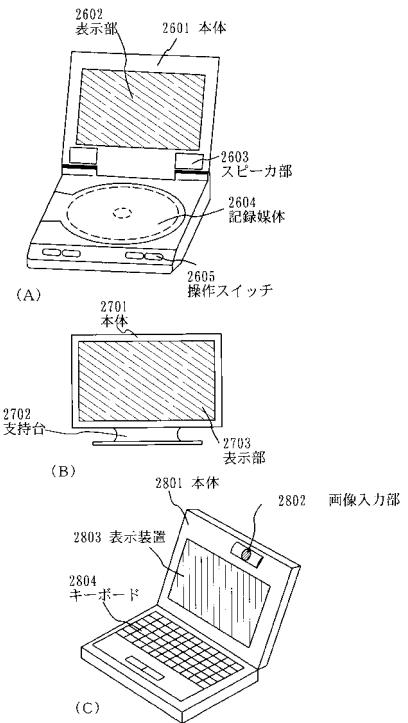
【 図 15 】



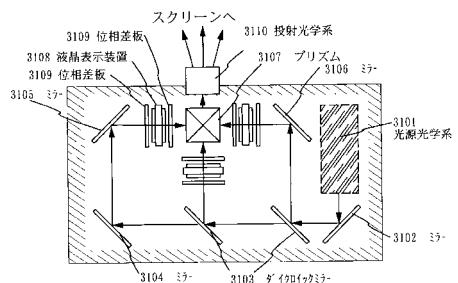
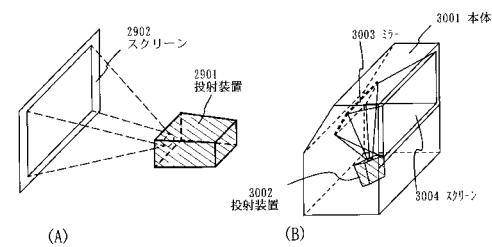
【図16】



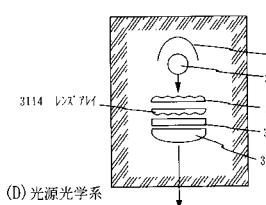
【図17】



【図18】

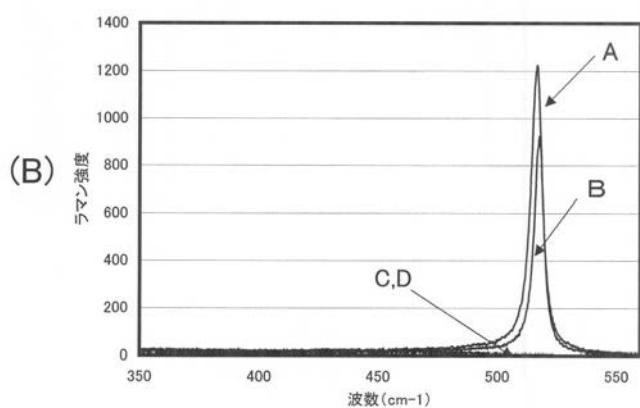
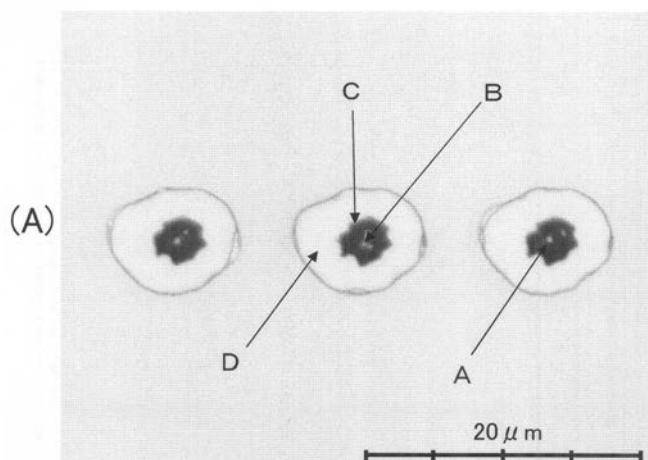


(C) 投射装置 (三板式)

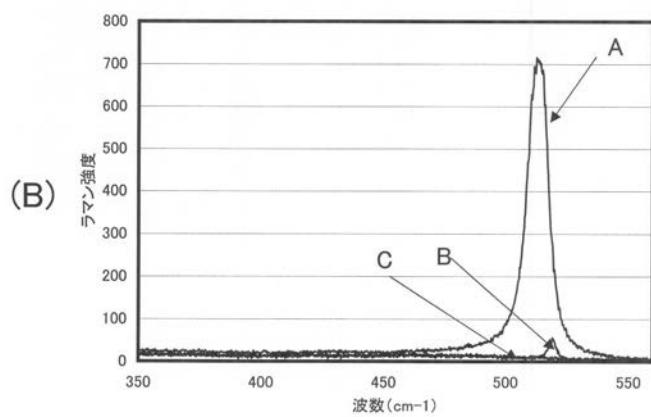
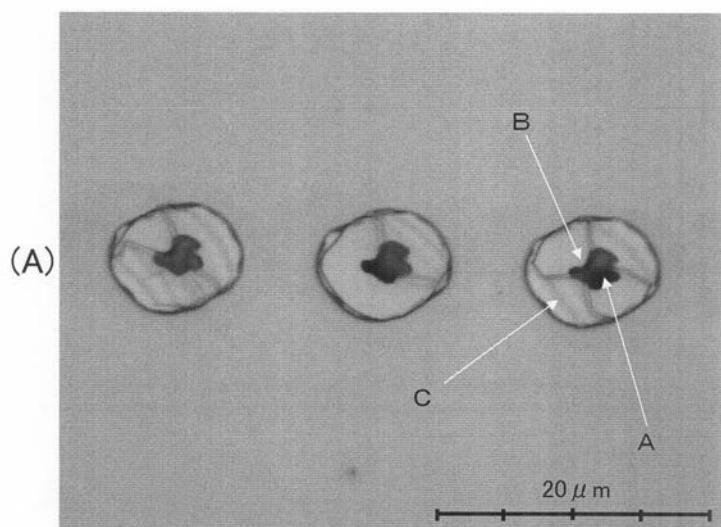


(D) 光源光学系

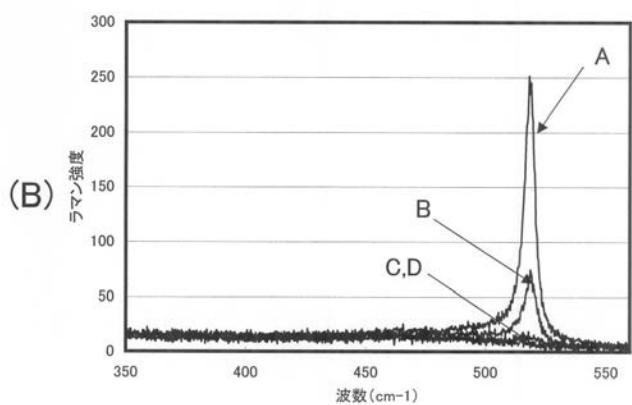
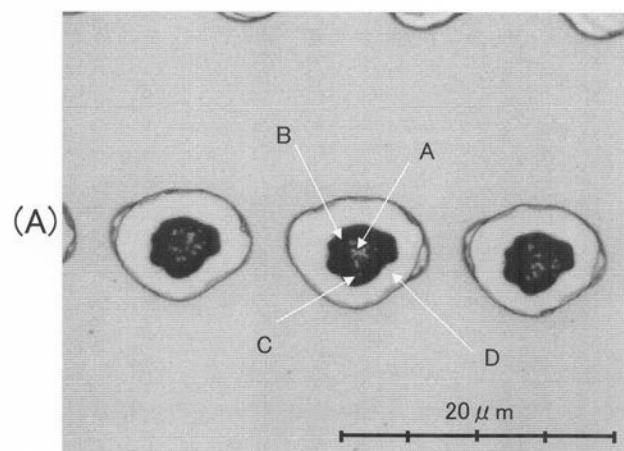
【図5】



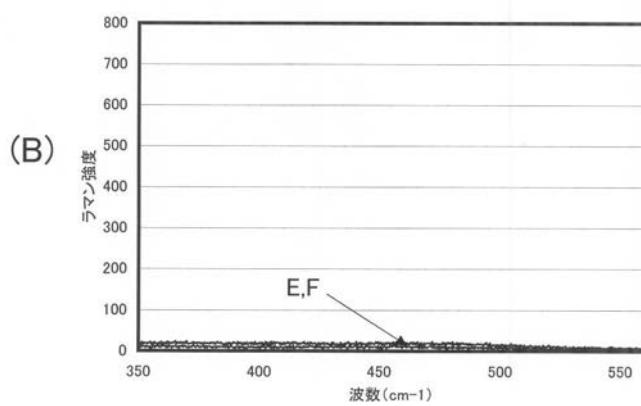
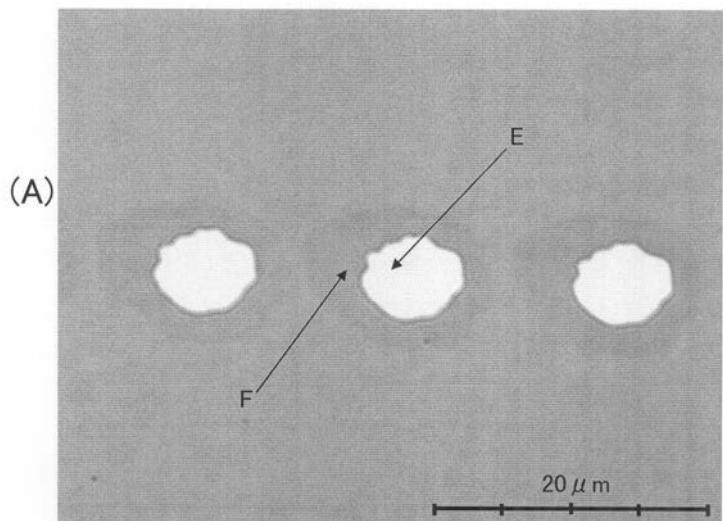
【図6】



【図7】



【図19】



フロントページの続き

(51)Int.Cl. F I
H 01 L 51/50 (2006.01)

(56)参考文献 特開2002-329666 (JP, A)
特開2006-229212 (JP, A)
特開昭61-185917 (JP, A)
特開昭63-299322 (JP, A)
特開2006-148086 (JP, A)
特開昭61-269992 (JP, A)
特開昭62-067834 (JP, A)
特開2006-032939 (JP, A)
特開2000-228360 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/20
G 02 F 1/136
H 01 L 21/336
H 01 L 27/08
H 01 L 29/786
H 01 L 51/50