

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-31872

(P2009-31872A)

(43) 公開日 平成21年2月12日(2009.2.12)

(51) Int.Cl.		F I			テーマコード (参考)
G06F 1/26	(2006.01)	G06F 1/00	331E		5B011
G06F 1/30	(2006.01)	G06F 1/00	341Q		
G06F 1/18	(2006.01)	G06F 1/00	33O		
		G06F 1/00	32OE		

審査請求 未請求 請求項の数 12 O L (全 16 頁)

(21) 出願番号	特願2007-192479 (P2007-192479)	(71) 出願人	000005108
(22) 出願日	平成19年7月24日 (2007.7.24)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
		(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100093861
			弁理士 大賀 真司
		(72) 発明者	曾根 正寛
			神奈川県小田原市中里322番2号 株式
			会社日立製作所RAIDシステム事業部内
			Fターム(参考) 5B011 DB21 EA01 JA07

(54) 【発明の名称】 ストレージサブシステム及び電源システム

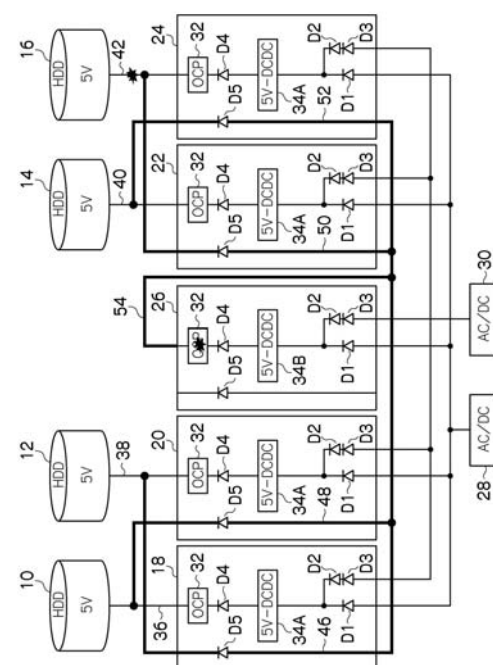
(57) 【要約】

【課題】記憶装置に電力を供給するための冗長電源を設ける際に、冗長電源の出力を各記憶装置に導くための補助電源配線を少なくすること。

【解決手段】上位計算機からのデータを記憶する複数のディスクユニット10～16と、各ディスクユニット10～16に主電源配線36～42を介してそれぞれ直流電力を供給する複数の電源装置18～24と、各ディスクユニット10～16のちいずれかを負荷として、当該負荷に対する直流電力を発生する冗長電源装置26を備え、冗長電源装置26の出力を各ディスクユニット10～16に導く補助電源配線として、各電源装置共通の共通電源配線44と、共通電源配線44から分岐して、各ディスクユニット10～16に接続された分岐電源配線46～52と、冗長電源装置26と共通電源配線44とを結ぶ冗長電源配線54がバックボード70に配線されている。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

上位計算機と通信ネットワークを介して接続されるストレージサブシステムにおいて、
前記上位計算機からのデータを記憶する複数の記憶装置と、
前記各記憶装置に対応して配置されて、前記各記憶装置に主電源配線を介してそれぞれ
直流電力を供給する複数の直流電源と、
前記複数の記憶装置のうちいずれかの記憶装置を負荷として、当該負荷に対する直流電
力を発生する冗長直流電源と、
前記冗長直流電源の出力を前記各記憶装置に導く補助電源配線と、を備え、
前記補助電源配線は、その一部に各電源装置共通の配線を含んで構成されてなる、
ことを特徴とするストレージサブシステム。

10

【請求項 2】

前記各直流電源と前記冗長直流電源は、負荷の異常を検出したときに当該負荷に対する電
力の供給を停止する異常検出回路を備えてなる、ことを特徴とする請求項 1 に記載のスト
レージサブシステム。

【請求項 3】

前記補助電源配線は、前記各直流電源共通のコモン電源配線と、前記コモン電源配線から
分岐して、前記各直流電源を介して、当該各直流電源の負荷とは異なる他の記憶装置に接
続された複数の分岐電源配線と、前記冗長直流電源と前記コモン電源配線とを結ぶ冗長電
源配線とを備えてなる、ことを特徴とする請求項 1 に記載のストレージサブシステム。

20

【請求項 4】

前記補助電源配線には、負荷となる記憶装置から前記冗長直流電源への電流の流入を阻止
する逆流阻止ダイオードが前記各記憶装置に対応して挿入されてなる、ことを特徴とする
請求項 1 に記載のストレージサブシステム。

【請求項 5】

前記各記憶装置と前記各電源装置は、多段に分かれてバックボードに実装され、前記バッ
クボードのうち前記各記憶装置間または前記各電源装置間に対応した部位には通気孔が形
成されてなる、ことを特徴とする請求項 1 に記載のストレージサブシステム。

【請求項 6】

前記各電源装置をバックボード上下に分けて配置し、前記冗長電源装置と前記各記憶装置
とを結ぶ前記補助電源配線を前記バックボードの縁に沿って配線してなる、ことを特徴と
する請求項 1 に記載のストレージサブシステム。

30

【請求項 7】

複数の記憶装置を負荷として、前記各記憶装置に電力を供給する電源システムにおいて、
前記各記憶装置に対応して配置されて、前記各記憶装置に主電源配線を介してそれぞれ
直流電力を供給する複数の直流電源と、
前記複数の記憶装置のうちいずれかの記憶装置を負荷として、当該負荷に対する直流電
力を発生する冗長直流電源と、
前記冗長直流電源の出力を前記各記憶装置に導く補助電源配線と、を備え、
前記補助電源配線は、その一部に各電源装置共通の配線を含んで構成されてなる、
ことを特徴とする電源システム。

40

【請求項 8】

前記各直流電源と前記冗長直流電源は、負荷の異常を検出したときに当該負荷に対する電
力の供給を停止する異常検出回路を備えてなる、ことを特徴とする請求項 7 に記載の電源
システム。

【請求項 9】

前記補助電源配線は、前記各直流電源共通のコモン電源配線と、前記コモン電源配線から
分岐して、前記各直流電源を介して、当該各直流電源の負荷とは異なる他の記憶装置に接
続された複数の分岐電源配線と、前記冗長直流電源と前記コモン電源配線とを結ぶ冗長電
源配線とを備えてなる、ことを特徴とする請求項 7 に記載の電源システム。

50

【請求項 10】

前記補助電源配線には、負荷となる記憶装置から前記冗長直流電源への電流の流入を阻止する逆流阻止ダイオードが前記各記憶装置に対応して挿入されてなる、ことを特徴とする請求項 7 に記載の電源システム。

【請求項 11】

前記各記憶装置と前記各電源装置は、多段に分かれてバックボードに実装され、前記バックボードのうち前記各記憶装置間または前記各電源装置間に対応した部位には通気孔が形成されてなる、ことを特徴とする請求項 7 に記載の電源システム。

【請求項 12】

前記各電源装置をバックボード上下に分けて配置し、前記冗長電源装置と前記各記憶装置とを結ぶ前記補助電源配線を前記バックボードの縁に沿って配線してなる、ことを特徴とする請求項 7 に記載の電源システム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置内に収容される記憶媒体へ電力を供給する電源システムおよびこの電源システムを冗長化したストレージサブシステムに関する。

【背景技術】

【0002】

近年、情報化社会の発展に伴い、記憶装置としての磁気ディスク装置を含むディスクサブシステム（あるいはストレージサブシステム）は、年々高容量化、搭載ディスク数の増加が進む一方、ディスクサブシステムを構成する装置に対しては、小型化、低価格化に加え、特に電力の安定した供給、あるいはデータの確実な保護に関し、一層の高信頼化が求められている。このため、係る装置には、例えば以下のような構成が望まれている。

20

【0003】

（１）データをより確実にハードディスクに記憶させるために、ディスクサブシステムに収容されるハードディスクの搭載数を増加させるとともに、同一のマザーボードおよび電源に接続されるハードディスク数も増加させる。

（２）電源障害発生時にもディスクサブシステムを構成する装置が正常に動作するように、装置に電力を供給する電源および電源ケーブルを２重化または冗長構成として接続する。

30

（３）無停止保守を実現するために、装置稼働中に電源が障害に至った場合、その障害を検出し、報告するような様々な検出報告回路を装置内部に持つ構成とする。

【0004】

また、電源への信頼性を高めるシステム部を備えた磁気ディスク装置として、従来、ハードディスク制御論理部と、ディスクユニット部から構成されるディスクサブシステムも提案されている。係るディスクサブシステムは、電源境界（バックボード）ごとに実装された２台以上の電源を用いてハードディスクに電力を供給するように構成されている。実装されたそれぞれの電源は、１つの電源が故障し、出力を停止しても装置の動作に影響しないよう、全てのハードディスクを駆動するのに十分な出力容量を有している。また、それぞれの電源は電源設備などの電源障害時でも動作可能なように、独立した２つの電源設備を接続できるように構成されている。

40

【0005】

さらに、それぞれの電源は、電源内部の故障により出力電圧が停止した場合、電源異常検出部へ電源の異常を報告する。またハードディスクへ供給する電源電圧は電源異常検出部により、その電圧がチェックされ、ハードディスクの動作可能電圧以下に低下した場合、電源異常検出部がその異常を検出し、ハードディスク制御論理部へ電源の異常を報告する。

【0006】

また、装置に実装された２台以上の電源により、電源からバックボードに個別に電力を

50

供給するように構成され、ハードディスクは個別に電源を持ち、電源はバックボード上で2系統以上から入力され、1つの出力でハードディスクへ給電する電源給電方式を取るディスクサブシステムが提案されている(特許文献1参照)。

【0007】

【特許文献1】特開2005-173941号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、従来技術においては、バックボードごとに同一出力電源電圧が設定された電源を2台搭載し、冗長構成としているが、互いの出力をバックボード上でオア接続しているため、バックボードまたはハードディスク内部でショートが発生した場合、電源が2台とも障害となり、システムダウンとなる。

10

【0009】

またディスクサブシステム内において、ハードディスクと電源とが1対1で接続され、1つのユニットとして構成されているため、電源あるいはハードディスクのいずれかが障害となると、両方交換する必要があるが、部品に無駄が生じることがある。しかも、ハードディスクと電源とが1対1で接続され、1つのユニットとして構成されているため、電源に対して冗長電源を実装していないので、ユニット内の電源に障害があったときには動作が不可能になる。

【0010】

20

この場合、通常電源の他に冗長化された電源を設け、冗長化された電源からハードディスクに電力を供給する方式を採用することも可能であるが、冗長化された電源からハードディスクに単に電力を供給したのでは、電源配線が多くなり、いわゆるバックボード配線が多くなって構成の簡素化が疎外されることになる。

【0011】

本発明は、従来の課題に鑑みてなされたものであり、その目的は、各記憶装置に電力を供給する直流電源の他に、いずれかの記憶装置に電力を供給するための冗長電源を設ける際に、冗長電源の出力を各記憶装置に導くための補助電源配線を少なくすることにある。

【課題を解決するための手段】

【0012】

30

前記課題を解決するために、本発明は、上位計算機と通信ネットワークを介して接続されるストレージサブシステムにおいて、前記上位計算機からのデータを記憶する複数の記憶装置と、前記各記憶装置に対応して配置されて、前記各記憶装置に主電源配線を介してそれぞれ直流電力を供給する複数の直流電源と、前記複数の記憶装置のうちいずれかの記憶装置を負荷として、当該負荷に対する直流電力を発生する冗長直流電源と、前記冗長直流電源の出力を前記各記憶装置に導く補助電源配線と、を備え、前記補助電源配線は、その一部に各電源装置共通の配線を含んで構成されてなることを特徴とする。

【0013】

係る構成によれば、補助電源配線が集約されるため、補助電源配線を少なくすることができる。また、電源装置を2n台とし、冗長電源装置を1台とした構成で冗長度を確保することができる。

40

【0014】

前記ストレージサブシステムを構成するに際しては、以下の要素を付加することができる。前記各直流電源と前記冗長直流電源は、負荷の異常を検出したときに当該負荷に対する電力の供給を停止する異常検出回路を備えてなる。前記補助電源配線は、前記各直流電源共通のコモン電源配線と、前記コモン電源配線から分岐して、前記各直流電源を介して、当該各直流電源の負荷とは異なる他の記憶装置に接続された複数の分岐電源配線と、前記冗長直流電源と前記コモン電源配線とを結ぶ冗長電源配線とを備えてなる。前記補助電源配線には、負荷となる記憶装置から前記冗長直流電源への電流の流入を阻止する逆流阻止ダイオードが前記各記憶装置に対応して挿入されてなる。前記各記憶装置と前記各電源

50

装置は、多段に分かれてバックボードに実装され、前記バックボードのうち前記各記憶装置間または前記各電源装置間に対応した部位には通気孔が形成されてなる。前記各電源装置をバックボード上下に分けて配置し、前記冗長電源装置と前記各記憶装置とを結ぶ前記補助電源配線を前記バックボードの縁に沿って配線してなる。

【 0 0 1 5 】

係る構成によれば、各電源装置から各記憶装置に直流電力を供給するときよりも、冗長電源装置から各記憶装置のいずれかに直流電力を供給するときの方が、各記憶装置における電圧が低くなり、電源装置と冗長電源装置との間で、電力の授受に伴う多重反転が生じるのを防止することができる。さらに、補助電源配線として、冗長電源配線と各分岐電源配線が、各電源装置共通のコモン電源配線に集約されているため、バックボードの層数を削減できるとともに、バックボード配線を少なくすることができる。バックボードには、通気孔が記憶装置や電源装置などの近傍に形成されているので、温度マージンを高くすることができる。

10

【 0 0 1 6 】

また、他の発明は、複数の記憶装置を負荷として、前記各記憶装置に電力を供給する電源システムにおいて、前記各記憶装置に対応して配置されて、前記各記憶装置に主電源配線を介してそれぞれ直流電力を供給する複数の直流電源と、前記複数の記憶装置のうちいずれかの記憶装置を負荷として、当該負荷に対する直流電力を発生する冗長直流電源と、前記冗長直流電源の出力を前記各記憶装置に導く補助電源配線と、を備え、前記補助電源配線は、その一部に各電源装置共通の配線を含んで構成されてなることを特徴とする。

20

【 0 0 1 7 】

係る構成によれば、補助電源配線が集約されるため、補助電源配線を少なくすることができる。また、電源装置を2n台とし、冗長電源装置を1台とした構成で冗長度を確保することができる。また、電源システムにおいても、ストレージサブシステムにおける電源構成を採用することができる。

【 発明の効果 】

【 0 0 1 8 】

本発明によれば、補助電源配線を少なくすることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

以下、図面に基づいて本発明の実施形態について説明する。図1は、本発明の第1の実施形態に係る記憶装置のブロック構成図である。図1において、本実施形態に係るディスクサブシステムまたはストレージサブシステムは、ディスクシステムまたはストレージシステムの一要素として、ディスクユニット（HDDユニット）10、12、14、16と、各ディスクユニットに対応して配置されて、各ディスクユニット10～16にそれぞれ直流電力を供給する電源装置（直流電源）18、20、22、24と、複数のディスクユニット10～16のうちいずれかのディスクユニットを負荷として、当該負荷に対する直流電力を発生する冗長電源装置（冗長直流電源）26を備えて構成されており、電源装置18～24と冗長電源装置26は、それぞれAC/DC電源28、30に接続され、AC/DC電源28、30は、それぞれAC電源（図示せず）に接続されている。

30

40

【 0 0 2 0 】

各ディスクユニット10～16は、記憶装置として、記憶媒体である磁気ディスクや、読み書きヘッドおよび動力伝達機構などの機械部品、これらを動かすモータなどの電気機械部品および電気機械部品用のドライバ回路やデータ処理用のロジック回路やマイクロプロセッサなどの電気回路部品を備え、単一のケーシング内に収納されている。これらディスクユニット10～16には、ホストコンピュータ（上位計算機）からのデータが格納されるようになっている。各ディスクユニット10～16を、ディスクサブシステムあるいはストレージシステムの一要素として構成するに際して、各ディスクユニット10～16は、ディスクアダプタ（DKA）、コモンバスを介してチャンネルアダプタ（CHA）に接続され、チャンネルアダプタ（CHA）が通信ネットワークを介してホストコンピュータ（

50

上位計算機)に接続されるようになっている。

【0021】

電源装置18～24および冗長電源装置26は、同一の回路構成であって、電源システムの一要素として、ダイオードD1、D2、D3、D4、D5、過電流検出回路32、DC・DCコンバータ34Aまたは34Bを備えて構成されている。ダイオードD1は、アノード側がAC/DC電源28に接続され、カソード側がDC・DCコンバータ34Aまたは34Bに接続され、ダイオードD3は、アノード側がAC/DC電源30に接続され、カソード側がダイオードD2を介してDC・DCコンバータ34Aまたは34Bに接続されている。

【0022】

DC・DCコンバータ34Aまたは34Bは、AC/DC電源28またはAC/DC電源30からの直流電圧を5Vの直流電圧に変換し、変換した直流電圧をダイオードD4、過電流検出回路32を介して各ディスクユニット10～16に供給するようになっている。過電流検出回路32は、DC・DCコンバータ34Aまたは34Bから各ディスクユニット10～16に過電流が流れたときに、負荷の異常として、負荷に対する電力の供給を停止する異常検出回路として構成されている。

【0023】

この際、各電源装置18～24と各ディスクユニット10～16は、主電源配線36、38、40、42を介して接続されており、各電源装置18～24から各ディスクユニット10～16に直流電力が供給される。さらに、本実施形態においては、冗長電源装置26からの直流電力を各ディスクユニット10～16に供給するために、冗長電源装置26の出力を各ディスクユニット10～16に導く補助電源配線として、各電源装置共通のコモン電源配線44と、コモン電源配線44から分岐して、各電源装置18、20、22、24を介して、各電源装置の負荷とは異なる他のディスクユニットに接続された分岐電源配線46、48、50、52と、冗長電源装置26とコモン電源配線44とを結ぶ冗長電源配線54がバックボード(図示せず)を介して配線されている。そして各分岐電源配線46～52には、各ディスクユニット10～16から冗長電源装置26への電流の流入を阻止する逆流阻止ダイオードとしてのダイオードD5が挿入されている。

【0024】

このように、冗長電源装置26は、冗長電源配線54とコモン電源配線44および分岐電源配線46～52を介して各ディスクユニット10～16に直流電力を供給することができる。このため、電源装置18と20、電源装置22と24を2n台とし、冗長電源装置26を1台とした方式で冗長度を確保することができる。さらに、補助電源配線として、冗長電源配線54と各分岐電源配線46～52が、各電源装置共通のコモン電源配線44に集約されているため、バックボードの層数を削減できるとともに、ディスクユニット用バックボード配線を少なくすることができる。

【0025】

また、各電源装置18～24のDC・DCコンバータ34Aと各ディスクユニット10～16との間の電力供給経路(主電源配線)には、単一のダイオードD4が挿入されているのに対して、冗長電源装置26のDC・DCコンバータ34Bと各ディスクユニット10～16との間の電力供給経路(主電源配線と補助電源配線)には、2個のダイオードD4、D5が接続されている。

【0026】

すなわち、冗長系に、ダイオード2段の重み付けを行うことで、1スペア化を実現できる。このため、各電源装置18～24から各ディスクユニット10～16に直流電力を供給するときよりも、冗長電源装置26からディスクユニット10～16のうちいずれかに直流電力を供給するときの方が、各ディスクユニット10～16における電圧が低くなり、電源装置18～24と冗長電源装置26との間で、電力の授受に伴う多重反転が生じるのを防止することができる。

【0027】

10

20

30

40

50

また、図 2 に示すように、例えば、ディスクユニット 16 で短絡（ショート）故障が生じた場合、電源装置 24 および冗長電源装置 26 の過電流検出回路 32 によって過電流が検出されると、この検出結果に従って、電源装置 24 および冗長電源装置 26 の DC・DC コンバータ 34 A または 34 B の動作が停止され、電源装置 24 および冗長電源装置 26 からディスクユニット 16 に対する直流電力の供給が停止される。

【0028】

すなわち、1 台のディスクユニット 16 の短絡故障時に、電源装置 24 と冗長電源装置 26 の各 DC・DC コンバータ 34 A または 34 B がその動作を停止することで、ディスクユニット 16 のショート時に、電源装置 24 と冗長電源装置 26 の DC・DC コンバータ 34 A または 34 B を保護することができるとともに、他の正常な電源装置に悪影響を与えのを防止できる。この場合、DC・DC コンバータ 34 A または 34 B の動作を停止した状態でディスクユニット 16 の交換を行うことができる。

【0029】

次に、電源装置 18～24 と、冗長電源装置 26 と、ディスクユニット 10～16 をバックボードに実装するに際しては、図 3（a）、（b）および図 4（a）、（b）に示すように、ディスクユニットインタフェース（HDD I/F）基板 60、62 を中間にして、電源装置 18～24 の DC・DC コンバータ 34 A をバックボード 70 上部側と下部側にそれぞれ配置し、DC/DC コンバータ 34 A とディスクユニットインタフェース基板 60 との間にディスクユニット 10 またはディスクユニット 14 を配置し、ディスクユニットインタフェース基板 62 と DC・DC コンバータ 34 A との間にディスクユニット 12 またはディスクユニット 16 を配置する。冗長電源装置 26 の DC・DC コンバータ 34 B は、バックボード 70 上部側に配置された DC・DC コンバータ 34 A に隣接して配置する。

【0030】

各 DC・DC コンバータ 34 A は、コネクタ 64 を介してバックボード 70 上部側または下部側に装着され、ディスクユニット 10、12、14、16 は、それぞれコネクタ 66 を介してバックボード 70 の中程に装着される。ディスクユニットインタフェース基板 60、62 は、それぞれコネクタ 68 を介してバックボード 70 の略中間に装着される。各バックボード 70 には、各コネクタ 64、66、68 間に対応して通気孔 72 が形成されており、各 DC・DC コンバータ 34 A や各ディスクユニット 10～16 からの熱が通気孔 72 を介して外部に排出されるようになっている。

【0031】

この際、DC/DC コンバータ 34 A を、1 台を単位としてディスクユニット 10～16 を実装し給電するようにしたため、自然冷却レベルで DC・DC コンバータ 34 A や各ディスクユニット 10～16 を冷却することができる。また、通気孔 72 が DC・DC コンバータ 34 A や各ディスクユニット 10～16 などの近傍に形成されているので、温度マージンを高くすることができる。さらに、各 DC・DC コンバータ 34 A が互いに離れて配置されているので、各 DC・DC コンバータ 34 A の放射ノイズをカバーで積極的に軽減できる。

【0032】

また、図 5（a）、（b）に示すように、128 台のディスクユニットをケース 73 に収納するに際して、DC/DC コンバータ 34 A を含む電源装置 18～24 を 32 台ずつ設けるとともに、DC・DC コンバータ 34 B を含む冗長電源装置 26 を 4 台設け、132 台の電源装置 18～24 から 128 台のディスクユニットに対して直流電力を供給する構成を採用することもできる。

【0033】

この際、128 台のディスクユニットに対して DC・DC コンバータを完全 2 重化して接続すると、DC・DC コンバータとして 256 台必要となる。また 128 台のディスクユニットに対して、DC・DC コンバータを 1 スペア化で接続すると、DC・DC コンバータは 18 台必要となる。この場合、前者と等価にするには、 $18 \times 8 = 144$ 台となる

10

20

30

40

50

。 1 2 8 台のディスクユニットに対して D C ・ D C コンバータを 1 4 4 台 ~ 2 6 5 台 設ける構成では、故障率が高くなる。これに対して、本発明に係る電源装置 1 8 ~ 2 4 と冗長電源 2 6 を含む直流電源として 1 3 2 台を用いれば、故障率を低くすることができる。

【 0 0 3 4 】

D C ・ D C コンバータ 3 4 A を実装するに際しては、図 6 に示すように、ディスクユニット (H D D) キャンスタアッセンブリ 7 4 の上部に D C ・ D C コンバータ 3 4 A を等間隔で実装することで、遮蔽物に遮られることなく、 D C ・ D C コンバータ 3 4 A を配置することができる。この場合、 D C ・ D C コンバータ 3 4 A に、異常時または交換時に点灯する赤色の発光ダイオード (L E D) 7 6 と、正常時に点灯する緑色の発光ダイオード (L E D) 7 8 が配置することで、発光ダイオード 7 6 、 7 8 の点灯をより確実に確認することができる。

10

【 0 0 3 5 】

この際、 D C ・ D C コンバータ 3 4 A は、図 7 に示すように、装置側板金 8 0 でバックボード 7 0 に接続するか、あるいは装置側板金 8 2 でバックボード 7 0 に接続することができる。この場合、コネクタ 6 4 は多ピンでないため、 D C ・ D C コンバータ 3 4 A をバックボード 7 0 に接続するときに、いずれかの選択が可能であり、挿抜力が小さく挿抜が容易となる。

【 0 0 3 6 】

次に、他の実施形態を図 8 (a) 、 (b) にしたがって説明する。バックボード 7 0 に D C ・ D C コンバータ 3 4 A 、 3 4 B 等を実装するに際しては、図 8 (a) に示すように、バックボード 7 0 の中間部の領域にディスクユニットインタフェース基板 6 0 、 6 2 を配置し、ディスクユニットインタフェース基板 6 0 、 6 2 の上下にディスクユニット 1 0 ~ 1 6 をそれぞれ配置し、各ディスクユニット 1 0 ~ 1 6 に対応して、バックボード 7 0 上下の縁に沿って電源装置 1 8 ~ 2 4 の D C ・ D C コンバータ 3 4 A を配置し、冗長電源装置 2 6 の D C ・ D C コンバータ 3 4 B をバックボード 7 0 の隅に配置し、冗長電源装置 2 6 の D C ・ D C コンバータ 3 4 B から電源装置 1 8 ~ 2 4 の D C ・ D C コンバータ 3 4 A を介して各ディスクユニット 1 0 ~ 1 6 に直流電力を供給することができる。この際、2 本のコモン電源配線 4 4 をバックボード 7 0 上下の縁に沿って配線し、各コモン電源配線 4 4 に冗長電源配線 5 4 と分岐電源配線 4 6 ~ 5 2 を接続する。

20

【 0 0 3 7 】

本実施形態によれば、バックボード 7 0 の中間部の領域にディスクユニットインタフェース基板 6 0 、 6 2 を配置し、バックボード 7 0 上下の縁に沿って電源装置 1 8 ~ 2 4 の D C ・ D C コンバータ 3 4 A を配置し、冗長電源装置 2 6 の D C ・ D C コンバータ 3 4 B をバックボード 7 0 の隅に配置し、2 本のコモン電源配線 4 4 をバックボード 7 0 上下の縁に沿って配線し、各コモン電源配線 4 4 に冗長電源配線 5 4 と分岐電源配線 4 6 ~ 5 2 を接続したので、 D C ・ D C コンバータ 3 4 A を実装するエリアに電源配線を集約することができる。

30

【 0 0 3 8 】

また、ディスクユニットインタフェース基板 6 0 、 6 2 に接続される信号配線が信号配線エリア 8 6 に集約され、コモン電源配線 4 4 、冗長電源配線 5 4 、分岐電源配線 4 6 ~ 5 2 を含む補助電源配線や電源配線 3 6 ~ 4 2 がディスクユニットインタフェース基板 6 0 、 6 2 を横切らないため、信号線にノイズが重畳するのを防止することができる。

40

【 0 0 3 9 】

さらに、図 8 (b) に示すように、バックボード 7 0 のうち D C ・ D C 電源配線層 8 8 の両側にファイバ信号層 9 0 、 9 2 を形成することができるので、層数を低減することもできる。

【 図面の簡単な説明 】

【 0 0 4 0 】

【 図 1 】 本発明の一実施形態を示す記憶装置のブロック構成図である。

【 図 2 】 本発明に係る記憶装置に短絡故障が生じたときの作用を説明するためのブロック

50

図である。

【図 3】(a) は、ディスクユニットボックスの正面図、(b) は、ディスクユニットボックスの斜視図である。

【図 4】(a) は、ディスクユニットボックスの横断面図、(b) は、ディスクユニットボックスの斜視図である。

【図 5】(a) は、ケースに収納されたディスクユニットボックスの横断面図、(b) は、ケースに収納されたディスクユニットボックスの斜視図である。

【図 6】DC・DC コンバータの配置を説明するための斜視図である。

【図 7】DC・DC コンバータの固定方法を説明するための斜視図である。

【図 8】(a) 記憶装置が搭載されたバックボードの断面図、(b) は、バックボードの要部断面図である。

10

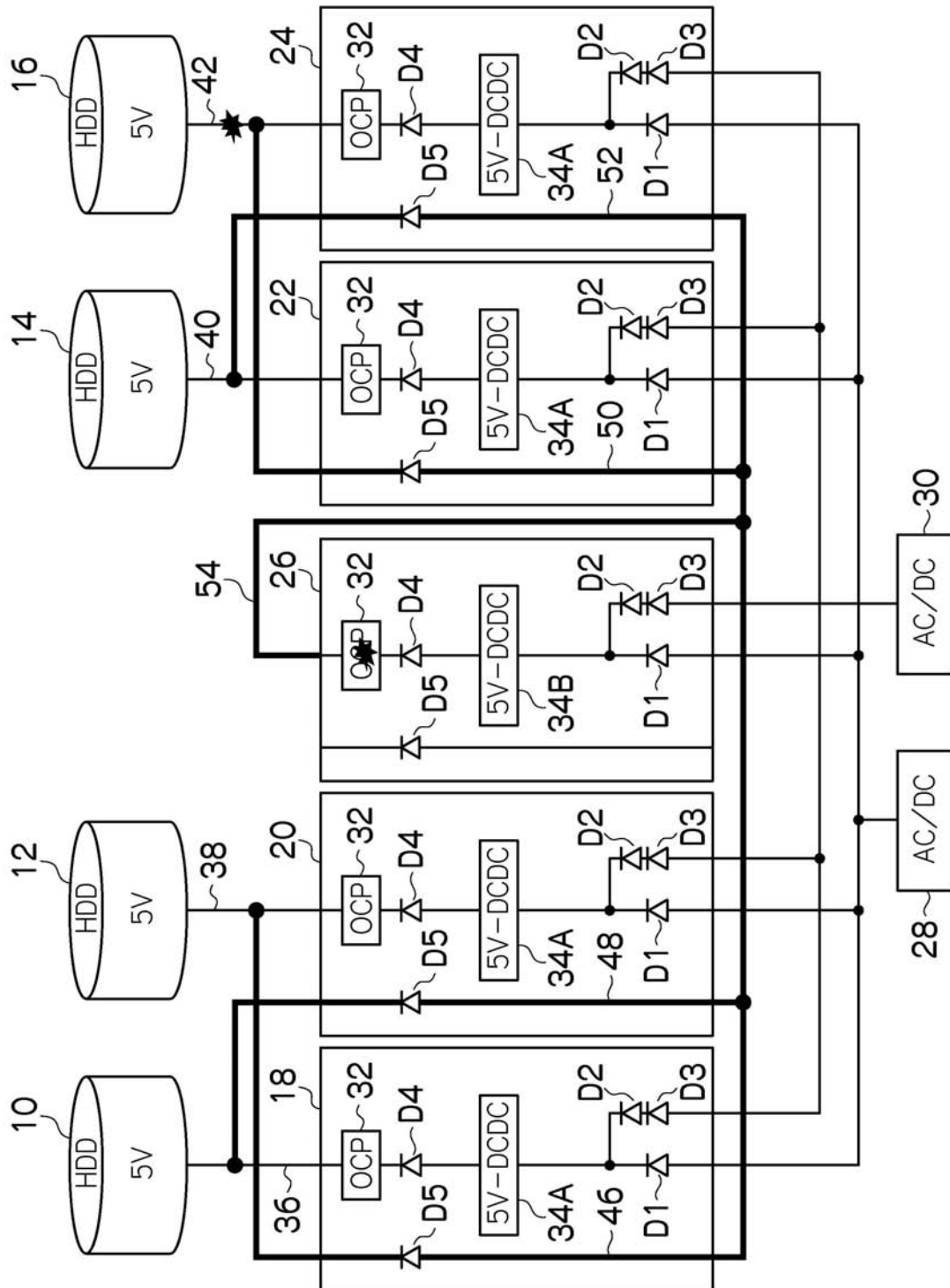
【符号の説明】

【0041】

10、12、14、16 ディスクユニット、18、20、22、24 電源装置、26 冗長電源装置、28、30 AC/DC 電源、32 過電流検出回路、34A、34B DC・DC コンバータ、36、38、40、42 電源配線、44 コモン電源配線、46、48、50、52 分岐電源配線、54 冗長電源配線

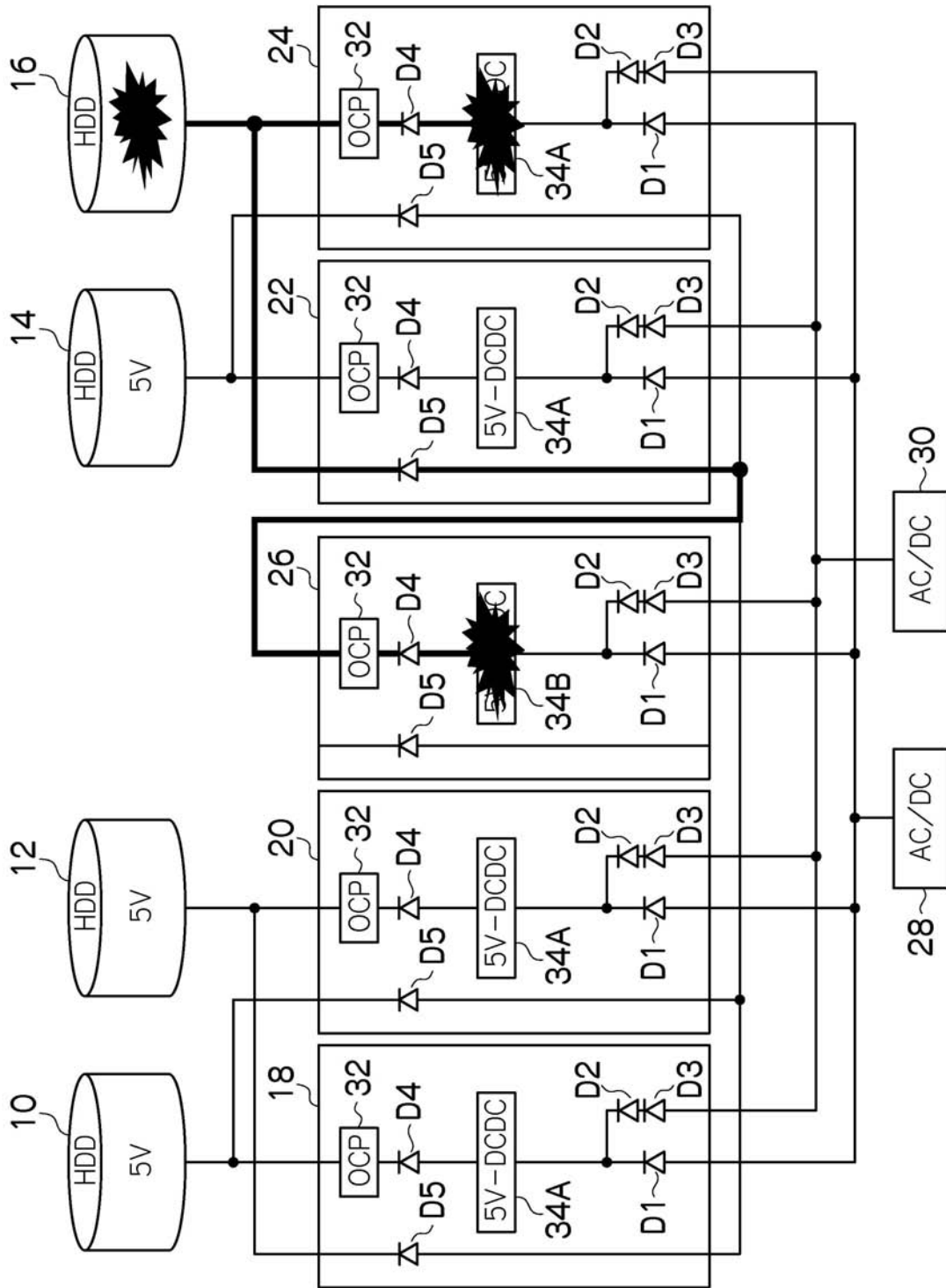
【図 1】

1



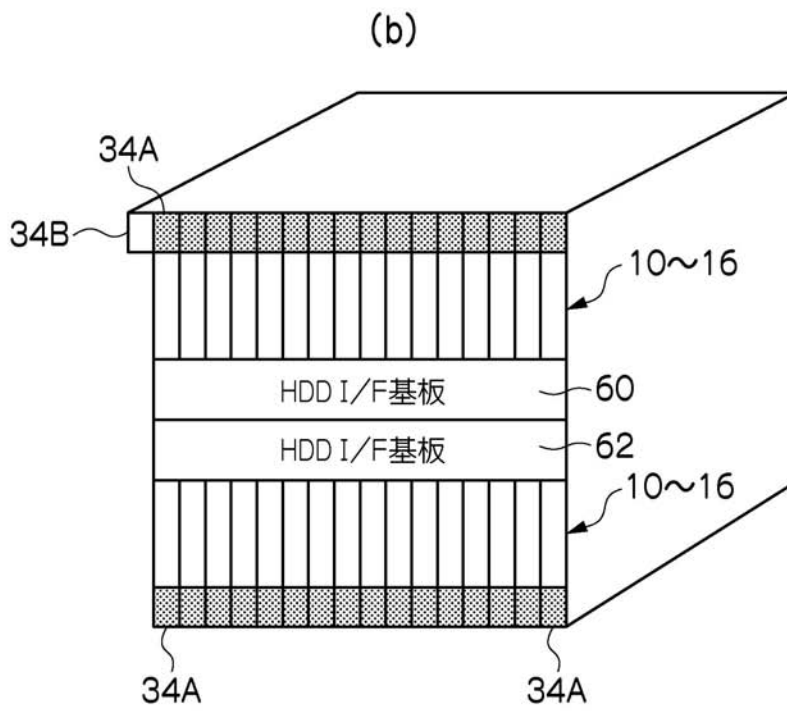
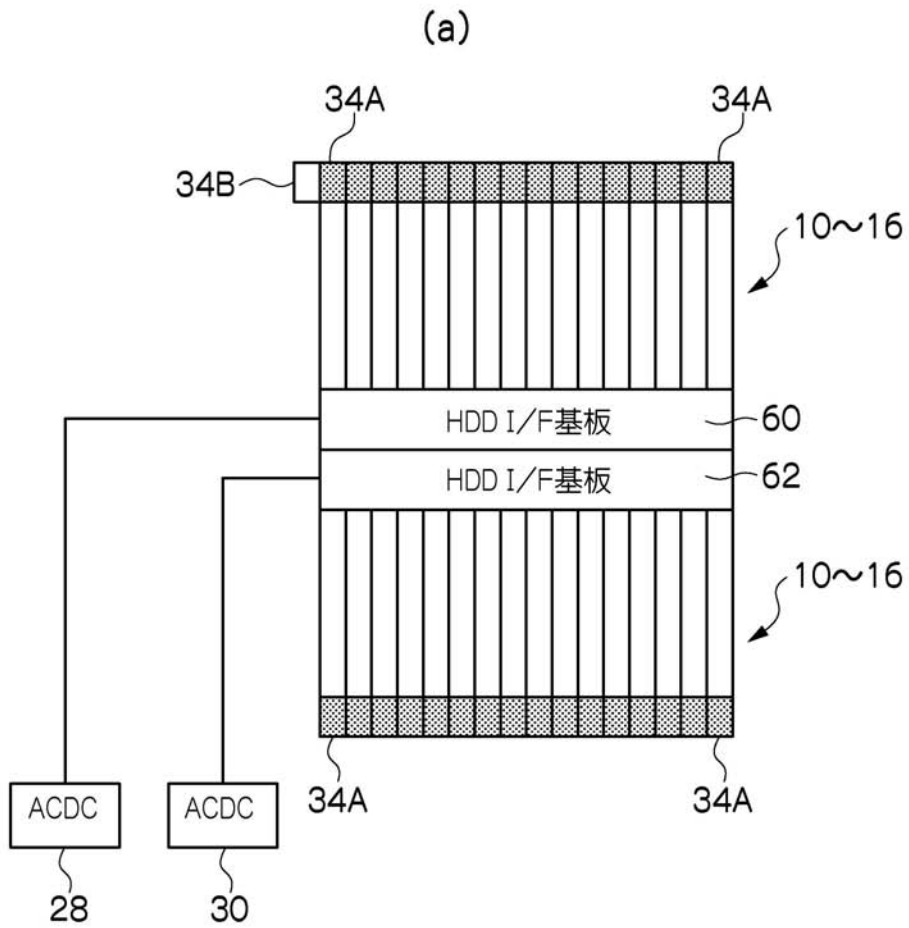
【図 2】

図 2



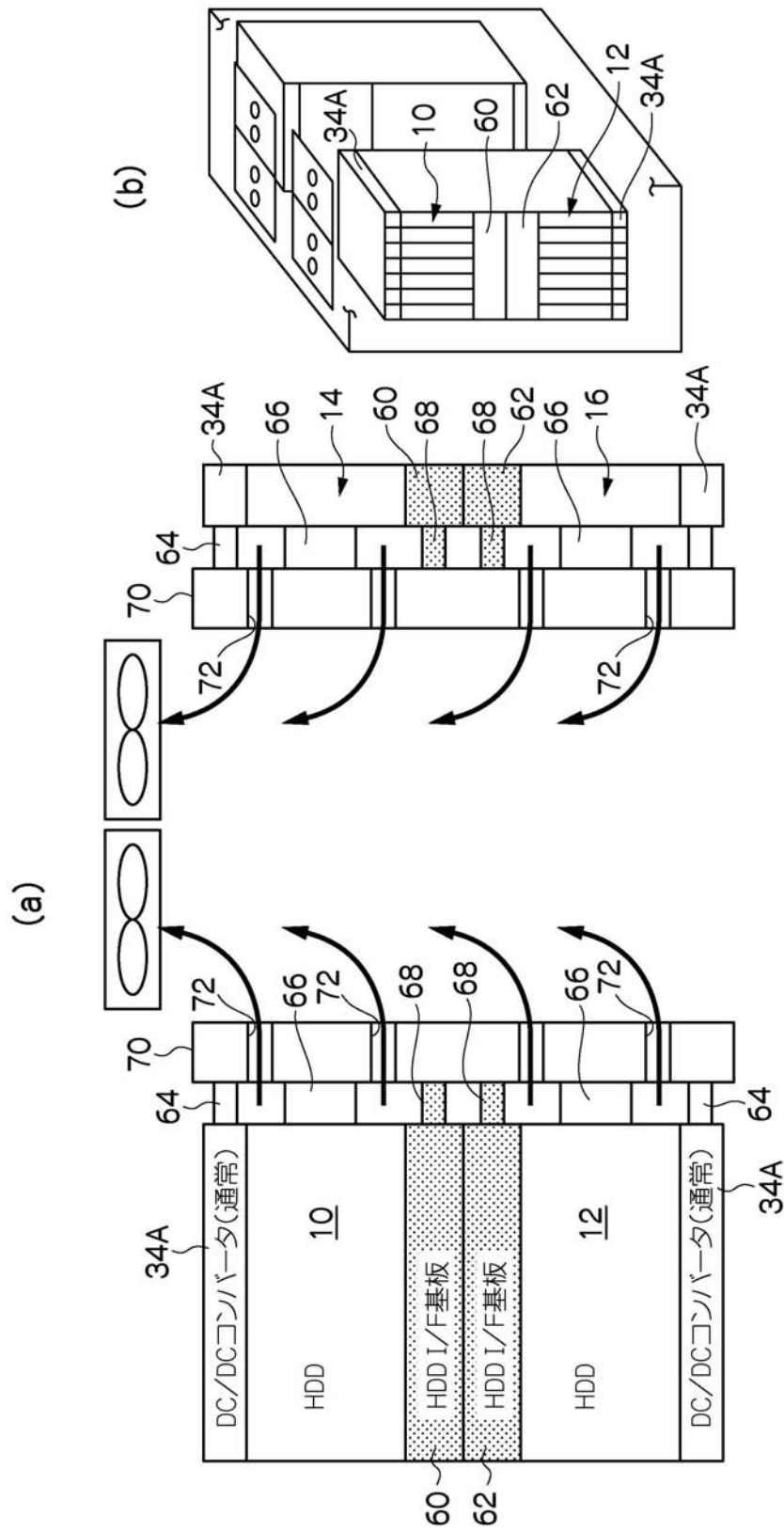
【図3】

図3



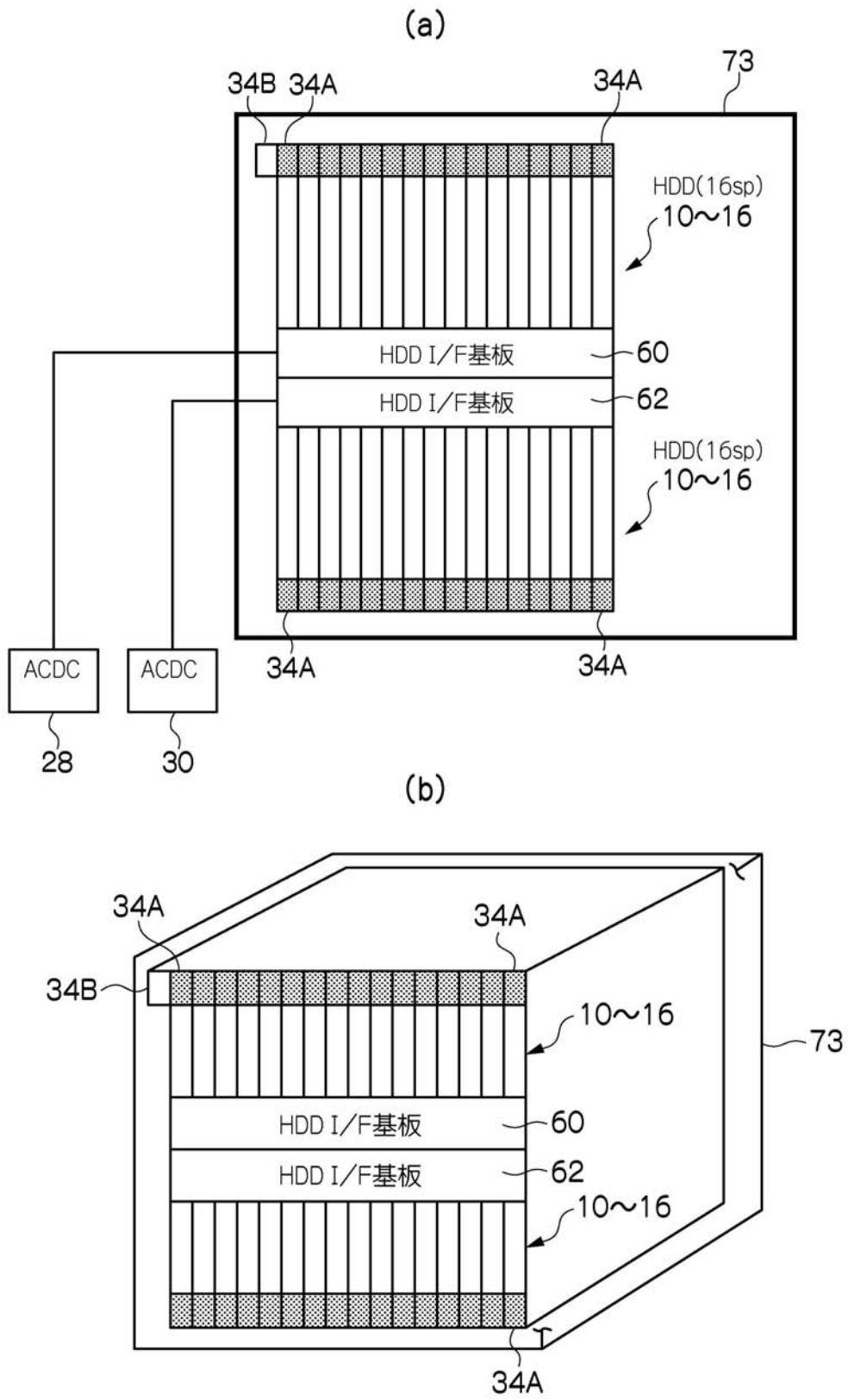
【図4】

図4



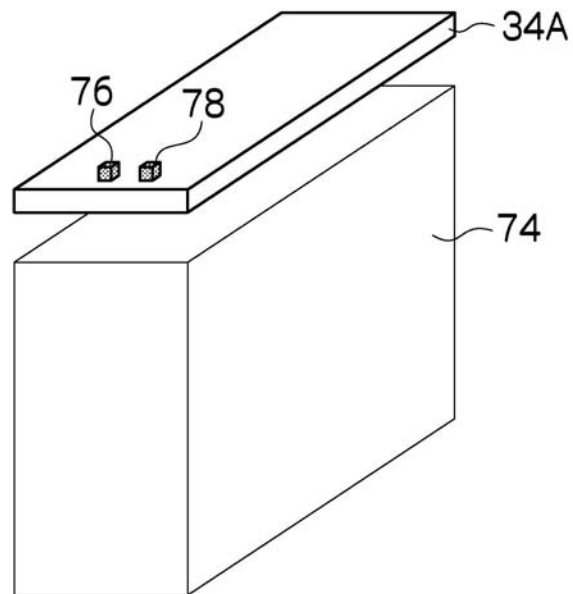
【図5】

図5



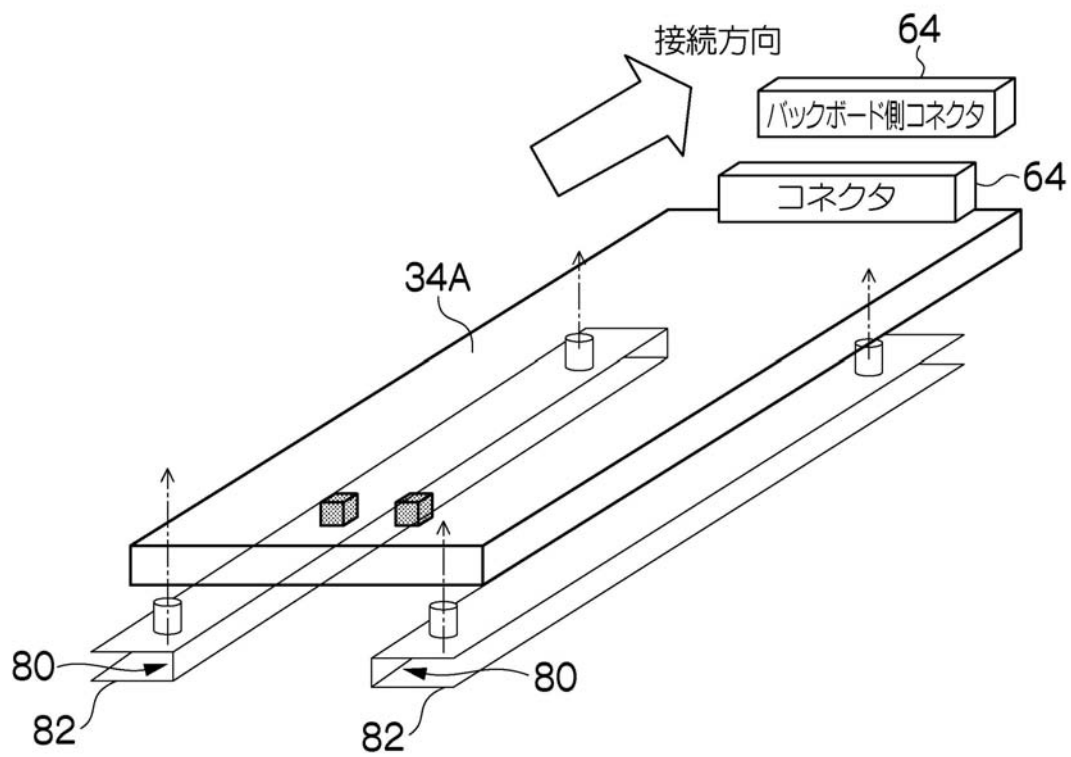
【図6】

図6



【図7】

図7



【図 8】

図8

