

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93138451

※申請日期：931210 ※IPC 分類：

一、發明名稱：(中文/英文)

形成一絕緣體上矽之本體接觸電晶體的方法及裝置

METHOD AND APPARATUS FOR FORMING AN SOI BODY-
CONTACTED TRANSISTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 米爾拉柴恩 莎亞
VEERARAGHAVAN, SURYA
2. 杜楊
DU, YANG
3. 葛藍 O 沃克蔓
WORKMAN, GLENN O.

國 籍：(中文/英文)

1. 印度 INDIA
- 2.-3.均美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年12月12日；10/734,435

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般有關半導體元件，尤其有關一種用於形成絕緣體上矽之本體接觸電晶體的方法及裝置。

【先前技術】

本體接觸絕緣體上矽之電晶體的建立通常具有分開源極/汲極區和本體接觸區的多晶矽閘極。因此本體聯結閘極所造成的額外電路負載電容相當龐大，尤其對於使用主光罩增強技術(如互補式相移遮罩)以縮減主電晶體閘極長度的高效能技術更是如此。此種技術無法縮減本體聯結區的大小或電容。

在先前技術中，會使用多晶矽閘極分開源極/汲極區和本體接觸區。此種配置會產生足以按因子2增加閘極延遲的額外閘極電容。此外，雖然在本體聯結閘極中使用雙閘極氧化物程序可稍微縮減每單位面積的電容，然而卻無法縮減本體聯結閘極的實體大小。此外，使用雙閘極氧化物程序並無法提供任何可縮減本體聯結區之實體大小的機構，如使用主光罩增強技術。

圖1為典型絕緣體上矽之本體接觸電晶體10的配置圖。絕緣體上矽之本體接觸電晶體10包括主動電晶體區12，其中主動電晶體區12包括用作本體聯結接觸區的部分，如參考數字14所示。本質本體區，緊鄰主動電晶體區12的中央，包括寬度尺寸16，標示為「 W_1 」，及長度尺寸18，標示為「 L_1 」。非本質本體區，緊鄰本體聯結區14的中央，

包括寬度尺寸20，標示為「 W_2 」，及長度尺寸22，標示為 L_2 」。

絕緣體上矽之本體接觸電晶體10進一步包括覆蓋主動電晶體區12的閘極多晶矽24。閘極多晶矽24進一步包括覆蓋對應於非本質本體區之本體聯結接觸區14之一部分的部分26。絕緣體上矽之本體接觸電晶體10尚進一步包括源極矽化物28、汲極矽化物30、及本體聯結接觸區矽化物32。此外，電晶體10的結構包括植入區，標示為參考數字34及36。在一項具體實施例中，植入區34及36分別對應於 N^{++} 及 P^{++} 植入區。接觸38、40、42、及44分別提供電連接至閘極、源極、汲極、及本體聯結區。

圖2為圖1之典型絕緣體上矽之本體接觸電晶體10沿著直線2-2截取的橫截面圖50。電晶體10包括：絕緣體52、溝渠隔離54、主動區的本質本體56、非本質本體聯結存取區58、及本體聯結擴散部60。如圖所示，主動區的本質本體56包括P型區，非本質本體聯結存取區58包括P-型區，及本體聯結擴散部60包括 P^{++} 區。在元件操作期間，非本質本體聯結存取區的空泛部分(標示為參考數字62)係形成於非本質本體聯結存取區58之內。非本質本體聯結存取區的空泛部分造成較高的本體聯結電阻條件，導致本體聯結效率降低。

薄的閘極氧化物64會在閘極多晶矽66底下的區域中覆蓋主動電晶體區12。閘極多晶矽66包括： N^{++} 部分68及 P^{++} 部分70，這是在側壁隔離物形成後，因分別在區域34及36

植入N++及P++所產生的。側壁隔離物72係形成於閘極多晶矽66的末端區域。矽化可形成矽化物24及32。接著，內階介電質ILD₀，以參考數字74表示，經形成可覆蓋電晶體結構，之後再形成接觸38及44。

因此，需要一種可克服此技術中上述問題的改良方法及裝置。

【發明內容】

根據本發明的一項具體實施例，用於形成絕緣體上矽之電晶體的方法包括形成覆蓋絕緣體的主動區，其中主動區的一部分提供本質本體區。在該主動區中也會形成本體聯結存取區，以覆蓋該絕緣體及經橫向配置鄰接該本質本體區，以和該本質本體區進行電接觸。閘電極經形成可覆蓋本質本體區，以提供本質本體區的電控制，閘電極係延伸於本體聯結存取區的一部分之上。在一項具體實施例中，閘電極經形成具有沿著其覆蓋主動區的整個寬度之實質上固定的閘極長度，其中一部分覆蓋具有實質上小於 L_2 之閘極長度的本體聯結存取區，以減少寄生電容及閘電極洩漏。第一及第二電流電極經形成鄰接本質本體區的相對側。此外，本體聯結擴散部係形成於主動區內及橫向偏離本體聯結存取區並電耦合至本體聯結存取區。

【實施方式】

圖3為本發明一項具體實施例之新型絕緣體上矽之本體接觸電晶體80的配置圖。絕緣體上矽之本體接觸電晶體80包括主動電晶體區82，其中主動電晶體區82包括其用作本

體聯結接觸區的一部分，如參考數字84所示。本質本體區，緊鄰主動電晶體區82的中央，包括寬度尺寸86，標示為「 W_1 」，及長度尺寸88，標示為「 L_1 」。主動區的一部分，緊鄰本體聯結區84的中央，包括寬度尺寸90，標示為「 W_2 」，及長度尺寸92，標示為「 L_2 」。此區對應於本體聯結存取區及標示為圖3及4中的參考數字128。

絕緣體上矽之本體接觸電晶體80進一步包括覆蓋主動電晶體區82的閘極多晶矽94。閘極多晶矽94進一步包括覆蓋對應於非本質本體聯結存取區128(圖4)之本體聯結接觸區84的一部分的部分96。請注意，閘極多晶矽覆蓋本體聯結接觸區84之部分的部分96，更特定的說，本體聯結接觸區84的本體聯結存取區128，具有實質上小於本體聯結接觸區84之長度尺寸的長度尺寸(在一項具體實施例中， $L_1 \ll L_2$)。因此，閘電極覆蓋本體聯結存取區的部分96實質上最小化本體聯結結構的寄生電容及閘電極洩漏。絕緣體上矽之本體接觸電晶體80尚進一步包括源極矽化物98、汲極矽化物100、及本體聯結接觸區矽化物102。此外，電晶體80的結構包括植入區，標示為參考數字104及106。在一項具體實施例中，植入區104及106分別對應於N++及P++植入區。接觸108、110、112、及114分別提供電連接至閘極、源極、汲極、及本體聯結區。

圖4為圖3之絕緣體上矽之本體接觸電晶體80沿著直線4-4截取的橫截面圖120。電晶體80包括：絕緣體122、溝渠隔離124、主動區82的本質本體126、主動區82的本體聯結

存取區 128、及主動區 82 的本體聯結擴散部 130。如圖所示，在一項具體實施例中，主動區 82 的本質本體 126 包括 P 型區，本體聯結存取區 128 包括 P+ 型區，及本體聯結擴散部 130 包括 P++ 區。在元件操作期間，非本質本體聯結存取區的空泛部分，標示為參考數字 131，係形成於本體聯結存取區 128 之內。可減少本體聯結存取區 128 的空泛部分 131，藉此實質上縮減本體聯結存取電阻及實質上提高本體聯結效率。

薄的閘極氧化物 132 會在閘極多晶矽 134 底下的區域中覆蓋主動電晶體區 82。閘極多晶矽 134 包括 N++ 矽化部分 136 及未矽化部分 137，其係在側壁隔離物形成後因在區域 104 中植入 N++ 而產生。側壁隔離物 (138、140) 係形成於閘極多晶矽 134 的末端區域。在一項具體實施例中，側壁隔離物 (138、140) 包括介電質。例如，介電質可包括：氧化矽、氮化物、或其他合適的介電質。後續的矽化可形成矽化物 94 及 102。請注意，側壁隔離物 140 可防止在隔離物 140 之一部分底下之閘極多晶矽 134 之一部分的矽化。還有，內階介電質 ILD_0 ，以參考數字 142 表示，經形成可覆蓋電晶體結構，之後再形成接觸 108 及 114。

如圖 4 所示，側壁隔離物 140 延伸橫跨主動區 82，尤其延伸橫跨對應於寬度 W_2 (圖 3 標示為參考數字 90) 的本體聯結存取區 128。此外，側壁隔離物 140 形成具有以標示為參考數字 144 之虛線 (圖 3) 所描繪之尺寸的硬遮罩，其中第一尺寸等級為標示為參考數字 90 的 W_2 ，及第二尺寸的等級為大

於標示為參考數字92的 L_2 。在第二尺寸中，硬遮罩可覆蓋溝渠隔離124及本體聯結存取區128。

圖5為圖3之絕緣體上矽之本體接觸電晶體80沿著直線5-5截取的橫截面圖150。如上述，電晶體80包括：絕緣體122、溝渠隔離124、及主動區82。電晶體80進一步包括：主動區82的汲極區152、主動區82的本體聯結存取區128、及主動區82的本體聯結擴散部130。如圖所示，在一項具體實施例中，汲極區152包括 N^{++} 型區，本體聯結存取區128包括 P^{+} 型區，及本體聯結擴散部130包括 P^{++} 區。如所示，側壁隔離物140的一部分覆蓋沿著圖3的直線5-5的本體聯結存取區128。此外，矽化還可形成矽化物100。請注意，側壁隔離物140可抑制在隔離物140底下之主動區82的矽化。

圖6為圖3之絕緣體上矽之本體接觸電晶體80沿著直線6-6截取的橫截面圖160。如上述，電晶體80包括：絕緣體122、溝渠隔離124、及主動區82。電晶體80進一步包括：本質本體區126、主動區82的汲極區152、及主動區82的源極區154。如所示，在一項具體實施例中，汲極區152及源極區154分別包括 N^{++} 型區。進一步如所示，閘極多晶矽136包括 N^{++} 型閘極多晶矽及覆蓋閘極氧化物132的側壁隔離物138。除了矽化物100之外，矽化還可形成矽化物94及98。

圖7為圖3之絕緣體上矽之本體接觸電晶體80沿著直線7-7截取的橫截面圖170。如上述，電晶體80包括：絕緣體

122、溝渠隔離124、主動區82、及主動區82的本體聯結存取區128。如所示，在一項具體實施例中，本體聯結存取區128包括P+型區。進一步如所示，閘極多晶矽137的未矽化部分及側壁隔離物140覆蓋閘極氧化物132，其中側壁隔離物140亦可覆蓋溝渠隔離124的一部分。請注意，側壁隔離物140可抑制在隔離物140底下之主動區82的矽化。

圖8為圖3之絕緣體上矽之本體接觸電晶體80沿著直線8-8截取的橫截面圖180。如上述，電晶體80包括：絕緣體122、溝渠隔離124、主動區82、及主動區82的本體聯結存取區128。如圖所示，在一項具體實施例中，本體聯結存取區128包括P+型區。進一步如圖所示，側壁隔離物140可覆蓋閘極氧化物132及溝渠隔離124的一部分。請注意，側壁隔離物140可抑制在隔離物140底下之主動區82的矽化。

圖9為圖3之絕緣體上矽之本體接觸電晶體80沿著直線9-9截取的橫截面圖190。如上述，電晶體80包括：絕緣體122、溝渠隔離124、主動區82、及主動區82的本體聯結擴散部130。如圖所示，在一項具體實施例中，本體聯結擴散部130包括P++區。矽化可在本體聯結擴散部130上形成矽化物102。

圖10為用於製造本發明一項具體實施例之絕緣體上矽之本體接觸電晶體之方法的流程圖200。在步驟202，本方法始於提供絕緣體上矽之基板。在步驟204，定義一主動區(或定義多個主動區)。在步驟206，執行一本質本體植入或多個植入。在步驟208，在本質本體聯結區上透過遮罩布

林形成開放遮罩及執行額外的本體存取區植入。在步驟210，形成閘極氧化物、沉積及圖案化閘電極。在步驟211，遮罩本體聯結存取區及執行光暈/延伸植入(又稱為袋形植入)。在步驟212，沉積側壁隔離物材料。在步驟213，遮罩本體聯結存取區及執行側壁隔離物蝕刻。在步驟214，執行源極/汲極植入。在步驟216，沉積及形成矽化物區。在步驟218，繼續內階介電質ILD₀沉積及進一步根據半導體IC流程進行處理。

本發明包括各種如下文所述的附加具體實施例。根據一項具體實施例，絕緣體上矽之電晶體80包括絕緣體122及覆蓋絕緣體的主動區82。主動區82包括本質本體區126及本體聯結存取區128，此本體聯結存取區還覆蓋絕緣體122並橫向鄰接本質本體區126。本體聯結存取區128可提供用於和本質本體區126進行電接觸。絕緣體上矽之電晶體80進一步包括橫向偏離本體聯結存取區128及電耦合至本體聯結存取區128的本體聯結擴散部130。

電晶體80進一步包括閘電極134。閘電極134可覆蓋本質本體區126以提供絕緣體上矽之電晶體80之本質本體區126的電控制，並延伸於本體聯結存取區128的部分137之上。閘電極134具有沿著其整個寬度之實質上固定的閘極長度88，其中閘電極的不同部分可覆蓋本體聯結存取區128及本質本體區126。此外，第一及第二電流電極(98、100)經設置鄰接該本質本體區126的相對側。在一項具體實施例中，閘電極134僅延伸於本體聯結存取區128的一小部分之

上，以減少寄生閘極電容及電流洩漏。

絕緣體上矽之電晶體80進一步包括介電層140。介電層140覆蓋實質上所有的本體聯結存取區128，其中包括閘電極134覆蓋本體聯結存取區128的部分137。在一項具體實施例中，介電層140可當作閘電極134的側壁隔離物(138、140)。

在另一項具體實施例中，本體聯結存取區128位在介電層140底下的一部分包含摻雜材料。摻雜材料可增加本體聯結存取區128的摻雜濃度，以在本體聯結存取區128中實質上減少空泛區131的形成。要提供本體聯結存取區之部分的摻雜，可藉由在第一遮罩中使用圖案化特徵144及在第二遮罩中再次使用該圖案化特徵以提供介電層140。

根據另一項具體實施例，用於形成絕緣體上矽之電晶體80的方法包括：提供絕緣體122，及形成主動區82、本體聯結存取區128、閘電極134、第一及第二電流電極(98、100)、及覆蓋絕緣體122的本體聯結擴散部130。形成主動區82包括形成可覆蓋絕緣體122的主動區，其中主動區82的一部分可提供本質本體區126。形成本體聯結存取區128包括在主動區82內形成本體聯結存取區128及同時覆蓋絕緣體122。本體聯結存取區128還橫向鄰接本質本體區126並和本質本體區126進行電接觸。

形成閘電極134包括形成覆蓋本質本體區126的閘電極，以提供絕緣體上矽之電晶體80之本質本體區126的電控制。閘電極134延伸於本體聯結存取區128的一部分之上，

如圖4參考數字137所示。此外，閘電極134的形成具有沿著其覆蓋本質本體區126及本體聯結存取區128的整個寬度之實質上固定的閘極長度 L_1 ，如參考數字88所示。因此，閘電極134可增加電晶體驅動電流能力及減少寄生電容與閘電極洩漏。還有，本方法包括藉由不延伸閘電極134超過整個本體聯結存取區128以減少寄生閘極電容及電流洩漏。

此外，第一及第二電流電極(98、100)經形成鄰接該本質本體區126的相對側。接著，在主動區82之內形成本體聯結擴散部130並橫向偏離本體聯結存取區128。此外，本體聯結擴散部130電耦合至本體聯結存取區128。

本方法還包括形成覆蓋實質上所有本體聯結存取區128的介電層140，其中包括覆蓋本體聯結存取區128之閘電極的部分137。此外，會摻雜本體聯結存取區128位在介電層140底下的一部分，以增加本體聯結存取區128的摻雜濃度，以在本體聯結存取區中實質上減少空泛區131的形成。在一項具體實施例中，摻雜包含在第一遮罩中使用圖案化特徵144作為摻雜的第一選擇性阻隔，及在第二遮罩中再次使用圖案化特徵144作為第二選擇性阻隔，其中圖案化特徵可用來定義參考數字140所示之介電層的部分。

在本發明的另一項具體實施例中，形成絕緣體上矽之電晶體的方法包括：形成絕緣基板(202)，及定義主動區82以定義絕緣體上矽之電晶體80的位置。以預定的擴散材料植入主動區82可形成所需摻雜濃度(206)的本質本體區126。

本方法進一步包括：藉由在覆蓋主動區82的遮罩中形成開口以定義本體聯結存取區128，植入主動區以形成本體聯結存取區128，該本體聯結存取區具有預定的摻雜濃度以減少本體聯結存取電阻。

然後形成閘極氧化物(132、133)以覆蓋本質本體區126及本體聯結存取區128。本方法會繼續沉積及圖案化閘電極材料134，以覆蓋本質本體區126及本體聯結存取區128的一部分。接著，藉由在覆蓋主動區82的遮罩中形成開口，執行本質本體區126之摻雜物的光暈/延伸植入，同時實質上阻隔摻雜物進入本體聯結存取區128，以定義一個區域。然後形成側壁隔離物介電材料(138、140)以覆蓋實質上固定長度的閘電極材料及本體聯結存取區128。接著，例如，使用具有以虛線及參考數字144表示之外形(圖3)的合適遮罩，遮罩實質上覆蓋本體聯結存取區128的區域。然後移除實質上除了覆蓋本體聯結存取區128及鄰接實質上固定長度的閘電極材料之外的側壁隔離物介電材料各處。接著形成源極擴散區98、汲極擴散區100、及本體聯結擴散區130。

在一項具體實施例中，本方法進一步包括形成電接觸連接至源極擴散區(110)、汲極擴散區(112)、本體聯結擴散部(114)及實質上固定長度的閘電極材料(108)。在一項具體實施例中，形成電接觸包括形成矽化層以覆蓋源極擴散區(98)、汲極擴散區(100)、本體聯結擴散部(102)及在實質上固定長度的閘電極材料(94)之上。

在另一項具體實施例中，本方法尚進一步包括定義尺寸(144)如下的遮罩(用於遮罩本體聯結存取區)：具有防止植入源極擴散區及汲極擴散區的摻雜物也被植入本體聯結擴散部(反之亦然)的所需最小距離。

還有，根據另一項具體實施例，本方法包括沉積及形成選擇性覆蓋以下各個項目的導電材料：源極擴散區、汲極擴散區、實質上固定長度的閘電極材料、及本體聯結擴散區，以和其進行電接觸。此外，本方法包括定義具有尺寸數值如下的遮罩：實質上大到足以防止因矽化物接觸源極擴散區、汲極擴散區、本體聯結擴散區、及實質上固定長度的閘電極材料之各個而發生的短路。

在一項具體實施例中，使用遮罩形成覆蓋本體聯結存取區128的閘極氧化物可具有大於覆蓋本質本體區126之閘極氧化物之第二厚度(132)的第一厚度(132、133)。在另一項具體實施例中，本方法進一步包括延伸實質上固定長度的閘電極材料134，以僅覆蓋本體聯結存取區的一小部分，例如，等級低於一半。

因此，藉由有效提供矽化物阻隔層，介電層140即可將源極與汲極區和本體接觸區130分開，並藉此在本體接觸存取區128及本體接觸區130中，減少非本質閘極電容及閘極洩漏電流。此外，可將介電層140的形狀結合(例如，經由遮罩布林運算)至高臨界電壓(V_t)PMOS通道植入遮罩；藉此減少非本質本體電阻。

本發明的具體實施例有利於擴展現有之高效能MOS絕緣

體上矽的程序。本發明的具體實施例還有額外的優勢，尤其是需要精確控制本體終端之關鍵電路中對於本體聯結電晶體的使用。使用本發明的具體實施例，便不需要使用額外的遮罩步驟。因此，實施本發明的方法有如改變設計配置一樣簡單。

本具體實施例還提供各種包括以下一或多個項目的優點：1)藉由縮減閘極面積以縮減此種電晶體的閘極電容及電流；2)縮減閘極至本體覆蓋電容及洩漏電流；3)結合本發明方法的具體實施例和本體接觸區的雙閘極氧化物(DGO)遮罩，以進一步縮減電容及洩漏電流；及4)減少本體聯結區之閘極長度的能力可放寬多晶矽主動失準需求，及/或提高兩個相同配置之電晶體源極與汲極之間的失配；5)在已阻隔的閘極下提供已縮減的外部本體電阻，其中矽化物阻隔程序也會阻隔n/p延伸及光暈植入。

於前面的說明書中，已參考特定具體實施例說明本發明。然而，熟知本技術人士應明白本發明的各種修改，並且其修改不會背離如下申請專利範圍所設定的本發明範疇。因此，說明書暨附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。本文所揭露的各種具體實施例係使用本技術中已知的半導體處理技術，因此在此不再詳述。

關於特定具體實施例的優勢、其他優點及問題解決方案已參照特定具體實施例如上所述。但是，優勢、優點、問題解決方案及產生或彰顯任何優勢、優點或解決方案的任

何元件，均不應視為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。本文中所使用的術語「包括」、「包含」或其任何其他變化，都是用來涵蓋非專有內含項，使得包括元件清單的製程、方法、物品或裝置，不僅包括這些元件，而且還包括未明確列出或此類製程、方法、物品或裝置原有的其他元件。

【圖式簡單說明】

本發明藉由實例及附圖進行解說，但本發明未限定在這些實例及附圖內，其中相同的參考符號代表相同的元件，及圖式中：

圖1為典型絕緣體上矽之本體接觸電晶體的配置圖(先前技術)；

圖2為圖1之典型絕緣體上矽之本體接觸電晶體沿著直線2-2截取的橫截面圖(先前技術)；

圖3為本發明一項具體實施例之新型絕緣體上矽之本體接觸電晶體的配置圖；

圖4為圖3之絕緣體上矽之本體接觸電晶體沿著直線4-4截取的橫截面圖；

圖5為圖3之絕緣體上矽之本體接觸電晶體沿著直線5-5截取的橫截面圖；

圖6為圖3之絕緣體上矽之本體接觸電晶體沿著直線6-6截取的橫截面圖；

圖7為圖3之絕緣體上矽之本體接觸電晶體沿著直線7-7截取的橫截面圖；

圖8為圖3之絕緣體上矽之本體接觸電晶體沿著直線8-8截取的橫截面圖；

圖9為圖3之絕緣體上矽之本體接觸電晶體沿著直線9-9截取的橫截面圖；及

圖10為用於製造本發明一項具體實施例之絕緣體上矽之本體接觸電晶體之方法的流程圖。

熟悉此項技術者可以發現，為了簡化及清楚起見，並沒有將圖式中的元件依照比例繪製。例如，為了有助於瞭解本發明的具體實施例，圖中部份元件的尺寸和其他元件比起來可能過度放大。

【主要元件符號說明】

80	絕緣體上矽之電晶體
82	電晶體區
84	本體聯結接觸區
86	寬度尺寸
88	閘極長度
90	寬度尺寸
92	長度尺寸
94	閘極多晶矽
96	部分
98	源極擴散區
100	汲極擴散區
102	本體聯結接觸區矽化物
104	植入區

106	植入區
108	接觸
110	接觸
112	接觸
114	接觸
120	橫截面圖
122	絕緣體
124	溝渠隔離
126	本質本體區
128	本體聯結存取區
130	本體接觸區
131	空泛區
132	閘極氧化物
134	閘電極
136	閘極多晶矽
137	閘極多晶矽
138	側壁隔離物
140	側壁隔離物
142	內階介電質
144	虛線
150	橫截面圖
152	汲極區
154	源極區
160	橫截面圖

170	橫 截 面 圖
180	橫 截 面 圖
190	橫 截 面 圖
200	流 程 圖

五、中文發明摘要：

本發明揭示一種用於形成絕緣體上矽之電晶體(80)的方法，該方法包括形成覆蓋絕緣體(122)的主動區(82)，其中主動區的一部分可提供本質本體區(126)。在主動區中也會形成本體聯結存取區(128)，以覆蓋絕緣體及經橫向配置鄰接本質本體區，以和本質本體區進行電接觸。閘電極(134)經形成可覆蓋本質本體區，以提供本質本體區的電控制，閘電極係延伸於本體聯結存取區的一部分(137)之上。閘電極被形成具有沿著其覆蓋本質本體及本體聯結存取區的整個寬度之實質上固定的閘極長度(88)，以減少寄生電容及閘電極洩漏。第一及第二電流電極(98、100)經形成鄰接本質本體區的相對側。此外，本體聯結擴散部(130)係形成於該主動區內及橫向偏離本體聯結存取區及電耦合至本體聯結存取區。

六、英文發明摘要：

十一、圖式：

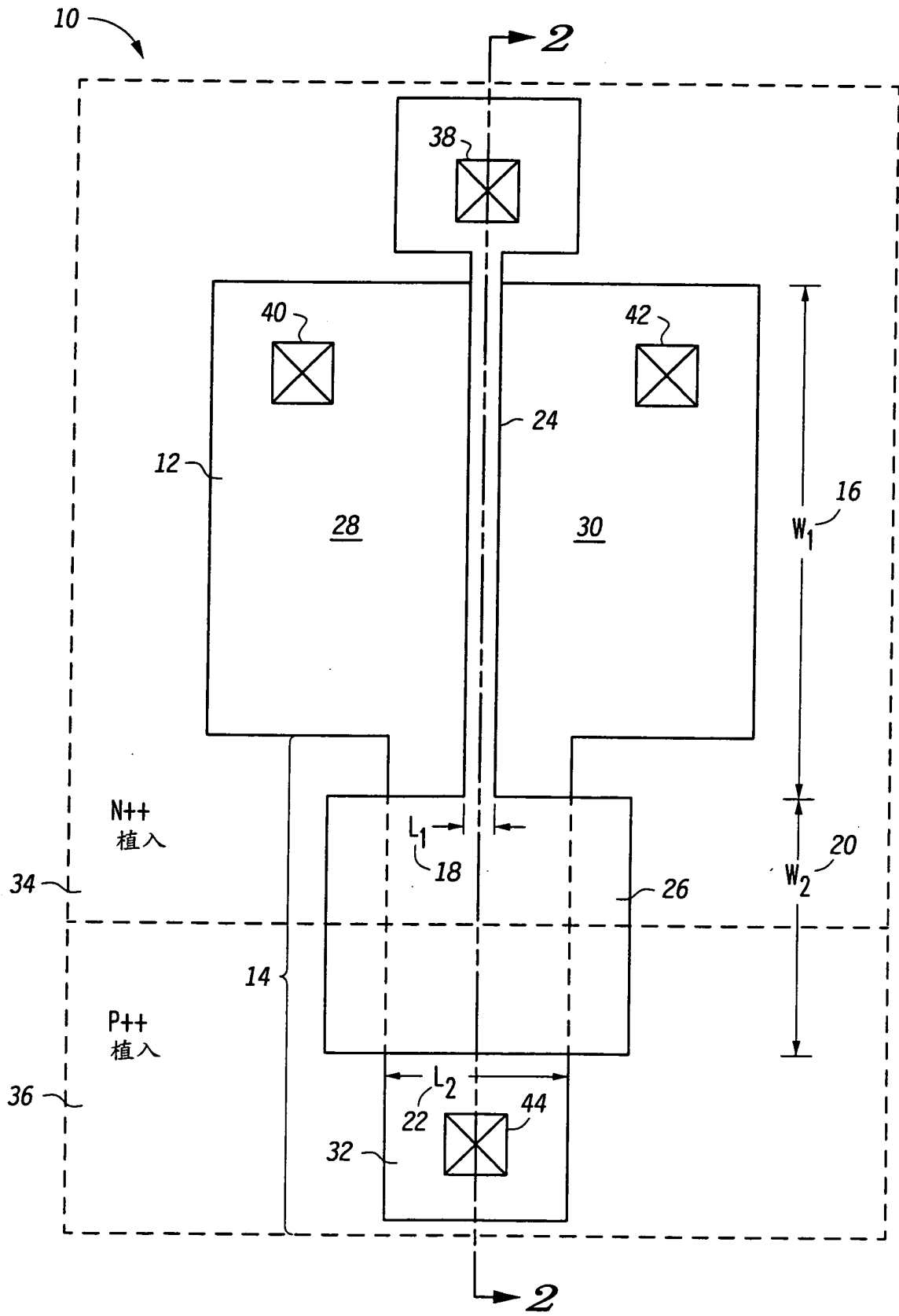


圖1
(先前技術)

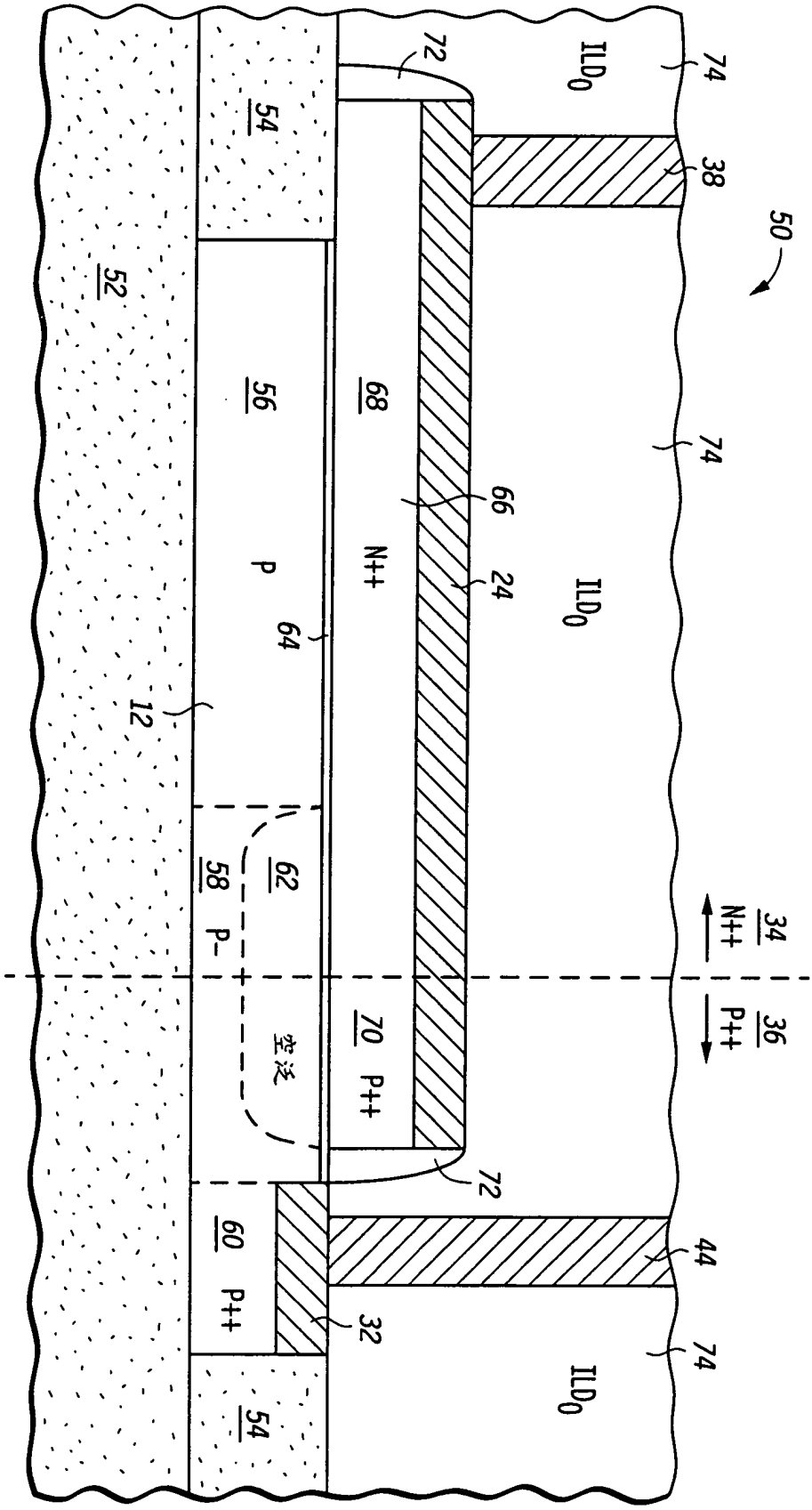


圖 2
(先前技術)

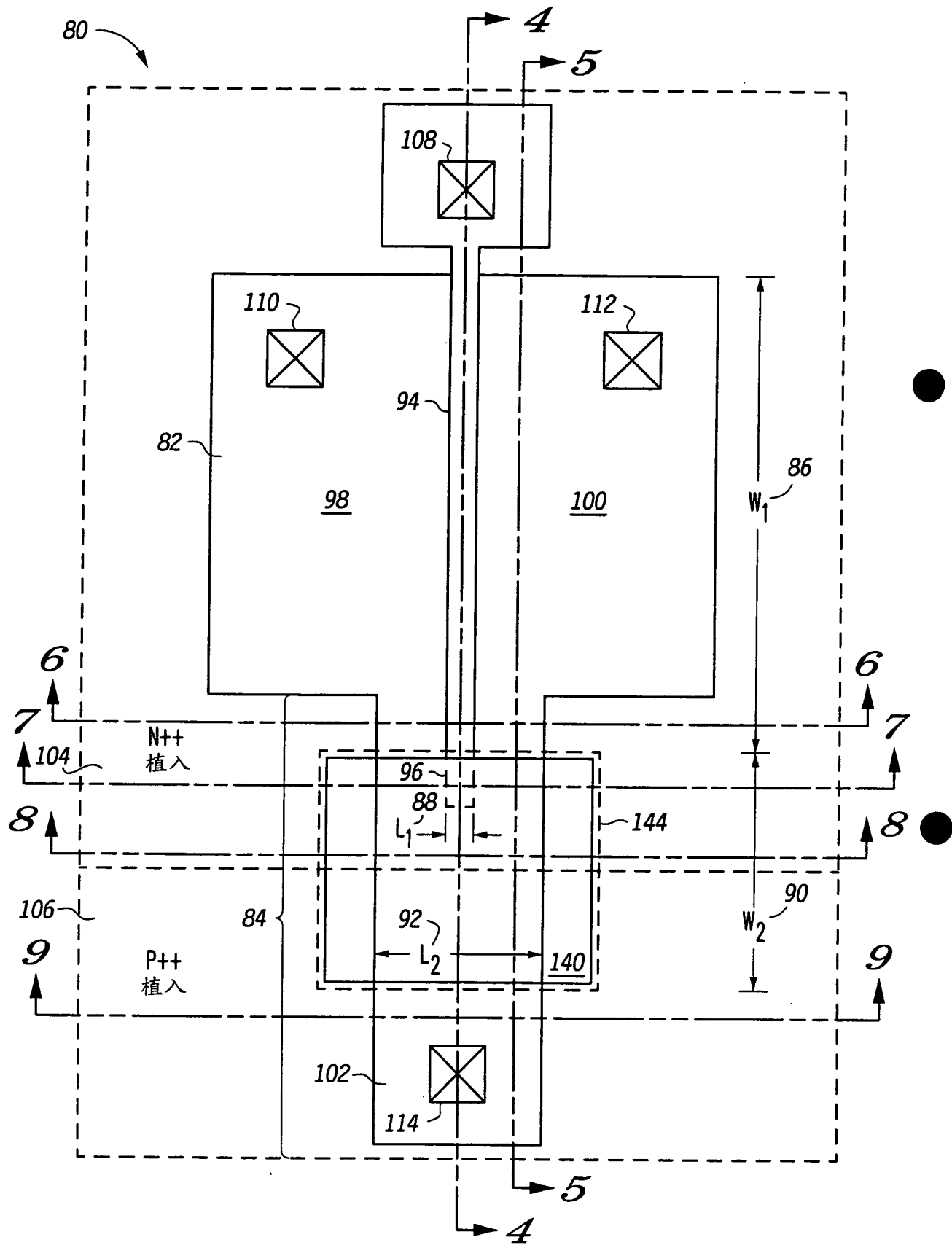


圖3



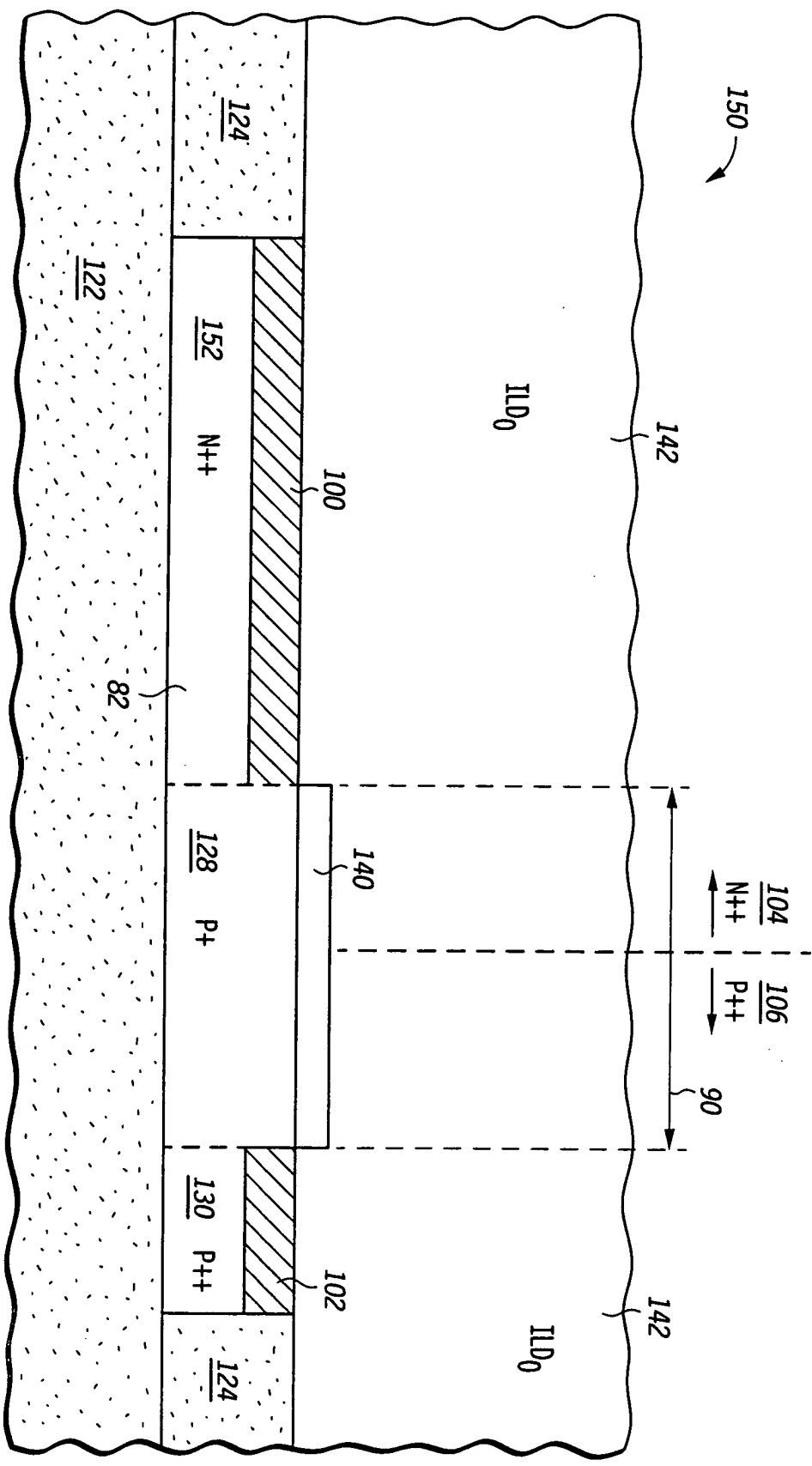


圖 5

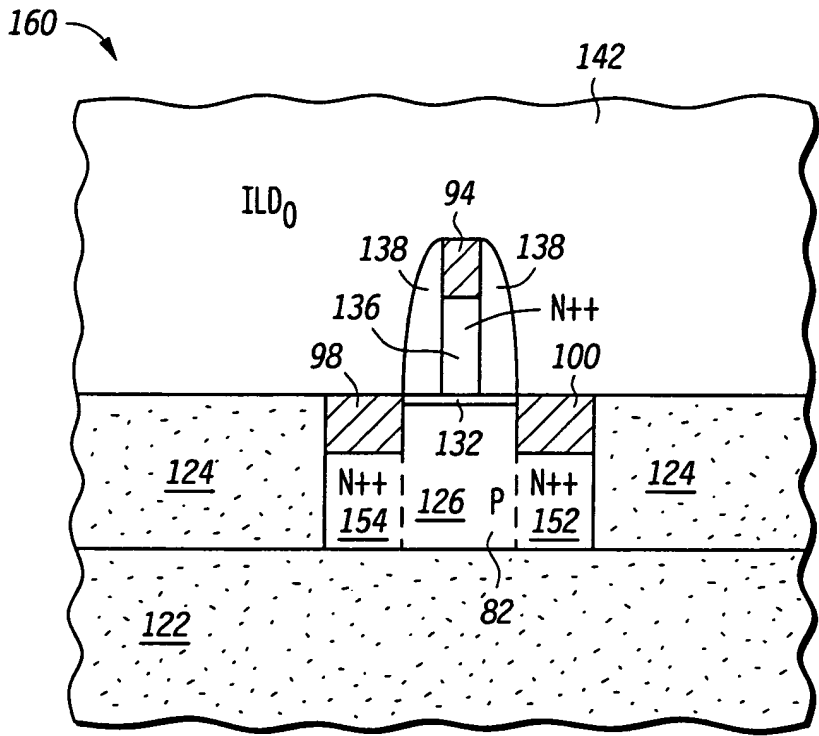


圖 6

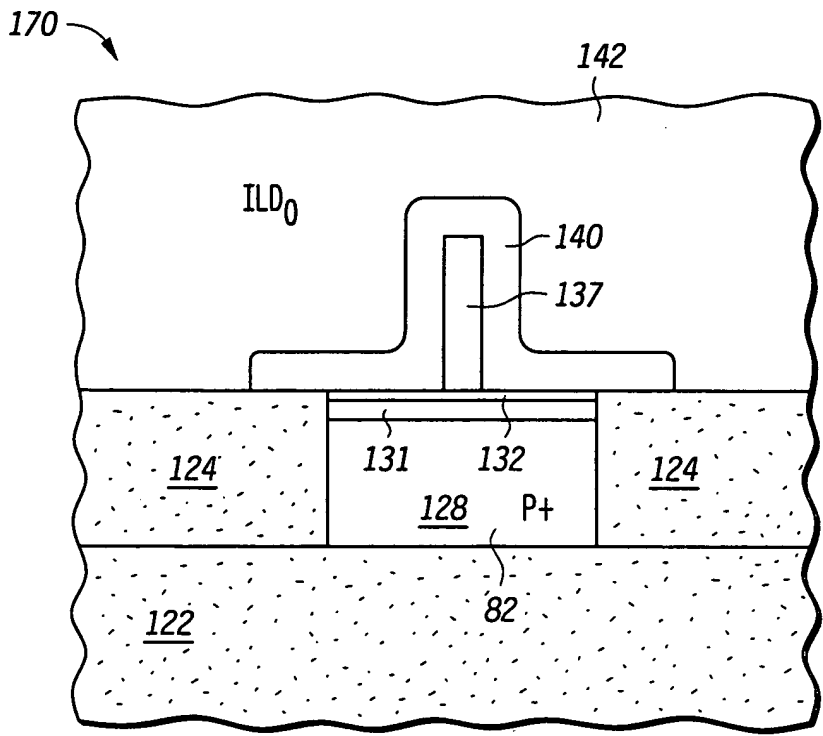


圖 7

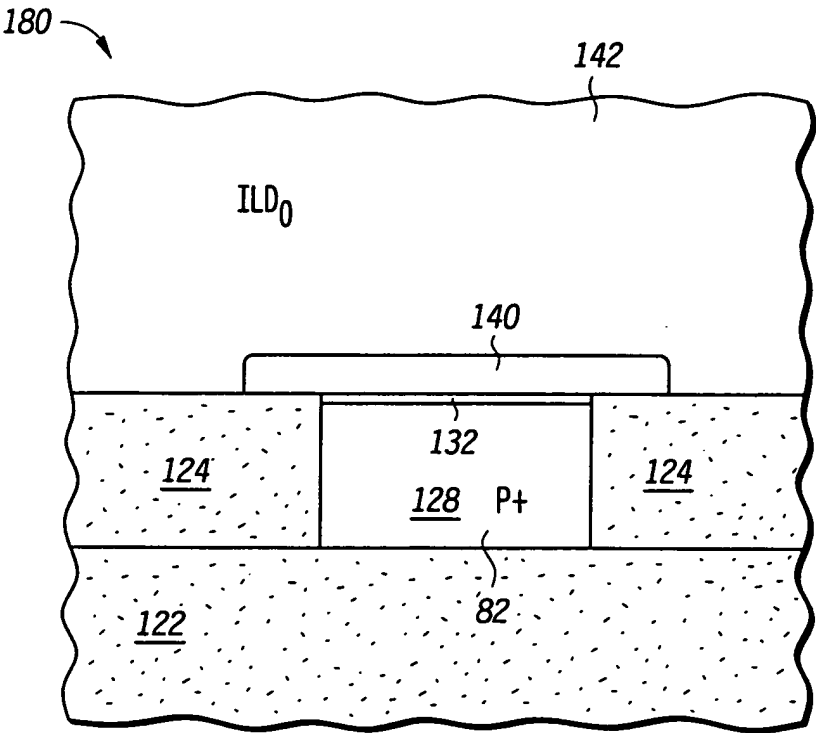


圖 8

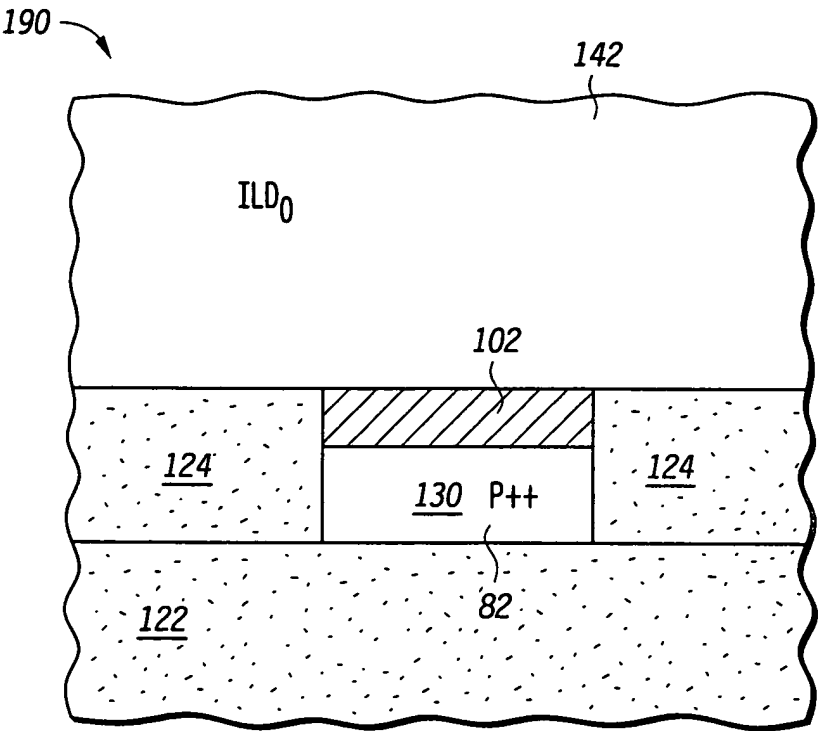


圖 9

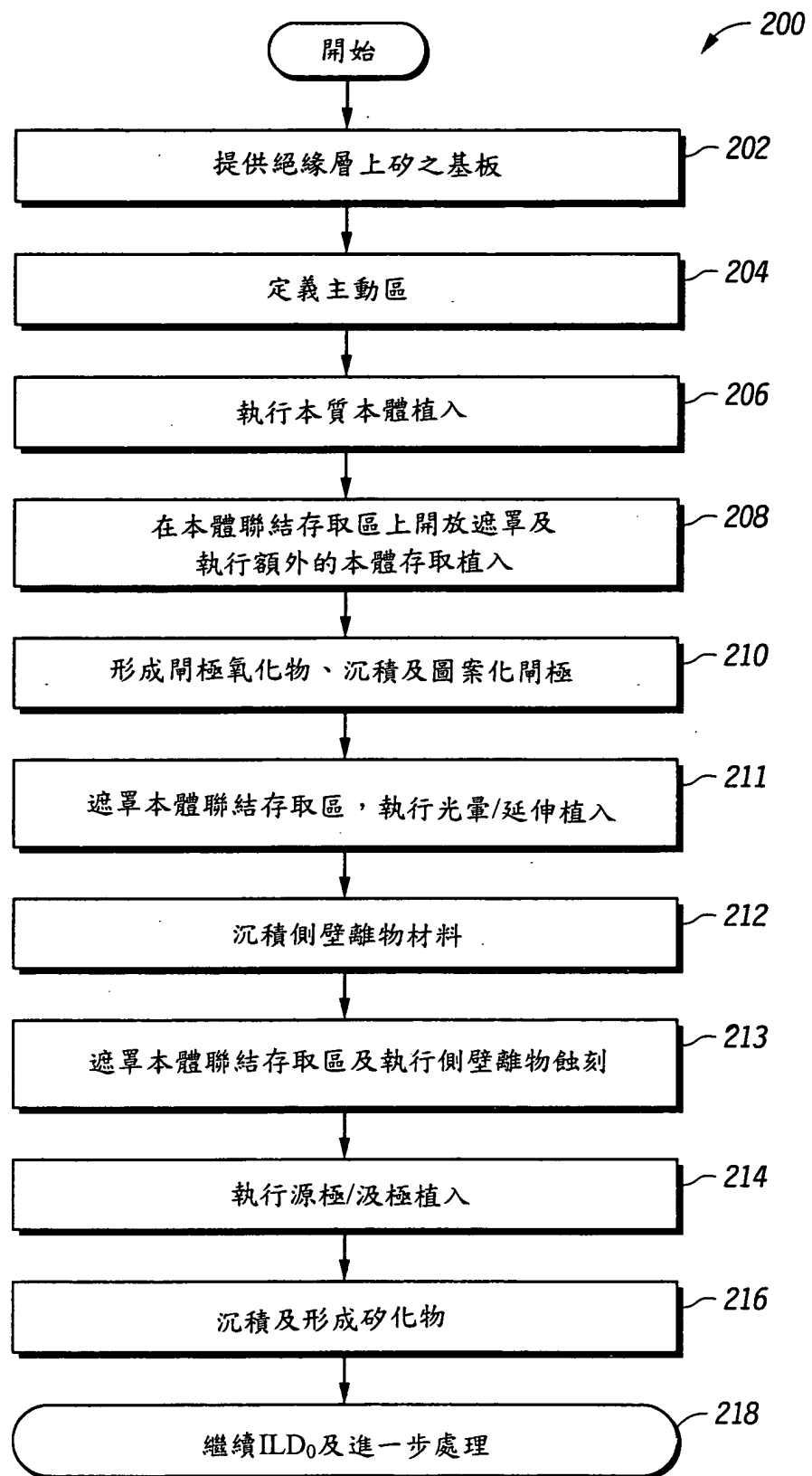


圖 10

七、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

82	電 晶 體 區
90	長 度 尺 寸
94	閘 極 多 晶 矽
102	本 體 聯 結 接 觸 區 矽 化 物
104, 106	植 入 區
108, 114	接 觸
120	橫 截 面 圖
122	絕 緣 體
124	溝 渠 隔 離
126	本 質 本 體 區
128	本 體 聯 結 存 取 區
130	本 體 接 觸 區
131	空 泛 區
132, 133	閘 極 氧 化 物
134	閘 電 極
136, 137	閘 極 多 晶 矽
138, 140	側 壁 隔 離 物
142	內 階 介 電 質

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

100年9月8日修正本

十、申請專利範圍：

1. 一種用於形成一絕緣體上矽之電晶體的方法，其包含：

提供一絕緣體；

形成覆蓋該絕緣體的一主動區，該主動區的一部分提供一本質本體區；

在該主動區內形成一本體聯結存取區及亦覆蓋該絕緣體及橫向鄰接該本質本體區，該本體聯結存取區和該本質本體區進行電接觸；

形成覆蓋該本質本體區的一閘電極，用於提供該絕緣體上矽之電晶體之該本質本體區的電控制及延伸於該本體聯結存取區的一部分之上，以減少寄生電容及閘電極洩漏；

對該本質本體區形成摻雜物的光暈/延伸植入，同時實質上對該本體聯結存取區阻隔該摻雜物的光暈/延伸植入；

形成鄰接該閘電極之一實質上固定長度且覆蓋該本體聯結存取區的一側壁隔離物介電材料；

形成鄰接該本質本體區之相對側的第一及第二電流電極；及

在該主動區內形成一本體聯結擴散部及橫向偏離該本體聯結存取區並電耦合至該本體聯結存取區。

2. 如請求項1之方法，進一步包含：

形成該側壁隔離物介電材料之一介電層，其覆蓋實質上所有該本體聯結存取區，包括該閘電極覆蓋該本體聯結存取區的部分；及

摻雜該本體聯結存取區位在該介電層底下的一部分，以

增加該本體聯結存取區的摻雜濃度，以實質上最小化在該本體聯結存取區中之一空泛區的形成。

3. 如請求項1之方法，進一步包含：

藉由不延伸該閘電極超過該本體聯結存取區的一半，以最小化寄生閘極電容及電流洩漏。

4. 一種用於形成一絕緣體上矽之電晶體的方法，其包含：

形成一絕緣基板；

定義一主動區，以定義該絕緣體上矽之電晶體的一位置；

以一預定的擴散材料植入該主動區，以形成所需摻雜濃度的一本質本體區；

藉由在覆蓋該主動區的一遮罩中形成一開口以定義一本體聯結存取區；

植入該主動區以形成該本體聯結存取區，該本體聯結存取區具有一預定的摻雜濃度以最小化本體聯結存取電阻；

形成覆蓋該本質本體區及該本體聯結存取區的一閘極氧化物；

沉積及圖案化覆蓋該本質本體區及該本體聯結存取區之一部分之一實質上固定長度的閘電極材料；

對該本質本體區形成摻雜物的光暈/延伸植入，同時實質上對該本體聯結存取區阻隔該摻雜物的光暈/延伸植入；

形成覆蓋該實質上固定長度之閘電極材料及該本體聯結存取區的側壁隔離物介電材料；

使用一遮罩以遮罩實質上覆蓋該本體聯結存取區的一區

域；

移除實質上除了覆蓋本體聯結存取區及鄰接實質上固定長度的閘電極材料之外的側壁隔離物介電材料各處；

形成一源極擴散區及一汲極擴散區；及

形成一本體聯結擴散區。