

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 21/76

(11) 공개번호 10-2004-0004866
(43) 공개일자 2004년01월16일

(21) 출원번호 10-2002-0038938
(22) 출원일자 2002년07월05일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 송병수
충청북도청주시흥덕구개신동613번지개신주공1단지아파트107-203

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 소자의 트렌치형 소자분리막 형성방법

요약

본 발명은 반도체 제조 기술에 관한 것으로, 특히 소자간의 전기적 분리를 위한 소자분리 공정에 관한 것이며, 더 자세히는 트렌치형 소자분리막 형성방법에 관한 것이다. 본 발명은 트렌치 매립 절연막의 평탄화를 위한 CMP 공정의 마진을 확보할 수 있는 반도체 소자의 트렌치형 소자분리막 형성방법을 제공하는데 그 목적이 있다. 본 발명은 패드 질화막 상에 추가적으로 폴리실리콘막을 형성한 후, 트렌치 식각을 수행한다. 즉, 트렌치 마스크 패턴으로 패드 산화막/패드 질화막/폴리실리콘막의 구조를 적용한다. 이 경우, 트렌치 매립 산화막의 평탄화를 위한 CMP 공정시 폴리실리콘막을 연마 정지막으로 사용한 후, 잔류하는 폴리실리콘막을 제거하면 후속 패드 질화막 제거 공정시 패드 질화막을 균일하게 제거할 수 있게 된다.

대표도

도 5

색인어

트렌치, 소자분리, 고밀도 플라스마 산화막, 평탄화, 폴리실리콘막

명세서

도면의 간단한 설명

도 1 내지 도 7은 본 발명의 일 실시예에 따른 STI 공정도.

* 도면의 주요 부분에 대한 부호의 설명

10 : 실리콘 기판

11 : 패드 산화막

12 : 패드 질화막

13 : 폴리실리콘막

14, 16 : 포토레지스트 패턴

15 : HDP 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 소자간의 전기적 분리를 위한 소자분리 공정에 관한 것이며, 더 자세히는 트렌치형 소자분리막 형성방법에 관한 것이다.

전통적인 소자분리 공정인 실리콘국부산화(LOCOS) 공정은 근본적으로 버즈비크(Bird's beak)로부터 자유로울 수 없으며, 버즈비크에 의한 활성영역의 감소로 인하여 초고집적 반도체 소자에 적용하기 어렵게 되었다.

한편, 트렌치 소자분리(shallow trench isolation, STI) 공정은 반도체 소자의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인을 근본적으로 해결할 수 있고, 활성영역의 확보에 유리한 소자분리 공정으로 부각되고 있으며, 향후 1G DRAM 또는 4G DRAM급 이상의 초고집적 반도체 소자 제조 공정에서의 적용이 유망한 기술이다.

종래의 STI 공정은 실리콘 기판 상에 패드 산화막 및 패드 질화막을 형성하고, 이를 선택 식각하여 트렌치 마스크를 형성한 다음, 패터닝된 패드 질화막을 식각 마스크로 사용하여 실리콘 기판을 건식 식각함으로써 트렌치를 형성하고, 계속하여 측벽 열산화 공정을 실시하고, 고밀도플라즈마(high density plasma, HDP) 산화막을 증착하여 트렌치를 매립하고, 화학·기계적 연마(chemical mechanical polishing, CMP) 공정을 실시하여 평탄화를 이룬 다음, 패드 질화막 및 패드 산화막을 제거하여 소자분리막을 형성하게 된다.

전술한 바와 같이 STI 공정에서는 주로 갭-필 산화막으로 HDP 산화막을 사용하고 있는 바, HDP 산화막은 스텝-커버리지가 우수한 반면 증착 프로파일 자체에 단차가 큰 단점이 있다. 한편, 메모리 소자를 예로 들어, 하나의 소자 내에도 메모리 셀 영역과 같이 소자분리 영역 및 활성 영역의 폭이 좁은 부분이 있는 반면, 주변회로 영역과 같이 소자분리 영역 및 활성 영역의 폭이 넓은 부분이 존재하기 마련이다. 통상적으로, HDP 산화막을 증착하게 되면, 좁은 활성 영역에 증착되는 높이 보다 넓은 활성 영역 상부에 증착되는 높이가 높게 나타난다. 따라서, 종래에는 이러한 HDP 산화막의 단차를 줄이기 위하여 상대적으로 토폴로지가 낮은 부분을 마스크한 상태에서 상대적으로 토폴로지가 높은 HDP 산화막을 선택적으로 식각한 후 후속 CMP 공정을 진행해 왔다.

그러나, 패턴 밀도에 따른 연마 속도의 차이 때문에 HDP 산화막의 평탄화를 위한 CMP 공정시 공정 마진이 부족하여 활성 영역 및 소자분리막의 손실이 발생하거나 패드 질화막이 잔류하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 트렌치 매립 절연막의 평탄화를 위한 CMP 공정의 마진을 확보할 수 있는 반도체 소자의 트렌치형 소자분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 실리콘 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계; 상기 패드 질화막 상에 폴리실리콘막을 형성하는 단계; 상기 폴리실리콘막, 상기 패드 질화막, 상기 패드 산화막을 선택적으로 식각하여 트렌치 마스크 패턴을 형성하는 단계; 노출된 상기 실리콘 기판을 선택적으로 식각하여 트렌치를 형성하는 단계; 상기 트렌치가 형성된 전체 구조 상부에 트렌치 매립 절연막을 형성하는 단계; 상기 폴

리실리콘막을 연마 정지막으로 사용하여 상기 트렌치 매립 절연막의 화학·기계적 연마 공정을 수행하는 단계; 잔류하는 상기 폴리실리콘막을 제거하는 단계; 및 상기 패드 질화막 및 상기 패드 산화막을 제거하는 단계를 포함하는 반도체 소자의 트렌치형 소자분리막 형성방법이 제공된다.

본 발명은 패드 질화막 상에 추가적으로 폴리실리콘막을 형성한 후, 트렌치 식각을 수행한다. 즉, 트렌치 마스크 패턴으로 패드 산화막/패드 질화막/폴리실리콘막의 구조를 적용한다. 이 경우, 트렌치 매립 산화막의 평탄화를 위한 CMP 공정시 폴리실리콘막을 연마 정지막으로 사용한 후, 잔류하는 폴리실리콘막을 제거하면 후속 패드 질화막 제거 공정시 패드 질화막을 균일하게 제거할 수 있게 된다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 1 내지 도 7은 본 발명의 일 실시예에 따른 STI 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

본 실시예에 따른 STI 공정은 우선, 도 1에 도시된 바와 같이 실리콘 기판(10) 표면을 열산화시켜 50 ~ 200 Å 두께의 패드 산화막(11)을 형성하고, 그 상부에 500 ~ 2500 Å의 두께의 패드 질화막(12)과 1000 ~ 5000 Å의 두께의 폴리실리콘막(13)을 차례로 증착한 다음, 포토레지스트를 도포하고 트렌치 마스크(소자분리 마스크)를 이용한 노광 및 현상 공정을 통해 폴리실리콘막(14) 상에 포토레지스트 패턴(14)을 형성한다.

다음으로, 도 2에 도시된 바와 같이 포토레지스트 패턴(14)을 식각 베리어로 사용하여 폴리실리콘막(13), 패드 질화막(12), 패드 산화막(11)을 차례로 식각하고, 잔류하는 포토레지스트 패턴(14)을 제거한 다음, 폴리실리콘막(13)을 식각 베리어로 사용하여 실리콘 기판(10)을 2000 ~ 5000 Å 깊이로 건식 식각함으로써 트렌치를 형성한다.

계속하여, 도 3에 도시된 바와 같이 전체 구조 상부에 HDP 산화막(15)을 증착하여 트렌치 갭-필을 이룬 다음, HDP 산화막(15)의 토폴로지가 낮은 영역에 포토레지스트 패턴(16)을 형성한다.

이어서, 도 4에 도시된 바와 같이 포토레지스트 패턴(16)을 식각 베리어로 사용하여 노출된 HDP 산화막(15)의 일부를 건식 식각 방식으로 제거한 다음, 잔류하는 포토레지스트 패턴(16)을 제거한다. 이때, 식각 타겟은 노출된 HDP 산화막(15)이 토폴로지가 낮은 부분의 높이만큼 잔류하도록 조절하는 것이 바람직하다.

다음으로, 도 5에 도시된 바와 같이 CMP 공정을 실시하여 HDP 산화막(15)을 평탄화시킨다. 이때, CMP 공정은 폴리실리콘막(13)을 연마 정지막으로 사용하여 진행하며, 연마 과정에서 폴리실리콘막(13)의 일부 두께가 제거되어 가장 두꺼운 부분이 1000 Å 정도 잔류되도록 하는 것이 바람직하다.

계속하여, 도 6에 도시된 바와 같이 잔류하는 폴리실리콘막(13)을 습식 식각 방식으로 제거한다. 이때, 폴리실리콘막(13)의 제거를 위한 습식 식각 타겟은 가장 두꺼운 부분을 기준으로 하여 1000 Å 이상으로 설정하는 것이 바람직하다.

이어서, 도 7에 도시된 바와 같이 질화막 식각 용액(예컨대, 인산 용액)을 사용하여 노출된 패드 질화막(12)을 습식 제거한다.

이후, 패드 산화막(11)을 습식 제거하여 STI 공정을 완료한다.

전술한 바와 같이 본 실시예에 따른 STI 공정에서는 기존과 같이 패드 질화막을 연마 정지막으로 사용하여 트렌치 매립 절연막의 CMP를 수행하지 않고, 패드 질화막 상에 폴리실리콘막을 추가로 증착하여 폴리실리콘막을 CMP 공정시 연마 정지막으로 사용한다. CMP 공정이 완료된 상태에서 폴리실리콘막은 국부적인 단차에 의해 균일한 프로파일을 나타내지 못하지만, 후속 공정에 의해 제거되므로 패드 질화막의 입장에서 보면 평탄한 프로파일을 확보할 수 있게 된다. 따라서, CMP 공정의 마진과 후속 공정의 마진을 확보할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 HDP 산화막 증착 후 마스크 공정과 부분 식각 공정을 수행하여 어느 정도 평탄화를 이룬 상태에서 CMP 공정을 진행하는 경우를 일례로 들어 설명하였으나, 본 발명은 상기와 같은 마스크 공정과 부분 식각 공정을 생략하는 경우에도 적용된다.

또한, 전술한 실시예에서는 트렌치 매립 절연막으로 HDP 산화막을 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 트렌치 매립 절연막으로 다른 절연막을 사용하는 경우에도 적용될 수 있다.

발명의 효과

전술한 본 발명은 STI 공정시 CMP 공정 및 후속 공정의 마진을 확보할 수 있으며, 이에 따라 소자 특성 개선과 수율 향상을 기대할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

실리콘 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계;

상기 패드 질화막 상에 폴리실리콘막을 형성하는 단계;

상기 폴리실리콘막, 상기 패드 질화막, 상기 패드 산화막을 선택적으로 식각하여 트렌치 마스크 패턴을 형성하는 단계;

노출된 상기 실리콘 기판을 선택적으로 식각하여 트렌치를 형성하는 단계;

상기 트렌치가 형성된 전체 구조 상부에 트렌치 매립 절연막을 형성하는 단계;

상기 폴리실리콘막을 연마 정지막으로 사용하여 상기 트렌치 매립 절연막의 화학·기계적 연마 공정을 수행하는 단계;

잔류하는 상기 폴리실리콘막을 제거하는 단계; 및

상기 패드 질화막 및 상기 패드 산화막을 제거하는 단계

를 포함하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 2.

제1항에 있어서,

상기 트렌치 매립 절연막을 형성하는 단계 수행 후,

상기 트렌치 매립 절연막의 토폴로지가 낮은 영역에 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 식각 베리어로 사용하여 노출된 상기 트렌치 매립 절연막을 부분 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 3.

제2항에 있어서,

상기 트렌치 매립 산화막은 고밀도 플라즈마 산화막인 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 4.

제1항 또는 제2항에 있어서,

상기 폴리실리콘막은 1000 ~ 5000 Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

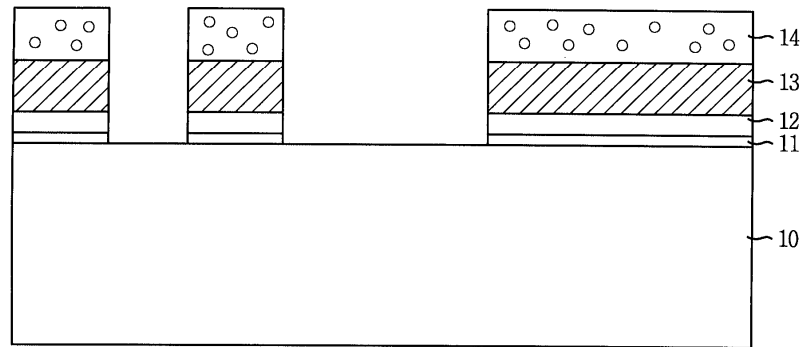
청구항 5.

제4항에 있어서,

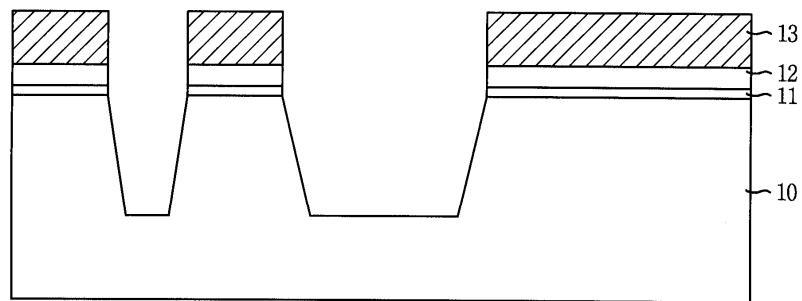
상기 폴리실리콘막은 습식 식각 방식으로 제거하는 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

도면

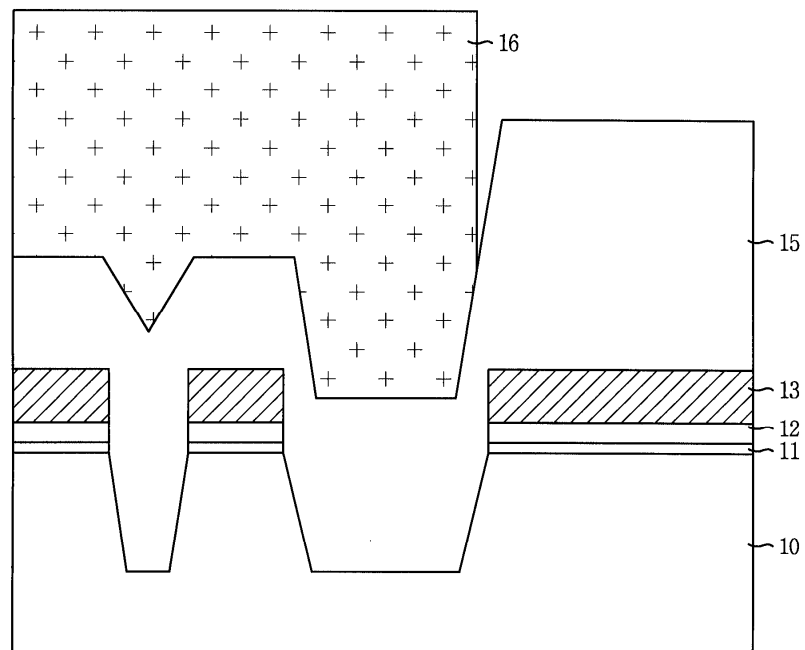
도면1



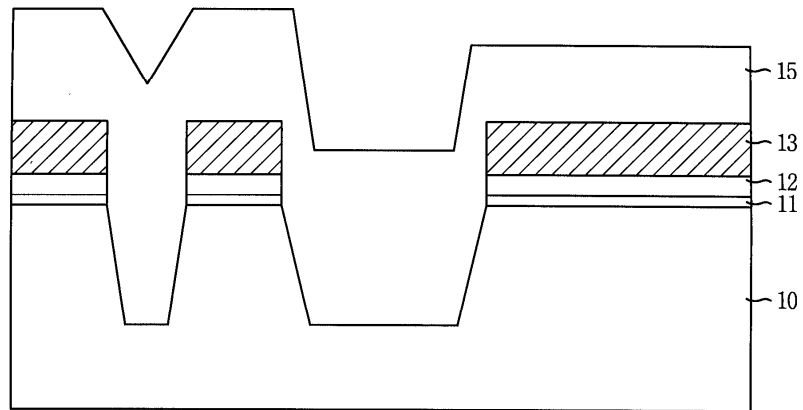
도면2



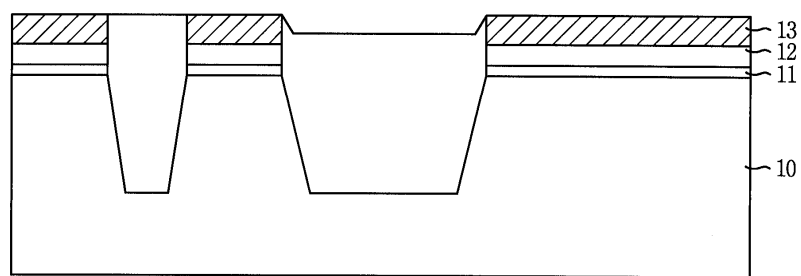
도면3



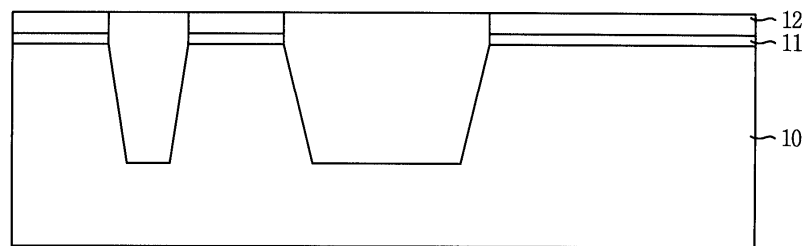
도면4



도면5



도면6



도면7

