



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0146005

(43) 공개일자 2014년12월24일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 43/08 (2006.01)

(21) 출원번호 10-2014-0072198

(22) 출원일자 2014년06월13일

심사청구일자 없음

(30) 우선권주장

13172187.0 2013년06월14일

유럽특허청(EPO)(EP)

(71) 출원인

아이엠이씨 브이제트더블유

벨기에 비-3001 루벤 카펠드리프 75

(72) 발명자

고보리누, 보그단

벨기에 3001 루벤 카펠드리프 75 벨기에 특허부

(74) 대리인

특허법인 무한

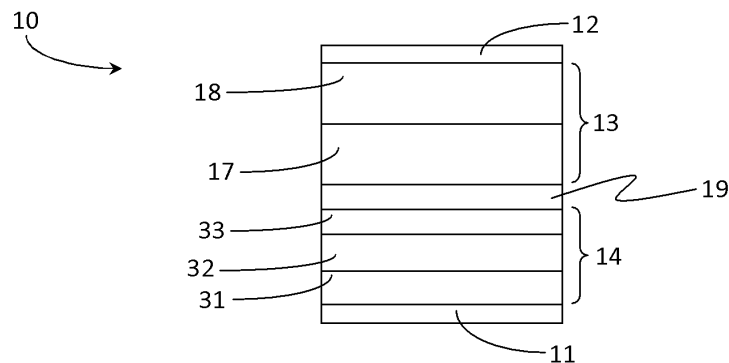
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 자기 정류 R RAM 소자

(57) 요약

메모리 셀(10)은 전도체 물질 또는 반도체 물질로 제작된 제1전극(11) 및 제2전극(12), 제1전극(11)과 제2전극(12) 사이의 저항 스위칭 소자(13), 및 저항 스위칭 소자(13)와 제1전극(11) 사이의 터널 정류기(14)를 포함한다. 터널 정류기(14)는 다층 터널 스택을 포함한다. 다층 터널 스택은 적어도 2개의 유전체층(31, 32, 33)의 스택을 포함하고, 각각 유전율, 전도 밴드 오프셋, 및 두께에 의해서 정의되고, 상기 층들 중 하나는 상기 다층 터널 스택에서 다른 유전체층보다 높은 유전율, 낮은 전도 밴드 오프셋, 및 높은 두께를 갖는다.

대표도 - 도1c



특허청구의 범위

청구항 1

전도체 물질 또는 반도체 물질로 제작된 제1전극 및 제2전극,

상기 제1전극과 상기 제2전극 사이의 저항 스위칭 소자,

상기 저항 스위칭 소자와 상기 제1전극 사이의 터널 정류기 - 상기 터널 정류기는 다층 터널 스택을 포함함 - 를 포함하고,

상기 다층 터널 스택은 각각 유전율(k_i), 전도 밴드 오프셋(Φ_i), 및 두께에 의해서 정의된 적어도 2개의 유전체 층의 스택(14)을 포함하고,

상기 다층 터널 스택에서 상기 유전체층 중 하나는 다른 유전체층보다 높은 유전율, 낮은 전도 밴드 오프셋, 및 높은 두께를 갖는, 메모리 셀.

청구항 2

제1항에 있어서,

상기 메모리 셀은 바이폴라 메모리 셀인, 메모리 셀

청구항 3

제1항에 있어서,

상기 다층 터널 스택은 적어도 3개의 유전체층의 스택이고, 제1 및 제2의 인접하는 유전체층 사이에 개재된 유전체층은 상기 제1 및 제2의 인접하는 유전체층보다 평균적으로 높은 유전율 ($k_2 > k_1$ 및 $k_2 > k_3$), 상기 제1 및 제2의 인접하는 유전체층보다 평균적으로 낮은 전도 밴드 오프셋($\Phi_2 < \Phi_1$ 및 $\Phi_2 < \Phi_3$), 및 상기 제1 및 제2의 인접하는 유전체층보다 높은 두께를 갖는, 메모리 셀.

청구항 4

제3항에 있어서,

상기 제1 및 제2의 인접하는 유전체층은 실질적으로 유사한 전도 밴드 오프셋을 갖는, 메모리 셀.

청구항 5

제3항에 있어서,

상기 제1 및 제2의 인접하는 유전체층의 유전율(k_1 , k_3) 대 상기 제1 및 제2의 인접하는 유전체층 사이에 개재된 상기 유전체층의 유전율(k_2)의 비율은 적어도 2인, 메모리 셀.

청구항 6

제3항에 있어서,

상기 다층 터널 스택(14)은 3개의 유전체층의 스택으로 이루어진, 메모리 셀.

청구항 7

제3항에 있어서,

상기 제1의 인접하는 유전체층은 상기 제1전극에 직접 접촉하는, 메모리 셀.

청구항 8

제3항에 있어서,

상기 다층 터널 스택은 대칭 또는 거의 대칭 스택인, 메모리 셀.

청구항 9

제3항에 있어서,

상기 다층 터널 스택은 비대칭 스택인, 메모리 셀.

청구항 10

제1항에 있어서,

상기 다층 터널 스택의 유전체층은 상기 저항 스위칭 소자에 직접 접촉하거나 상기 저항 스위칭 소자에 접촉하는 내부 전도층에 직접 접촉하는, 메모리 셀.

청구항 11

제10항에 있어서,

상기 내부 전도층은, 저항 스위칭에 기인하는 종들의 침투에 확산 배리어로서 작용하도록 적용되는, 메모리 셀.

청구항 12

제1항에 있어서,

상기 다층 터널 스택 중 적어도 하나의 유전체층은, 저항 스위칭에 기인하는 종들의 침투에 대한 우수한 확산 배리어의 물질로 사용되는, 메모리 셀.

청구항 13

제1항에 있어서,

상기 저항 스위칭 소자는 활성 유전체층 및 반응성 금속 캡층을 포함하는, 메모리 셀.

청구항 14

제1항에 있어서,

상기 저항 스위칭 소자가 형성되지 않는, 메모리 셀.

청구항 15

제1항에 있어서,

상기 저항 스위칭 소자는 공간적으로 국소 영역에 걸쳐서 상기 소자의 저항을 변화시킬 수 있는, 메모리 셀.

청구항 16

제1항에 있어서,

상기 높은 유전율 및 상기 낮은 전도 밴드 오프셋을 갖는 상기 유전체층의 두께는 1.8 nm 내지 3.5 nm인, 메모리 셀.

명세서

기술분야

[0001] 본 발명은 메모리 소자로서 저항 스위칭 소자를 갖는 메모리 셀, 및 이러한 메모리 셀의 작동 방법에 관한 것이다.

배경기술

[0002] 저항 랜덤 액세스 메모리(Resistive random access memory, RRAM 또는 ReRAM)는, 간단한 구조 및 낮은 작동 전력으로 인해, 가장 유망한 비휘발성 메모리 후보들 중 하나로 등장했다. 최근에, RRAM 소자에 기초한 크로스-바(cross-bar) 구조는, 높은 집적 밀도를 얻을 수 있기 때문에, 상당한 관심을 끌고 있다. 그러나, 크로스톡(crosstalk)의 주요한 문제로서, 크로스-바 어레이는 그 작동 중에 간섭이 발생한다.

[0003] RRAM 셀은 장치 수준 성능/신뢰성의 개선에 대한 상당한 진보가 있었지만, 대부분의 경우에, 일반적으로 장치의 작동을 증명하기 위해서 셀렉터 장치가 사용된다. 이러한 셀렉터(이상적으로, 다이오드이지만, 실제로 일반적으로는 트랜지스터임)가 회로에 배치되면, 셀렉터에는 독립형 메모리 밀도의 핵심 요소인, 얻어질 수 있는 메모리 소자 밀도를 한정하는 영역이 있다. 또한, 이러한 트랜지스터 셀렉터는 어레이 제작을 복잡하게 한다.

[0004] 신뢰할 수 있는 작동에 영향을 미치는 가장 두드러진 문제는 "누설전류 통로"로 알려져 있고, 크로스바 메모리 어레이에서 특정한 메모리 셀을 처리하는 경우에 나타나는 암전류 통로(parasitic current path)를 의미한다. 이것은, 예를 들면, 셀 상태의 판독 결과에 영향을 미칠 수 있다.

[0005] 수 개의 자기 정류(셀렉터 없음) 셀에 대한 시도가 보고되었지만, 이들은 중간 정도의 성능 또는 집적의 곤란함을 나타낸다.

[0006] 미국 특허공보 US2010/0315857 는 크로스바 구성에서 제1 및 제2 전도 라인, 제1 및 제2 전도 라인 사이에 직렬로 연결된 정류 소자 및 메모리 소자를 포함하는 셀 유닛, 및 제1 및 제2 전도 라인에 연결된 제어 회로를 포함하는 저항 변화 메모리가 기재되어 있다. 제어 회로는, 메모리 소자의 저항이 제1값과 제2값과 사이에서 가역적으로 변화하도록 전압을 제어한다. 정류 소자는 애노드층, 캐소드층 및 그 사이의 절연층을 포함하는 다이오드이다. MIM 다이오드 구조체는 전류를 일 방향으로 흘려주면서 타 방향으로 전류를 억제하는 기능을 갖는다.

이러한 구조체로는 양방향 정류가 얻어질 수 없는 단점이 있다.

[0007] 미국 특허공보 US2012/0068137 는 제1전극과 제2전극 사이에 개재된 바이폴라 터널층을 포함하고, 바이폴라 터널층이 상이한 유전율을 갖는 복수의 유전체층을 포함하는, 스위칭 장치를 개시한다. 이러한 스위칭 장치로는, 저항 스위칭 소자를 갖는 메모리 셀이 적절히 기능하도록 하는 데에 충분한 높은 전류를 제공하지 못하는 단점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 우수한 자기 정류(자기 선택) 저항 랜덤 액세스 메모리 셀을 제공하는 것이다. 본 발명의 실시형태는, 정류(선택) 기능이 내장형 정류기(다이오드 소자)로 수행되는 이점이 있다.

[0009] 상기 목적은 본 발명의 실시형태에 따른 소자 및 방법에 의해서 달성된다.

과제의 해결 수단

[0010] 제1측면에서, 본 발명은 전도체 물질 또는 반도체 물질로 제작된 제1전극 및 제2전극(예를 들면, 하부 전극 및 상부 전극), 제1전극과 제2전극 사이의 저항 스위칭 소자, 및 저항 스위칭 소자와 제1전극 사이의 터널 정류기를 포함하는 메모리 셀을 제공한다. 터널 정류기는 저항 스위칭 소자와 하부 전극 사이에 위치하거나, 저항 스위칭 소자와 상부 전극 사이에 위치할 수 있다. 터널 정류기는 다층 터널 스택을 포함한다. 다층 터널 스택은 유전율, 전도 밴드 오프셋, 및 두께로 정의된 적어도 2개의 유전체층의 스택을 포함한다. 상기 터널 정류기 스택에서 유전체층들 중 하나는 다른 유전체층보다 높은 유전율, 낮은 전도 밴드 오프셋, 및 높은 두께를 갖는다.

[0011] 특정한 실시형태에서, 메모리 셀은 바이폴라 메모리 셀일 수 있다.

[0012] 본 발명의 실시형태에서, 다층 터널 스택은 적어도 3개의 유전체층의 스택이고, 예를 들면, 다층 터널 스택은 정확히 3개의 유전체층의 스택으로 이루어질 수 있다. 제1 및 제2의 인접하는 유전체층 사이에 개재된 유전체층은 제1 및 제2의 인접하는 유전체층보다 평균적으로 높은 유전율, 제1 및 제2의 인접하는 유전체층보다 평균적으로 낮은 전도 밴드 오프셋, 및 제1 및 제2의 인접하는 유전체층보다 높은 두께를 갖는다. 제1 및 제2의 인접하는 유전체층은 실질적으로 유사한 전도 밴드 오프셋을 갖는다. 실질적인 유사함이란 밴드 오프셋 차이가 0.5 eV 미만인 것을 의미한다.

[0013] 본 발명의 실시형태에서, 제1 및 제2의 인접하는 유전체층의 유전율 대 제1 및 제2의 인접하는 유전체층 사이에 개재된 유전체층의 유전율의 비율은 적어도 2이다. 예를 들면, 인접하는 유전체층은 SiO_2 로 이루어지고, 유전율은 3.9이고, 제1 및 제2의 인접하는 유전체층 사이에 개재된 유전체층은 Si_3N_4 로 이루어지고, 유전율은 7.8이다.

[0014] 본 발명의 실시형태에서, 제1의 인접하는 유전체층은 제1전극에 직접적으로 접촉할 수 있다. 제1전극은 하부 전극 또는 상부 전극일 수 있다.

[0015] 본 발명의 실시형태에 따른 메모리 셀에서, 다층 터널 스택은 대칭 스택이거나 거의 대칭 스택, 즉 터널링 특성

이 양방향으로 유사하거나 동일한 스택일 수 있다. 또한, 다층 터널 스택은 비대칭 스택, 즉 터널링 특성이 일 방향으로부터 타 방향까지 서로 다른 스택일 수 있다. 특정한 실시형태에서, 대칭 스택은 기능적으로 대칭일 뿐만 아니라, 구조적으로 대칭일 수 있다. 마찬가지로, 비대칭 스택은 기능적으로 비대칭일 뿐만 아니라, 구조적으로 비대칭일 수 있다.

[0016] 이 점에서, 인접하는 층들의 두께가 실질적으로 1 nm 초과해서 다르지 않은 것이 바람직하다. 실제로, 두께와 k 값이 서로 보상되는, 인접하는 유전체층들에 대해서 상이한 k 값을 갖는 상이한 물질을 가질 수 있다.

[0017] 본 발명의 실시형태에 따른 메모리 셀에서, 다층 스택에서 유전체층은 두께가 각각 3 nm 미만일 수 있고, 전체 스택의 두께는 7 nm 미만일 수 있다. 본 발명의 실시형태에서, 높은 유전율을 갖는 유전체층, 예를 들면, 제1 및 제2 인접하는 유전체층 사이에 개재된 유전체층의 두께는 1.8 nm 내지 3.5 nm, 예를 들면, 2 nm 내지 3 nm 일 수 있다. 특정한 예로서, 본 발명의 실시형태에 따른 다층 스택은 각각의 두께가 1.4 nm / 2 nm / 1.4 nm, 또는 1.8 nm / 3 nm / 1.8 nm 인 3층을 포함할 수 있다.

[0018] 다층 터널 스택의 유전체층은 임의의 저항 스위칭 소자에 직접 접촉하거나, 또는 저항 스위칭 소자에 접촉하는 내부 전도층에 직접 접촉할 수 있다. 내부 전도층은 저항 스위칭에 기인하는 종(species)의 침투에 확산 배리어로서 작용하도록 적용될 수 있다. 적용은, 저항 스위칭, 예를 들면, 산소 이온 또는 산소 결핍에 기인하는 종에 대한 확산 계수가 낮은 물질을 제공하는 단계를 포함할 수 있다.

[0019] 다층 터널 스택의 유전체층 중 적어도 하나, 특히, 예를 들면, 저항 스위칭 소자와 직접 접촉하는 유전체층은 저항-스위칭에 기인하는 종의 침투에 대한 우수한 확산 배리어의 물질로 사용될 수 있다.

[0020] 본 발명의 실시형태에서, 저항 스위칭 소자는 제2전극과 직접 접촉할 수 있다.

[0021] 본 발명의 실시형태에서, 저항 스위칭 소자는 저항-스위칭 금속 산화물, 예를 들면, TiO_2 , HfO_2 , TaO_2 , Ta_2O_5 , Cu_2O , NiO , ZnO ; 페로브스카이트 산화물, 예를 들면, $SrTiO_3$, 도핑된 $SrZrO_3$, $Pr_{1-x}Ca_xMnO_3$ (PCMO) 또는 임의의 비양론적(off-stoichiometric) 유도 화합물 또는 실리케이트 또는 (옥시)니트라이드, 또는 Al, Gd, Sc, Mg, V, Ti와 같은 도펀트를 사용해서 도핑된 유전체일 수 있다.

[0022] 본 발명의 실시형태에서, 저항 스위칭 소자는 활성 유전체층 및 반응성 금속 캡층, 또는 비양론을 유도하도록 증착 후 열처리한(또한, 환원 어닐링이라고도 함) 활성 유전체층, 구조체 전체에서 다양한 수준의 비양론을 생성할 수 있는, 활성 유전체층 및/또는 반응성 금속 캡층의 조합을 포함할 수 있다. 열처리는 250 내지 700°C의 온도에서, 예를 들면, N_2 , O_2 , H_2 , Ar, 또는 상기 기체의 안정한 결합과 같은 분위기에서, 대기압에서부터 낮은 압력(1 mTorr 이하)까지의 압력에서 어닐링할 수 있다.

[0023] 본 발명의 실시형태에 따르는 메모리 셀에서, 다층 터널 스택의 유전체층은 높은 k 물질, 예를 들면, 희토류 산화물, HfO_2 , Ta_2O_5 , MgO , Al_2O_3 , TiO_2 , 희토류 산화물, 예를 들면, Dy_2O_3 , Sc_2O_3 , La_2O_3 , 또는 임의의 비양론적 유도 화합물 또는 실리케이트 또는 (옥시)니트라이드를 포함하거나 이루어질 수 있다.

[0024] 본 발명의 실시형태에 따르는 메모리 셀에서, 저항 스위칭 소자는 1회 전기 형성 작동이 필요할 수 있다. 또한, 저항 스위칭 소자가 형성되지 않을 수 있다.

[0025] 저항-스위칭 소자는 공간적으로 국소 영역(또한, 필라멘트 스위칭이라고 함)에서 저항을 변화시킬 수 있다. 이러한 메모리 셀은 바람직하게 내부 전도층을 포함해서 사용될 수 있다. 또한, 저항 스위칭 소자는 공간적으로 비-국소 영역(또한, 필라멘트가 형성되지 않은, 국소적 또는 균일한 스위칭) 전체에서 저항을 변화시킬 수 있다. 이러한 메모리 셀은 내부 전도층 없이 사용되는 것이 바람직하지만, 선택적으로 내부 전도층을 포함해서 사용될 수 있다.

[0026] 제2측면에서, 본 발명은 본 발명의 제1측면의 임의의 실시형태에 따르는 메모리 셀의 어레이를 제공한다.

[0027] 본 발명의 특정한 및 바람직한 측면은 수반한 독립항 및 종속항에서 제시된다. 종속항의 특징은 독립항의 특징 및 청구 범위에서 명시적으로 제시된 것뿐만 아니라 적합한 그 외의 종속항의 특징과 함께 결합될 수 있다.

[0028] 본 발명 및 종래 기술에서 달성된 이점을 정리하기 위해서, 본 발명의 특정한 목적 및 이점이 상기에 기재되어 있다. 물론, 이러한 모든 목적 또는 이점은, 본 발명의 특정한 실시형태에 따라서, 반드시 얻어지는 것은 아닌 것을 알 수 있다. 따라서, 예를 들면, 본 발명이 본원에 교시된 하나의 이점 또는 이점의 그룹을 달성하거나 최적화하는 방법으로 구현되거나 실시될 수 있지만, 본원에 교시되거나 제안될 수 있는 목적 또는 이점 외에 다른 목적 또는 이점이 반드시 달성되는 것은 아닌 것이 당업자에게 인식될 것이다.

[0029] 이하, 본 발명의 상기 또는 그 외의 측면은 실시형태를 참조해서 명백하고 명료하게 될 것이다.

도면의 간단한 설명

[0030] 본 발명은 수반하는 도면을 참조해서, 일례로, 기재될 것이다:

도 1a는 본 발명의 제1실시형태에 따르는 메모리 셀을 개략적으로 도시한다.

도 1b는 본 발명의 제2실시형태에 따르는 메모리 셀을 개략적으로 도시한다.

도 1c는 본 발명의 제3실시형태에 따르는 메모리 셀을 개략적으로 도시한다.

도 2는 상이한 바이어스 조건 하에서 도 1a의 메모리 셀 실시형태의 밴드 다이어그램을 도시한다.

도 3은 상이한 바이어스 조건 하에서, 대칭적인 유전체 스택을 갖는 본 발명의 또 다른 실시형태에 따르는 메모리 셀의 밴드 다이어그램을 도시한다.

도 4는 본 발명의 실시형태에 따르는 메모리 셀의 어레이를 개략적으로 도시한다.

도 5는 본 발명의 실시형태에 따르는 양방향 정류 스택의 IV 특성을 선형 스케일로 도시한다.

도 6은 도 5의 IV 특성을 로그 스케일로 도시한다.

도 7은 이중 유전체층을 갖는 본 발명의 제1실시형태에 따르는 2층 스택 터널 정류기/다이오드 및 삼중 유전체층을 갖는 본 발명의 또 다른 실시형태에 따르는 3층 스택 터널 정류기/다이오드의 단일층 터널 정류기 다이오드의 IV 특성을 도시한다.

도면은 개략적이고 비제한적이다. 도면에서, 일부 성분의 크기는 설명 목적으로 확대될 수 있고, 정확한 스케일로 그려진 것은 아니다. 치수 및 상대적인 치수는 본 발명을 실시하기 위해서 반드시 실제의 축소를 수반하는 것은 아니다.

청구범위에서 임의의 부호가 본 발명의 범위를 한정하는 것은 아니다.

상이한 도면에서, 동일한 부호는 동일한 또는 유사한 성분을 의미한다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명은 특정한 도면을 참조해서 특정한 실시형태에 대해서 기재되지만, 본 발명은 이들로 제한되지 않고, 청구범위에 의해서만 제한될 것이다.
- [0032] 상세한 설명 및 청구범위에서 "제1, 제2 " 등은 유사한 성분을 구별하기 위해서 사용되는 것이며, 반드시 시간적 순서, 공간적 순서, 차례, 또는 임의의 다른 방법의 순서를 기재한 것은 아니다. 이와 같이 사용된 용어가 적당한 환경하에서 상호 교환될 수 있고, 본원에 기재된 본 발명의 실시형태가 본원에 기재되거나 설명된 순서 외에 다른 순서로 작동할 수 있는 것을 알 수 있다.
- [0033] 상세한 설명 및 청구 범위에서 "상부", "하부" 등은 설명 목적으로 사용된 것이며, 반드시 상대적인 위치를 설명하는 것은 아니다. 이와 같이 사용된 용어는 적당한 환경 하에서 상호 교환될 수 있고, 본원에 기재된 본 발명의 실시형태는 본원에 기재되거나 설명되는 방향 외에 다른 방향에서 작동 가능한 것을 알 수 있다.
- [0034] 청구범위에서 사용된 "포함하는"은, 그 다음에 열거되는 수단으로 제한하는 것으로 해석되지 않고, 그 외의 성분 또는 단계들을 배제하지 않는 것을 유의해야 한다. 상기 용어는 기재된 특징, 정수, 단계, 또는 성분의 존재를 명기한 바와 같이 해석되지만, 그 외의 하나 이상의 특징, 정수, 단계, 또는 성분, 또는 그룹의 존재 또는 첨가를 제외하는 것은 아니다. 따라서, "수단 A 및 B를 포함하는 장치"의 범위는 성분 A 및 B만으로 이루어진 소자로 제한되는 것은 아니다. 본 발명에 대해서, 상기 장치의 관련 부품이 단지 A 및 B인 것을 의미한다.
- [0035] 본 명세서에 기재된 "하나의 실시형태" 또는 "일 실시형태"는 실시형태에 대해서 기재된 특정한 특징, 구조 또는 특성이 본 발명의 적어도 하나의 실시형태에 포함되어 있는 것을 의미한다. 따라서, 본 명세서의 다양한 부분에서 "하나의 실시형태" 또는 "일 실시형태"가 반드시 동일한 실시형태를 의미하는 것은 아니지만, 동일한 실시형태일 수 있다. 또한, 특정한 특징, 구조, 또는 특성은, 본 개시 내용으로부터 당업자에게 명백한 임의의 적당한 방법으로, 하나 이상의 실시형태에 결합될 수 있다.
- [0036] 마찬가지로, 본 발명의 예시의 실시형태의 설명에서, 본 발명의 다양한 특징은 하나 이상의 다양한 본 발명의 측면의 이해를 돕고, 본 개시 내용을 효율적으로 기재하기 위해서, 단일의 실시형태, 그 도면 또는 상세한 설명에서 함께 그룹화하는 경우가 있다. 그러나, 본 개시 내용의 이러한 방법은, 청구된 발명이 각각의 청구항에서 열거한 특징보다 많은 특징이 필요하다는 것을 반영하는 것으로 해석되지 않는다. 오히려, 다음 청구범위에서 반영된 것으로서, 발명의 측면은 상기 개시된 단일 실시형태의 모든 특징보다 적게 존재한다. 따라서, 상세한 설명 다음의 청구범위가 상세한 설명에 포함되며, 각각의 청구항은 본 발명의 별개의 실시형태로서 기재되어 있다.
- [0037] 또한, 본원에 기재된 일부 실시형태는 일부 특징을 포함하고, 그 외의 실시형태에 포함된 그 외의 특징은 포함되지 않지만, 상이한 실시형태의 특징들의 조합은 본 발명의 범위 내에 있으며, 해당 기술에 의해서 이해된 상이한 실시형태를 형성한다. 예를 들면, 다음의 청구범위에서, 임의의 청구된 실시형태는 임의의 조합으로 사용될 수 있다.
- [0038] 본 발명의 특정한 특징 또는 측면을 기재할 때에 사용되는 특정한 용어는, 그 용어가 관련된 본 발명의 특징 또는 측면의 임의의 특정한 특성을 포함하도록 한정해서 재정의하는 것을 의미하지 않는 것을 유의해야 한다.
- [0039] 본원에 제공된 설명에서, 수많은 특정한 세부 사항이 기재된다. 그러나, 본 발명의 실시형태는 이러한 특정한 세부 사항 없이 실시될 수 있는 것을 알 수 있다. 다른 예에서, 공지된 방법, 구조 및 기술은 상세한 설명의 이

해가 불명확하게 되지 않도록 상세하게 기재되지 않았다.

[0040]

메모리 셀 어레이는 국소적으로 행렬로 조직되는 메모리 셀의 어레이이다. 상세한 설명에서, "수평" 및 "수직" (각각 "행" 및 "열"에 관련됨)은 설명을 쉽게 하기 위한, 좌표계를 제공하기 위해서 사용된다. 이러한 용어들은 장치의 실제 물리적 방향을 의미할 필요는 없지만, 의미할 수도 있다. 또한, "행" 및 "열"은 함께 결합된 일련의 어레이 소자를 기재하기 위해서 사용된다. 결합은 행렬의 카테시안 어레이의 형태일 수 있지만, 본 발명은 이들로 한정되지 않는다. 당업자에 의해서 이해된 바와 같이, 행과 열은 쉽게 상호 교환될 수 있고, 본 개시내용에서 이러한 용어는 상호 교환될 수 있다. 또한, 비-카테시안 어레이가 구성될 수 있고, 본 발명의 범위에 포함될 수 있다. 따라서, "열" 및 "행"은 넓게 해석되어 한다. 이러한 넓은 해석을 쉽게 하기 위해서, "국소적으로 행렬로 조직"을 기재한다. 이것은 일련의 메모리 소자가 위상적으로 선형 교차 방식으로 함께 결합되어 있지만, 물리적 또는 위상 배열이 이렇게 될 필요는 없는 것을 의미한다. 예를 들면, 열은 원이며 행은 이러한 원의 직경이고, 원 및 직경은 "국소적으로 조직되는" 행렬로서 본 발명에 기재되어 있다.

[0041]

본 발명에 관해서, 메모리 셀 어레이는 교차점형 메모리 셀 어레이일 수 있다. 이러한 메모리 셀 어레이에서, 메모리 소자 및 정류 소자(내부 전도층 없음) 또는 다이오드 소자(내부 전도층, 예를 들면, 금속성 층, 예를 들면, 금속층 또는 열화되게 도핑된 폴리실리콘 층)가 하부 전극과 상부 전극 사이에 직렬로 연결된다. 정류 소자 또는 다이오드 소자는 선택된 메모리 소자를 통해서만 전류를 통과시키기 위해서 제공된다. 가장 일반적인 형태로, 정류 소자 또는 다이오드 소자는 메모리 소자에 전기적으로 연결된 별도의 소자일 수 있지만, 본 발명의 실시형태에서, 정류 소자 또는 다이오드 소자는 메모리 소자와 모노리식으로 통합되어 있고, 따라서 자기 정류 또는 자기 선택된 메모리 소자를 제공한다.

[0042]

본 발명의 또 다른 실시형태에서, 메모리 셀 어레이는 수직 메모리 셀의 어레이일 수 있다. 수직 메모리 셀은 수직으로 적층된 복수 개의 층을 포함한다. 이러한 수직 메모리 셀은 내부 전도층 없이 정류 소자와 양립가능하다.

[0043]

메모리 셀은, 2개 전극 (예를 들면, 하부 전극 및 상부 전극), 2개의 전극 사이의 메모리 소자 및 정류 소자를 포함하는 메모리 셀 어레이의 유닛이다. 메모리 셀 어레이에서, 메모리 셀은 국소적으로 행렬로 조직되어 있고, 워드 라인 및 비트 라인은 행과 열을 따라서 배치되고, 전기적으로 전극에 연결된다.

[0044]

본 발명에 관해서, 메모리 소자는 저항 스위칭 소자이다. 저항 스위칭 소자는 저항이 외부 인자, 예를 들면, 전압 또는 전류에 의해서 가역적으로 변화될 수 있는 물질로 제작된 가변 저항 소자이다. 본 발명의 실시형태에서, 저항 스위칭 소자는, 바람직하게 바이폴라 전압의 인가에 따라서 저항을 변화시킬 수 있는, 바이폴라 형태의 스위칭 물질로 형성될 수 있다. 스위칭 물질로서, 예를 들면, NiO , Al_2O_3 , TaO_2 , Ta_2O_5 , TiO_2 , ZrO_2 , HfO_2 , 중 어느 하나가 사용될 수 있다. 이들은 화학양론적 형태이다. 또한, 스위칭 물질로서 예를 들면, NiO_x , Al_xO_y , TaO_x , Ta_xO_y , TiO_x , ZrO_x , HfO_x 와 같은 비양론적 형태가 사용될 수 있고, 여기서 x 및 y 는 국소적으로(또는 대부분의 체적에서) 물질인 비양론적인 것을 나타내고, 이것은 필라멘트 (각각 국소적) 스위칭을 돕는다.

[0045]

본 발명에 관해서 터널 정류기에 기재된 경우, 정류기는 정류 효과가 전하 캐리어 터널링 현상/효과의 비선형에 기인하는 것을 의미한다.

[0046]

본 발명은, 저항 스위칭 소자가 메모리 소자로서 작용하는 ReRAM과 같은 메모리에 적용된다. 이것은, 교차점 형태 메모리 셀 어레이인 저항 변화 메모리가 고속 및 낮은 작동 에너지 소비 및 큰 메모리 캐패시티를 갖는 2차원 크로스바 어레이의 적층된 3차원 통합을 허용하기 때문에 바람직하다.

- [0047] 메모리 소자의 저항을 변화시키는 예시의 방법은, 메모리 소자에 인가된 전압의 극성을 변화시켜서 메모리 소자의 저항이 적어도 제1값과 제2값 사이에서 가역적으로 변화하는 방법; 및 전압의 극성을 변화시키지 않고, 메모리 소자에 인가된 전압 및 시간을 조절해서 메모리 소자의 저항이 적어도 제1값과 제2값 사이에서 가역적으로 변화하는 방법을 포함한다. 전자는 바이폴라 작동이라고 하고, 후자는 유니폴라 작동이라고 한다.
- [0048] 바이폴라 작동은 메모리, 예를 들면, 마그네틱 랜덤 액세스 메모리에서 채택되고, 여기서 데이터를 기록하는 데에 양방향 전류가 필요하다. 본 발명의 저항 변화 메모리에 바이폴라 작동을 적용할 수 있다.
- [0049] 터널링은 전하 캐리어(전자)가, 인가된 바이어스, 예를 들면, 전압(바이어스)의 존재 하에서, 포텐셜 에너지 배리어를 뚫고 나가는 공정이다. 터널링 전류는, 예를 들면, 배리어 높이 및 두께와 같은 물질 특성에 지수함수적으로 의존한다.
- [0050] 본 발명의 실시형태에 따르면, 메모리 셀이 제공된다. 이러한 메모리 셀(10)의 제1실시형태는 도 1a에 도시되고, 전도체 또는 반도체 물질로 제작된 제1 전극(11) 및 제2전극(12), 예를 들면, 하부 전극 및 상부 전극을 포함한다. 저항 스위칭 소자(13)는 제1전극(11)과 제2전극(12) 사이에 제공되고, 터널 정류기(14)는 저항 스위칭 소자(13)와 제1 전극 (11) 사이에 제공된다. 터널 정류기(14)는 저항 스위칭 소자(13)와 하부 전극 사이, 또는 저항 스위칭 소자(13)와 상부 전극 사이에 제공될 수 있다. 본 발명에 따르면, 터널 정류기(14)는 다층 터널 스택을 포함한다. 다층 터널 스택은 도시된 실시형태에서 적어도 2개의 유전체층(15,16)의 스택을 포함하고, 각각은 유전율(k_i), 전도 밴드 오프셋(Φ_i), 및 두께에 의해서 정의되고, 층(15, 16) 중 하나는 다른 유전체층의 유전율(k_j , $j \neq i$)보다 높은 유전율(k_i), 낮은 전도 밴드 오프셋(Φ_i), 및 높은 두께를 갖는다. 층의 높은 유전율과 층의 높은 두께로 인해, 저항 스위칭 메모리 소자(13)의 상태를 변화시키는 데에 높은 전류를 사용할 수 있다. 이러한 높은 전류는, 특히 메모리 소자(13)로서, 스위칭 메카니즘이 필라멘트인 저항 메모리 소자가 사용되는 경우에 필요하다.
- [0051] 본 발명의 또 다른 실시형태에 따르는 메모리 셀(10)은 도 1b에서 도시된다. 모든 층은 도 1a의 실시형태에서와 같이 있거나 도 1a의 실시형태에 있을 수 있지만, 도 1b의 실시형태는 저항 스위칭 소자(13)와 터널 정류기(14) 사이에 전도층(19)을 갖는다. 특히, 다층 터널 스택은 도시된 실시형태에서 적어도 2개의 유전체층(15,16)의 스택을 포함하고, 각각은 유전율(k_i), 전도 밴드 오프셋(Φ_i), 및 두께에 의해서 정의되고, 층(15, 16) 중 하나는 다른 유전체층의 유전율(k_j , $j \neq i$)보다 높은 유전율(k_i), 낮은 전도 밴드 오프셋(Φ_i), 및 높은 두께를 갖는다.
- [0052] 본 발명의 또 다른 실시형태에 따르는 메모리 셀(10)은 도 1c에 도시된다. 모든 층은 도 1b의 실시형태에서와 같이 위치하지만, 도 1c의 실시형태에서, 다층 터널 스택(14)은 3개의 유전체층(31,32,33)을 포함하고, 각각 유전율(k_i), 전도 밴드 오프셋(Φ_i), 및 두께로 정의된다. 층(31,32,33) 중 하나는 다른 유전체층의 유전율(k_j , $j \neq i$)보다 높은 유전율(k_i), 낮은 전도 밴드 오프셋(Φ_i), 및 높은 두께를 갖는다. 예를 들면, 스택(14)의 중간층(32)은 인접하는 두 층(31,32)보다 높은 유전율, 낮은 전도 밴드 오프셋 및 높은 두께를 가질 수 있다. 다층 터널 스택(14)의 내층, 예를 들면, 중간층의 이러한 높은 두께로 인해서, 저항 스위칭 메모리 소자(13)의 상태를 변화시키는 데에 높은 전류를 사용할 수 있다. 특히, 이러한 높은 전류는, 메모리 소자(13)로서, 스위칭 메카니즘이 필라멘트인 저항 메모리 소자가 사용되는 경우에 필요하다.
- [0053] 도 1a의 실시형태는 셀렉터가 없는 자기 정류 셀이라고 하고, 도 1b 및 1c의 실시형태는 1S1R 또는 1D1R 자기 정류 셀 또는 자기 선택 셀이라고 한다.

- [0054] 도 1a, 1b 및 1c에서 도시된 실시형태에서, 저항 스위칭 소자(13)는 저항 스위칭 층(17), 예를 들면, HfO_2 활성 층뿐만 아니라, 반응성 캡 물질의 층(18)을 포함한다. 이러한 반응성 캡 물질의 층(18)은 저항 스위칭 층(17)으로부터 산소를 추출하고, 충분한 산소 결핍(V_o)을 일으켜서 바이폴라 스위칭을 발생시킨다. 저항 스위칭 소자(13)에서 산소 결핍 구배가 형성되고, 결핍은 온/오프 상태로 스위칭하기 위해서 왕복 이동된다.
- [0055] 본 발명의 실시형태에서 터널 정류기(14)는 인가된 전압의 크기 및 극성의 함수로서 통과전류량을 제어하는 절연물질의 다층 스택이다. 정류 작용은 소위 터널 효과에 기초해서 달성될 수 있다. 따라서, 정류 절연 물질의 전도 밴드 에지와 전극 물질의 일 함수 사이의 에너지 차이를 증가시키기 위한 물질이 선택되는 경우, 상당한 정류 효과가 달성될 수 있다.
- [0056] 도 1a 및 1b에 도시된 실시형태에서 터널 정류기(14)는 비대칭 터널 배리어이다. 비대칭 터널 배리어란 터널 정류기(14)를 통과하는 터널링 확률이 일 방향에서 타 방향까지 상당히 다른 것을 의미한다. 이것은, 전하 캐리어, 예를 들면, 전자에 동일한 전압 레벨이 인가되더라도, 전하 캐리어는 터널 정류기(14)를 다르게 터널링하고 다른 극성을 갖는 것을 의미한다. 도시된 터널정류기(14)는 2개의 유전체층(15,16)을 포함한다. 제1유전체층(15)은 제1유전율(k_1), 제1전도 밴드 오프셋(Φ_1) 및 제1두께를 갖고, 제2유전체층(16)은 제2유전율(k_2), 제2전도 밴드 오프셋(Φ_2) 및 제2두께를 갖는다. 본 발명의 실시형태에 따르면, 제1유전율(k_1)은, 예를 들면, 제2유전율(k_2)보다 2배 이상 크고, 제1전도 밴드 오프셋(Φ_1)은, 예를 들면, 제2전도 밴드 오프셋(Φ_2)보다 적어도 0.3 eV 작고, 제1두께는 제2두께보다 예를 들면 적어도 1 nm 크다. 유전율에 대해서 가장 작은 값, 전도 밴드 오프셋에 대해서 가장 큰 값, 및 가장 낮은 두께를 갖는 유전체층(16)은, 터널 스택(14)에서 2개의 유전체층만을 갖는 실시형태의 경우에, 저항 스위칭 소자(13)에 의해서 수행되는 활성부 근방에 위치한다.
- [0057] 본 발명의 실시형태에 따르면, 전압 유도 비대칭은 비대칭 터널 배리어(2층 터널 정류기(14))가 활성 스위칭 스택(활성층(17) 및 반응캡(18)을 포함)과 결합해서 메모리 셀(10) 내에서 사용된다. 이러한 방법에 의해서, 정류 효과는 단일 물리적 스택에서 저항 스위칭 효과와 결합한다.
- [0058] 비대칭 터널 배리어는, 비대칭 터널 배리어가 하나의 전압 극성 하에서 전하 캐리어(예를 들면, 전자)에 대한 높은 포텐셜 에너지 배리어를 나타내고, 반대 방향에서 전하 캐리어(예를 들면, 전자) 수송을 효과적으로 방해한다는 의미의 단일 방향성을 갖는다. 작동을 효과적으로 하기 위해서, 비대칭 터널 배리어는 저항 스위치에 기인하는 종에 대해서 확산 배리어의 역할을 하고, 확산 배리어는, 예를 들면, 산소 이온 또는 산소 결핍(이들로 한정되지 않음)일 수 있다.
- [0059] 도 1c에 도시된 실시형태에서 터널정류기(14)는 대칭 터널 배리어이다. 대칭 터널배리어란, 터널 특성이 양방향에서 유사하거나 동일해서, 터널정류기(14)를 통과하는 터널링 확률이 양방향(도 1c에 도시된 방향에서 상부에서 하부 또는 하부에서 상부)에서 실질적으로 동일하거나 동일한 스택을 의미한다. 이는, 다른 극성의 동일 전압이 인가되는 경우, 전하 캐리어, 예를 들면, 전자는 터널정류기(14)를 유사하게 터널링하는 것을 의미한다.
- [0060] 도 1a에 따르는 메모리 셀(10)의 작동 메커니즘은, 도 2의 밴드 다이어그램에 의해서 도시된다.
- [0061] 터널정류기 스택(14)이 하부 전극(11)과 저항 스위칭 소자(13) 사이에 배치되는 경우에, 메모리 소자는, 인가된 전압의 극성에 따라, 밴드 변조 전에 도 2(a)의 구조를 갖고, 밴드 변조 후에 도 2(b) 또는 도 2(c)의 구조를 갖는다.
- [0062] 도 2(a)에 도시된 바와 같이, 메모리 셀(10)에 낮은 전압을 인가하거나 전압을 인가하지 않는 경우에, 다층 터

널 스택(14)으로의 직접적인 터널링에 의해서 발생하는 전류는 제한되거나 존재하지 않는다.

[0063]

포지티브 문턱 전압 이상의 전압이 순방향 바이어스로서 인가되는 경우에, 도 2(b)에 도시된 바와 같이, 다층 터널 스택(14)을 통과하는 터널링 전류는 대부분의 물리적 두께에 대한 스택의 포텐셜 배리어에 의해서 제한된다. 메모리 셀(10)을 통과하는 전류가 제한된다. 포지티브 바이어스에 대해서, 전류가 포지티브 인가된 바이어스에 따라 증가하는 경우에도, 이러한 증가는 동일한 크기의 네가티브 인가 전압에 비해서 훨씬 작다.

[0064]

한편, 네가티브 구동 전압과 동일한 네가티브 문턱 전압(즉, 캐리어가 유전체층(14)의 층(16)으로 나타낸 포텐셜 에너지 배리어를 대부분 터널링하도록 하는 전기장의 형성에 상응하는 전압)보다 작은 네가티브 전압이 도 2(c)에 도시된 바와 같이 메모리 셀(10)에 대한 역 바이어스로서 인가되는 경우, 상당한 전류가 다층 터널 스택(14)을 터널링함으로써 발생한다. 메모리 셀(10)을 통과하는 전류는 역 바이어스 증가에 따라 증가한다. 네가티브 인가 전압이 0 내지 네가티브 구동 전압 사이에 있는 경우, 다층 스택을 통과하는 터널링 전류는, 도 2a에 라벨링된 바와 같이, 층(15 및 16)에 의해서 나타낸 포텐셜 배리어에 의해서 제한되고, 터널링 전류는 네가티브 인가 전압이 네가티브 문턱 전압 미만인 경우보다 훨씬 작고, 상당한 정류 효과를 제공한다.

[0065]

전하 캐리어, 예를 들면, 전자가 나오는 측에 접촉하는 유전체층 스택(14)의 유전체층은 인접한 유전체층보다 낮은 유전율(k) 및 높은 밴드 오프셋(Φ)을 가져야 한다.

[0066]

본 발명의 또 다른 실시형태에서, 정류기 터널 스택은 대칭 스택일 수 있고, 예를 들면, 도 3에 도시된 3개의 유전체층을 포함하는 스택일 수 있다.

[0067]

도 1c 및 도 3에 도시된 실시형태에서 터널정류기(14)는 대칭 터널 배리어이다. 대칭 터널 배리어란, 터널정류기(14)의 터널링 특성이 실질적으로 양방향에서 동일한 것을 의미한다. 이것은, 동일한 전압이 인가되는 경우에, 전하 캐리어, 예를 들면, 전자가 터널정류기(14)를 동일한 방법으로 터널링하고, 전하 캐리어는 다른 극성이 되는 것을 의미한다. 도시된 터널정류기(14)는 3개의 유전체층을 포함한다. 제1유전체층(31)은 제1유전율(k_1), 제1전도 밴드 오프셋(Φ_1) 및 제1두께를 갖고, 제2유전체층(32)은 제2유전율(k_2), 제2전도 밴드 오프셋(Φ_2) 및 제2두께를 갖고, 제3유전체층(33)은 제3유전율(k_3), 제3전도 밴드 오프셋(Φ_3) 및 제3두께를 갖는다. 본 발명의 실시형태에 따라, 예를 들면, 제1유전율(k_1) 및 제3유전율(k_3)은 제2유전율(k_2)보다 작을 수 있고, 제2전도 밴드 오프셋(Φ_2)은 제1전도 밴드 오프셋(Φ_1) 및 제3전도 밴드 오프셋(Φ_3)보다 작을 수 있으며, 제2두께는 제1두께 및 제3두께보다 클 수 있다. 따라서, 유전율에 대해서 가장 높은 값(k_2), 전도 밴드 오프셋에 대해서 가장 낮은 값(Φ_2), 두께에 대해서 가장 높은 값을 갖는 유전체층은, 3개 또는 또 다른 홀수의 유전체층을 갖는 본 실시형태의 경우에, 터널 스택(14)의 중앙에 위치한다.

[0068]

본 발명의 실시형태에서, 제1층(31) 및 제3층(33)의 유전율 (k_1 및 k_3)은 실질적으로 동일하거나(예를 들면, 차이가 2배 미만임), 서로 동일할 수 있다. 제2유전율(k_2)은 제1유전율 및 제3유전율(k_1 및 k_3)보다 훨씬 더 클 수 있다. 제1 및 제3 전도 밴드 오프셋(Φ_1 및 Φ_3)은 실질적으로 동일하거나(예를 들면, 차이가 0.3 eV 이하임), 서로 동일할 수 있다. 특히 실시형태에서, 동일한 물질은 제1 및 제3 유전체층(31 및 33)에 대해서 사용될 수 있다. 제1 및 제3층(31,33)의 두께는 실질적으로 동일하거나(예를 들면, 차이는 0.3 nm 미만임), 서로 동일할 수 있다.

[0069]

상기 설명한 것에서, 본 발명은 전도 밴드 오프셋(Φ_1 , Φ_2 , Φ_3)이 유전체층(31, 32, 33)의 두께에 대해서 일정한 것처럼 나타낸다. 그러나, 실제로, 이것은 이상적이다. 비교될 값은 하나의 층에 대해서 평균적인 값이고, 예를 들면, 평균적인 제2전도 밴드 오프셋(Φ_2)은 평균적인 제1 전도 밴드 오프셋(Φ_1) 및 평균적인 제3전도 밴드 오프셋(Φ_3)보다 작아야 한다.

- [0070] 본 발명의 특정한 실시형태에서, 작은 유전율(k_1 , k_3)을 갖는 층(31,33)은 예를 들면, 12 이하, 예를 들면, 8 내지 12의 유전율을 가질 수 있고, 예를 들면, MgO, Al_2O_3 , Si_3N_4 , SiO_2 , 또는 임의의 유도된 화합물 또는 실리케이트 또는 (옥시)니트라이드일 수 있다. 층(31 및 32)은 동일한 값을 갖는 유전율을 갖고, 또는 2개의 유전율은 12 이하일 수 있고, 예를 들면, 8 내지 12의 범위 내에 들 수 있다.
- [0071] 도 1a, 1b 및 도 2의 실시형태에서 제1유전체층(15)의 물질로는, 또는 도 1c 및 도 3의 실시형태에서 제2유전체층(32)의 물질로는, 시판 높은 k 물질, 예를 들면, HfO_2 , Ta_2O_5 , TiO_2 , 희토류 산화물, 예를 들면, Dy_2O_3 , Sc_2O_3 , La_2O_3 , 또는 임의의 유도된 화합물, 예를 들면, 알루미늄에이트 또는 실리케이트 또는 (옥시)니트라이드가 사용될 수 있고, 이들은 전기적으로 활성 결합 밀도가 0이거나 제한 밀도일 수 있다. 유전체층은 가능한 한 작은 결합을 가져야 한다. k 값이 약 8 내지 10인 MgO는 예를 들면, 제1 및 제3 유전체층(31,33) 또는 제2유전체층(16)에 대해서 사용될 수 있다.
- [0072] 도 4에는 메모리 셀의 어레이가 개략적으로 도시되어 있고, 메모리 셀은 논리적으로 한 세트의 워드 라인과 한 세트의 비트 라인의 교차점으로 행렬로 조직되어 있다. 워드 라인은 예를 들면, 어레이의 행에 따라 배열될 수 있고, 비트 라인은 예를 들면, 어레이의 열에 따라 배열될 수 있다. 각각의 메모리 셀은 하나의 워드 라인 및 하나의 비트 라인에 관련된다. 도 4에서 개략적으로 도시된 예에서, 메모리 셀(A)은 그 위를 지나는 워드 라인(WL_i) 및 그 아래를 지나는 비트 라인(BL_j)에 관련된다. 특정한 메모리 셀(A)에 전류를 통과시키기 위해서, 관련된 워드 라인(WL_i) 및 비트 라인(BL_j)은 각각 $-V/2$ 및 $+V/2$ 의 인가 전압을 갖는다. 그 외의 모든 비트 라인과 워드 라인은 선택되지 않고, 0과 동일한 전압에서 설정된다. 동일한 워드 라인(WL_i) 및 BL_i 과 다른 비트 라인에 관련된 메모리 셀에는 전압 강하($V/2$)를 실시하고, 비트 라인(BL_j) 및 WL_j 과 다른 워드 라인에 관련된 그 외의 메모리 셀은 전압 강하 $V/2$ 를 보이는데, 이는 메모리 셀을 활성화하는(즉, 전류를 통과시키는) 데에 충분하지 않다. 그러나, 워드 라인(WL_i) 및 비트 라인(BL_j)에 관련된, 처리될(예를 들면, 판독 또는 프로그램 작동될) 특정한 메모리 셀(A)에는 전압(V)이 인가되고, 이 전압은 메모리에 전류를 통과시키는 데에 충분하다. 그러나, 메모리 셀(A)이 높은 저항 상태에 있는 경우, 낮은 전류가 판독될 것이다. 그 외의 메모리 셀이 낮은 저항 상태에 있는 경우, 누설 통로가 형성되고, 높은 전류가 판독될 수 있다. 이것은 특히 메모리 셀에서 비선형(정류)이 없는 경우에 사실이다.
- [0073] 비선형은, 본 발명의 실시형태에 따르는, 정류 절연 필름, 선택적으로 전도층 및 가변 저항 필름을 포함한 메모리 셀로 개선된다.
- [0074] 디자인
- [0075] 본 발명의 실시형태에 따르는 메모리 셀을 디자인하면, 예시의 물질 특성, 예를 들면, 물질 타입 및 층 두께는 정류 스택의 각각의 층에 대해서 선택된다. 이러한 스택에 2개의 터미널 다이오드 구성이 사용되어 IV 특성을 형성하는 것이 시뮬레이션될 수 있다. 메모리 셀이 바이폴라 셀이면, 선형 스케일로, 도 5에 도시된 것과 같은 양방향 정류 특성이 얻어진다. 이러한 메모리 셀에 대해서, 구동 전압(즉, 전류가 장치를 통해 흐르기 시작하는 전압) 및 판독 전류(50) 및 기록 전류(51) 레벨은 중요하다. 도시된 예에서, 구동 전압은 약 1V이다. 전류 밀도 레벨은 10 nm 셀 크기에서 μA -기록 전류와 양립가능하다. 비선형 인자는 약 2 디케이드이고, 일부 IV-비대칭이 가능하다.
- [0076] 상기 값을 결정하기 위해서, 우수한 가시성 및 식별성에 대해서, 도 5의 IV 특성은 로그 스케일로 나타내고, 이는 도 6에서 도시된 그래프가 얻어지는 것을 의미한다.

[0077]

대상 전류 밀도(J_{target})는 비선형(정류 능력)을 평가하기 위해서 미리 정의된 것이다. 이것은, 특정한 판독 전류에 상응하는 전류 밀도(50)이고, 이는 메모리 셀을 판독하는 데에 사용하는 것이 바람직하다. 이러한 대상 전류 밀도(J_{target})에 상응하는 판독 전압은 IV 특성으로 결정되고, 판독 전압은 전류(J_D)가 대상 전류 밀도(J_{target})에 상응하는 인가 전압(V_D)이다:

$$V_R = V_D|_{J_D=J_{target}}$$

[0078]

바이폴라 실시형태인 도시된 예에서, 2개의 판독 전압은 V_R 및 V_R^- 로서, 각각 약 +1V 및 -1V에 상응한다.

[0079]

다음에, 스위치 온 전압(V_R)에서 전류 레벨과 스위치 온 전압의 절반($V_R/2$)에서 전류 사이에서 로그 스케일로, 거리인 비선형 인자(α_{NL})가 결정된다:

$$\alpha_{NL} = \log \left(\frac{J_{D,target}(V_R)}{J(V_R/2)} \right)$$

[0081]

비선형 인자가 클수록, 메모리 셀의 자기 정류 효과가 우수해지고, 즉 메모리 셀의 어레이에서 메모리 셀이 판독되지 않아야 하는 경우에도 판독하는 경우가 줄어든다. 약 2 디케이드 이상의 비선형 인자를 갖는 메모리 셀 구조를 얻는 것이 바람직하다.

[0082]

이것은 다층 터널 스택(14), 구체적으로 물질의 타입 및 치수를 조절함으로써 얻어질 수 있다. 본 발명에서와 같이 유전율 및 전도 밴드 오프셋을 갖는 물질의 순서를 선택하는 것은 우수한 비선형 결과로 이어지는 것이 입증된다.

[0083]

현재, 본 발명의 실시형태에 따라, 터널 스택 정류기(14)는 유사한 스위치 온 전압(V_R) 및 선택적으로 (바이폴라 기능) (V_R^-)을 유지하면서 비선형을 향상시키도록 설계된다.

[0084]

본 발명의 실시형태에 따르면, 비선형 영역의 큰 개선이 얻어질 수 있는 것을 나타낸다(도 7 참조). 3개의 그래프는: 그래프(70)는 단일 층 유전체를 갖는 종래의 기준 메모리 셀의 결과를 도시하고, 그래프(71)는 이중 층 유전체 스택을 갖는 본 발명의 제1실시형태에 따른 메모리 셀의 결과를 도시하고, 그래프(72)는 삼중 층 유전체 스택을 갖는 본 발명의 제2실시형태에 따른 메모리 셀의 결과를 도시한다.

[0085]

도시된 실시형태에서, 물질 파라미터는 다음과 같다:

[0086]

1) 제1 유전율(k_1), 제1전도 밴드 오프셋(Φ_1) 및 제1 두께(t_1)를 갖는 제1층 및 제2유전율(k_2), 제2전도 밴드 오프셋(Φ_2) 및 제1 두께(t_2)를 갖는 제2층을 포함하는 이중 층의 경우에(그래프 71)

[0087]

- 전도 밴드 오프셋: $\Phi_1=1.2$ eV; $\Phi_2 = 0.8$ eV

[0088]

- 유전율: $k_1=8$; $k_2=30$

[0089]

- 두께: $t_1 = 1$ nm; $t_2 = 2$ nm

[0090]

[0091] 2) 제1 유전율(k_1), 제1전도 밴드 오프셋(Φ_1) 및 제1 두께(t_1)를 갖는 제1층, 제2유전율(k_2), 제2전도 밴드 오프셋(Φ_2) 및 제2 두께(t_2)를 갖는 제2층, 및 제3 유전율(k_3), 제3전도 밴드 오프셋(Φ_3) 및 제3 두께(t_3)를 갖는 제3층을 포함하는 삼중층(제2층은 제1층과 제3층 사이에 개재됨)의 경우에(그래프 72)

[0092] - 전도 밴드 오프셋: $\Phi_1 = \Phi_3 = 1.2$ eV; $\Phi_2 = 0.8$ eV

[0093] - 유전율: $k_1 = k_3 = 8$; $k_2 = 30$

[0094] - 두께: $t_1 = t_3 = 1$ nm; $t_2 = 2$ nm

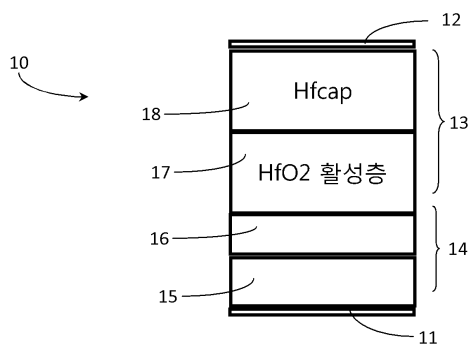
[0095] 도 7로부터, 비선형 영역은, 단일 유전체층이 제공되는 경우에 비해 2개의 유전체층을 포함한 층 스택을 갖는 실시형태의 경우에 커지고, 비선형 영역은 스택이 3개의 유전체층을 포함하는 실시형태에서 훨씬 더 큰 것을 알 수 있다. 이러한 특정한 실시형태에서, 절반의 선택 리드 전압에서 크기 비선형은 거의 6 오더(order)이다.

[0096] 그럼에도 불구하고, 스택의 유전체를 통과하는 인가 전압 및 최대 전기장($F_{\max}$)은, 대상 전류에 도달하는 경우, 3개의 유전체층을 포함하는 층 스택을 갖는 실시형태와 단일 유전체층을 제공하는 경우 사이에 매우 큰 차이는 없다($F_{\max} = 1$ V/nm vs. $F_{\max} = 1.1$ V/nm).

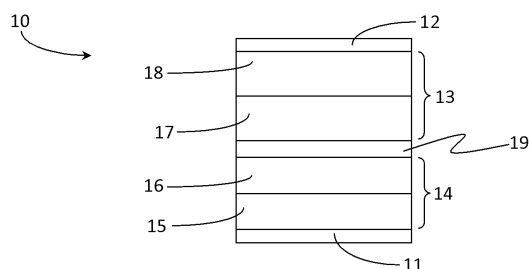
[0097] 본 발명은 도면 및 상기 상세한 설명에서 상세하게 설명하고 도시하고, 이러한 도시 및 설명은 도시하거나 예시하기 위한 것으로서, 본 발명을 제한하는 것은 아니다. 상기 상세한 설명은 본 발명의 특정한 실시형태를 상세하게 서술한다. 그러나, 상기에서 상세하게 설명하더라도, 본 발명은 수많은 방법으로 실시될 수 있는 것을 알 수 있다. 본 발명은 개시된 실시형태로 한정되지 않는다.

도면

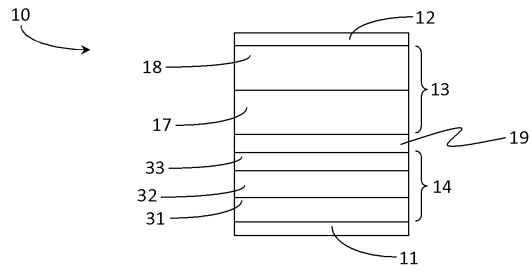
도면1a



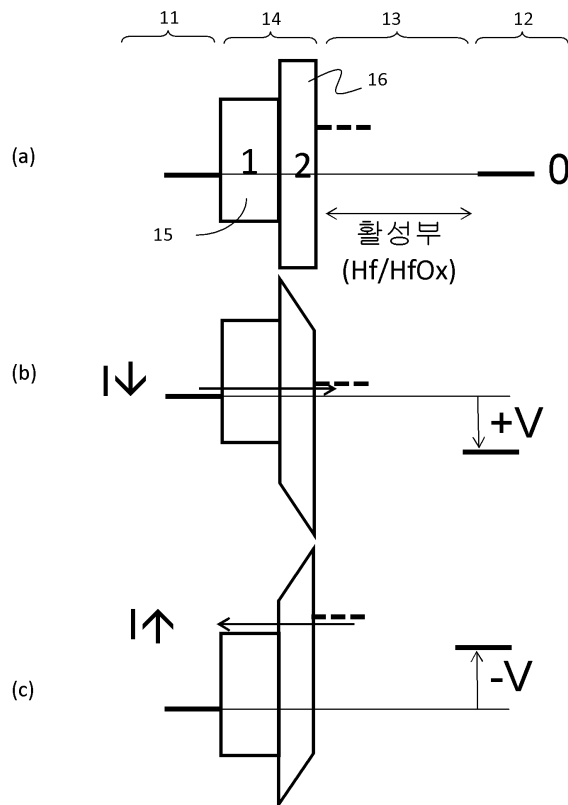
도면1b



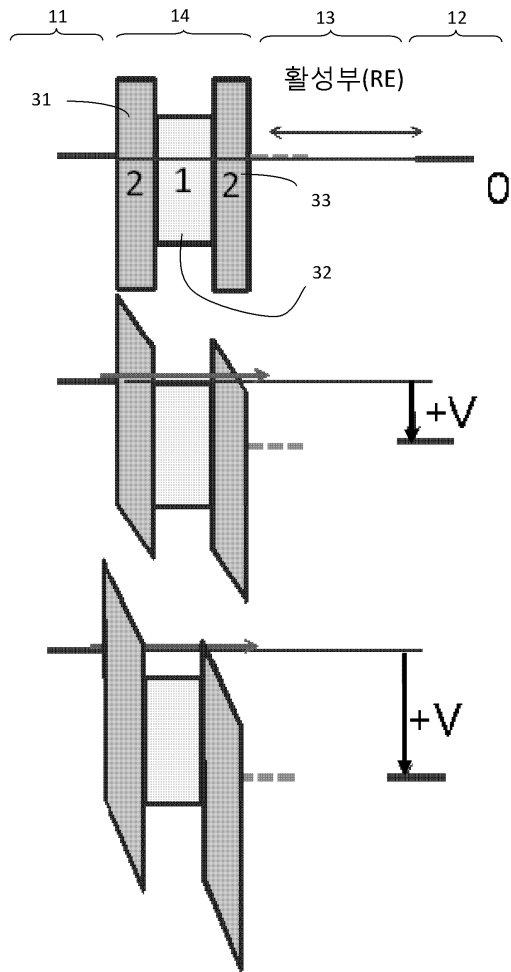
도면1c



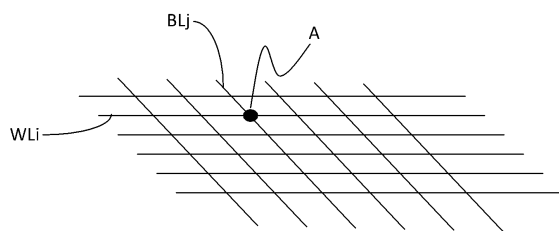
도면2



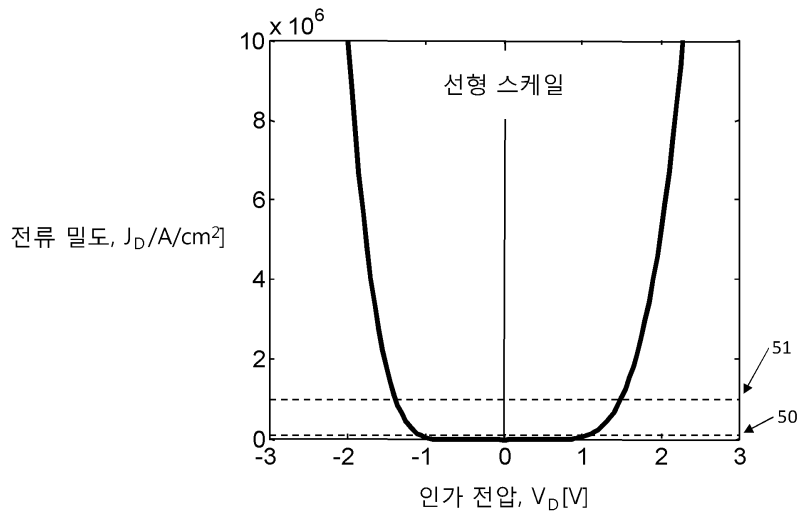
도면3



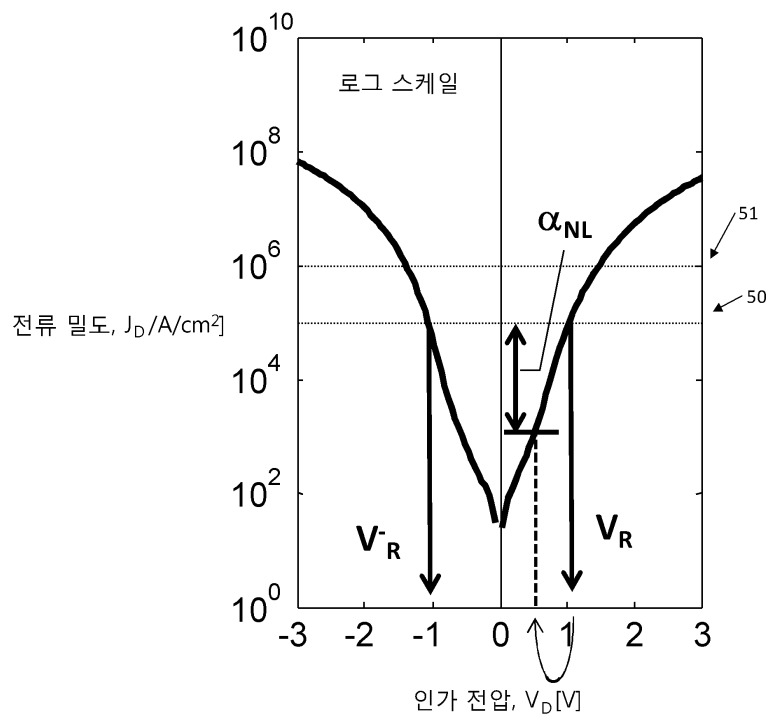
도면4



도면5



도면6



도면7

