

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92119912

※ 申請日期：92.7.22

※IPC 分類：H01L 21/76
(2006.01)

壹、發明名稱：(中文/英文)

縮小積體電路之接觸部尺寸以製造多階層接觸之方法

METHOD OF MANUFACTURING MULTI-LEVEL CONTACTS BY SIZING OF CONTACT SIZES IN INTEGRATED CIRCUITS

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

高級微裝置公司/ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S/DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, USA

國籍：(中文/英文) 美國/U. S. A.

參、發明人：(共2人)

姓名：(中文/英文)

1. 凱·海伶格/KAY HELBIG

2. 馬沙·亞米布/MASSUD AMINPUR

住居所地址：(中文/英文)

1. 德國·傑仕登 01109·帕特堡 12 號

Putbuser Weg 12, 01109 Dresden Germany

2. 美國·德州 78745·奧斯汀·伯蒂巷 1437 號公寓·6607 號

6607 Brodie Lane, Apt. 1437, Austin, TX 78745, USA

國籍：(中文/英文) 美國/U. S. A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002 年 8 月 2 日 10/210,995 （主張優先權）

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明有關一種積體電路，尤指一種在介電層之下形成下伸至作用區域之接觸部(contact)。

[先前技術]

在諸如電腦、收音機、電視、手機等大多數電子裝置中係使用積體電路，這些積體電路之核心為半導體裝置，而該半導體裝置可為電晶體、二極體、電容器等等。該半導體裝置通常形成於半導體基板上並且由絕緣或介電材料所覆蓋。

舉例來說，電晶體係藉由在該半導體基板中間隔植入源極/汲極區域並且在該半導體基板上之源極/汲極區域間的空隙中形成控制閘極而形成者。接著在該電晶體之上沉積介電質。由於在該源極/汲極區域以及控制閘極之間必須有電性連接，因此必須形成貫穿該介電層至該控制閘極頂端以及該半導體基板表面之金屬接觸部，由於該控制閘極頂端以及該半導體基板表面之係位於該介電層之不同階層上，該等接觸部係歸類為多階層(multi-level)接觸部，並尤以兩階層接觸部為更佳。

當電子工業追求在單一積體電路上越來越多數量的半導體裝置時，製造者亦追求藉由降低裝置幾何線條或特徵尺寸之較佳方法以縮小該等裝置。

用於縮小裝置幾何線條的一種新的技術係稱為“絕緣體上矽(silicon-on-insulator)”或 SOI 技術。SOI 技術係關於

在半導體材料層上形成半導體裝置之處理，該半導體材料層則係為覆蓋於半導體基板中之絕緣層。在一般的實施例中，SOI 結構為矽之單一作用層，而矽之單一作用層則層疊(overlie)在基板矽中之二氧化矽絕緣體層之上。

在該 SOI 技術中，該基板矽需要有額外的接觸部，而該基板矽係位於該控制閘極頂端以及該矽作用層表面之下的階層(level)上。因此，SOI 技術需要多階層接觸部，此多階層接觸部為三階層接觸部。

當於 SOI 技術中形成多階層接觸部時，係於圖案化有相同直徑之接觸孔中應用蝕刻製程。貫穿該介電層之蝕刻早在到達該作用矽之前並且更早於到達該更深之基板矽之前便先蝕刻最淺層或該閘極之頂端。由於蝕刻製程期間必須有效方能到達最深之階層，因此在該最淺層上造成明顯的過度蝕刻(over-etch)。為了降低過度蝕刻，在該閘極、源極/汲極區域、以及該基板矽之上設有墊層(underlayer)或蝕刻停止層。該墊層可為蝕刻停止介電層或閘極材料(矽/金屬)及基板矽(作用及/或 SOI 基板)之其中一者。

然而，該墊層對蝕刻之抗性(immunity)或選擇性係受限制的。結果，在長期的過度蝕刻期間係移除了該墊層之相當大的部份。而該墊層之所需厚度係由最大過度蝕刻以及該墊層之蝕刻速率所決定，該墊層之所需厚度係與選擇性有關。多階層接觸部比單階層接觸部需要更多之過度蝕刻。

可惜的是，任何墊層之厚度係為幾何線條之考量所限制。這種限制對具有高閘極密度之 CMOS 技術而言尤為真

實。因為作用矽之接觸部通常係製成於兩閘極之間，該墊層之厚度必須小於閘極側壁間隔件間之空隙的一半，其中該閘極側壁間隔件係圍繞該閘極將形成該接觸部之處。若該墊層之厚度係大於該空隙的一半，則該兩閘極之墊層部份將“合併”以及形成厚度增加之墊層，因而導致無法進行適當蝕刻。

同時，可惜的是，若對既定的墊層厚度之蝕刻要求係超過幾何線條考量所允許的最大墊層厚度，則將無法以單一蝕刻製程形成多階層接觸部。這將需要對不同之階層接觸部進行多次蝕刻以及個別圖案化。舉例來說，當需要兩個個別的圖案化步驟時，必須要遮罩住淺的接觸部、進行蝕刻、遮罩住深的接觸部、以及進行蝕刻。這將增加製程複雜性以及成本。

當想要使用最大厚度之墊層以便以寬裕的製程極限進行蝕刻時，則此將造成問題。該墊層通常使用諸如氮化矽以及氧氮化矽(silicon oxynitride)之材料，而該墊層具有比前金屬(pre-metal)介電層更高之介電常數。此將造成在諸如閘極對接觸部(gate-to-contact)、閘極邊緣(gate-fringing)、以及閘極對第一金屬(gate-to-first metal)等區域之寄生電容增加。

在某些 SOI 技術中，並未使用墊層。於這些情況中，在多階層接觸部蝕刻係在該作用矽上造成明顯的過度蝕刻，尤其是蝕刻至該基板矽之期間。由於對矽的選擇性受限，這將造成蝕刻到該作用矽之情況。必須精確控制蝕刻

方可避免該源極/汲極區域短路，而這將需要更多之製程控制並且將增加成本。

SOI 技術提供改善的裝置隔離作用、降低的區域及寄生電容、低功率且增進的效能之承諾，但上述問題卻妨礙實現這些承諾。

長久以來，一直追求能對這些為習知該項技藝者所逃避的問題提出解決之方案。

[發明內容]

本發明提供一種用於形成積體電路之方法，該方法包括：在第一半導體基板上之半導體裝置上的介電材料中蝕刻第一開口至第一深度以及在該第一半導體基板上的介電材料中蝕刻第二開口至第二深度。由於蝕刻滯緩(etch lag)之故，於大約相同時間中分別蝕刻大小不同之該第一以及第二開口至該第一以及第二深度。該第一以及第二開口係填充有導電材料。此方法導致改善的裝置隔離作用、降低的區域及寄生電容、低功率需求、增進的效能以及較少的製程控制要求及降低的製造成本。

本發明之某些實施例中具有前述實施例中額外或適當的其他優點，對熟習該項技藝者而言，這些優點將於以所附圖式配合閱讀下列詳細敘述後得以更為明顯易懂。

[實施方式]

在閱讀該多階層接觸問題之期間，本發明者發現可使用的在接觸部蝕刻製程中不想要的現象而受益。

稱為縱橫比(深度與寬度之比值)相依性蝕

97年12月1日修(正)頁

刻”(aspect-ratio dependent etching, ARDE)”之現象造成在光阻中不同的尺寸特徵，而於介電層中以不同速率進行蝕刻。在某些處理條件下，具有較小開口之特徵將比具有較大開口之特徵蝕刻較慢，而在其他處理條件下，較大開口將比具有較小開口之特徵蝕刻較慢。

舉例來說，當在電漿反應機(plasma reactor)中使用反應離子蝕刻(reactive ion etch, RIE)以進行電漿乾蝕刻時，將造成習知如”反應離子蝕刻滯緩(RIE lag)”或蝕刻滯緩之現象，尤其是特徵尺寸(在光阻中之開口)在 0.25 微米(μm)以下時。以反應離子蝕刻滯緩來說，具有越小開口之特徵於介電材料中之蝕刻將比在具有較大開口之特徵為慢。因為每一蝕刻步驟通常欲蝕刻至單一深度而不考慮特徵尺寸，故而此種情況是不想要的。近來，熟習該項技藝者教示應藉由將反應離子蝕刻滯緩最小化，以將蝕刻製程最佳化。當電漿乾蝕刻製程最佳化以將反應離子蝕刻滯緩最小化時，通常會有一些得失互補(trade-off)產生，而這些互補的缺失可為例如產生較低的選擇性以蝕刻停止層。

在此所使用的”水平”之字眼係定義為平行於基板或晶圓之習知平面或表面之平面，而不考慮其定位(orientation)。”垂直”之字眼則係指垂直於剛才所定義之水平的方向。諸如”在...上(on)”、”在...上方(above)”、”側邊(如在側壁)”、”較高”、”較低”、”在...之上(over)”、”在...下方(under)”、”淺的”、以及”深的”等字眼，係以相對於該水平面而定義者。

在此所使用的”處理(processing)”之字眼係包括形成所述結構所需之沉積材料或光阻、圖案化、曝光、顯影、蝕刻、清洗、及/或移除該材料或光阻。

現在參閱第 1 圖，該第 1 圖中顯示縱橫比相依性蝕刻用之校準(calibration)結構 100。校準介電材料 102 具有沉積其上之光阻 104。

該光阻 104 係經處理以形成複數個特徵，該等特徵之大小係超過從最小微影成像直徑(photolithographic diameter)至多個此直徑之範圍，例如，該最小直徑可為 100nm，且該範圍可延伸超過 1000nm 之最大接觸直徑。為便於說明之目的，第一、第二、及第三開口 106、108、及 110 係顯示為諸如具有個別的第一、第二、及第三尺寸 112、114、及 116 之複數個尺寸。該特徵之尺寸係定為使該第一尺寸 112 小於該第二尺寸 114，該第二尺寸 114 小於該第三尺寸 116，即，該第三尺寸 116 係大於該第二尺寸 114，該第二尺寸 114 則大於該第一尺寸 112。

在該光阻中之特徵尺寸建立該特徵之起始尺寸(starting dimension)，而該特徵之起始尺寸將蝕刻至該校準介電材料中 102 中。

在產生蝕刻滯緩現象之狀態下，該第一、第二、及第三開口 106、108、及 110 將於該校準介電材料中 102 中分別形成第一、第二、及第三特徵 118、120、及 122。在單一蝕刻期間或時間之單一期間中，該第一、第二、及第三特徵 118、120、及 122 將分別具有第一、第二、及第三深

度 124、126、及 128。縱橫比相依性蝕刻通常為非線性效果(non-linear effect)。由於該特徵在大小上由該第一尺寸 112 增加至該第三尺寸 116，該深度由該第一深度 124 增加至該第三深度 128，即，在相同時間中，越大的特徵蝕刻得越快，且可到達越大之深度。

當接觸部開口可為不同結構時，若特徵為圓柱狀接觸部開口，則在該光阻 114 中之第一、第二、及第三尺寸 112、114、及 116 將為在該校準介電材料中 102 中之接觸部開口頂端的直徑。

在大多數的蝕刻製程中，該特徵在該校準介電材料中 102 中之深度於大小上係呈稍微漸縮者，如此該接觸孔之基底在直徑上可小於該頂部。

現在參閱第 2 圖，在該第 2 圖中顯示根據本發明之兩階層蝕刻之接觸部結構 200。

第一半導體基板 202 或基板矽係植入有源極/汲極區域 204 及 206，而該第一半導體基板 202 在該源極/汲極區域 204 及 206 間之空隙上方具有閘極介電 208。在該閘極介電 208 上方者為閘極 210，且該閘極 210 係由閘極間隔件 212 所圍繞以形成半導體裝置 213 之上部。在該第一半導體基板 202 上方係設墊層(underlayer)214，以由該墊層 214 覆蓋該閘極間隔件 212 以及該閘極 210。

該墊層 214 之上沉積前金屬介電層(pre-metal dielectric layer)216，而該前金屬介電層 216 之上則沉積光阻 218。

該光阻 218 係經由製程而形成具有第一及第二直徑 224 及 226 之第一及第二開口 220 及 222。使用單一蝕刻製程一段固定的時間，則可形成到達該墊層 214 之閘極接觸部 228 及區域接觸部 230，其中該閘極接觸部 228 及區域接觸部 230 係在無過度蝕刻至該墊層 214 或令該墊層 214 之過度蝕刻最小化之約相同時間下到達該墊層 214。

在實際實施時，第一，建立最小接觸部直徑；例如，用於該閘極接觸部 228 之第一直徑 224。在實際實施時，此值通常係由最小開口所決定，該最小開口可藉使用微影成像製程而可靠地於光阻中移除(resolved)。該最小接觸部直徑係用於最淺階層接觸部。

第二，使用在第 1 圖中所示的校準結構決定該蝕刻製程之蝕刻滯緩，該校準結構所形成之特徵開口大小範圍係涵括該最小接觸部直徑至多個該直徑；例如，該最小直徑可為 100nm，而最大接觸部直徑範圍可向上延伸至 1000nm。

第三，進行調校(timed)蝕刻並且測量所得之蝕刻開口的深度，以根據方程式計算該蝕刻滯緩，該方程式為：

$$L=1-(D_{\min}/D) \quad (\text{方程式 1})$$

其中：

L 為蝕刻滯緩；

$D_{\min}$ 為具有最小直徑之接觸部的深度；

D 為具有不同直徑之接觸部的深度。

該上述的蝕刻滯緩之直徑及深度不必為線性者。

第四，計算最佳的蝕刻滯緩以作為不同的接觸部深度，根據下列方程式之該等不同的接觸部深度滿足最終積體電路，該方程式為：

$$L_{\text{Optimal}} = 1 - (CD_{\text{Shallow}} / CD_{\text{Deep}}) \quad (\text{方程式 2})$$

其中：

L_{Optimal} 為最佳蝕刻滯緩；

CD_{Shallow} 為最淺接觸部深度；

CD_{Deep} 為最深接觸部深度。

第五，使用該最小的特徵尺寸，使用該校準結構 100 以選擇基於所欲之蝕刻深度的特徵開口尺寸，其中該所欲之蝕刻深度係位於該特徵蝕刻滯緩最接近該最佳蝕刻滯緩處。直徑係選擇為提供最接近該最佳蝕刻滯緩之蝕刻滯緩的直徑。藉由此種接觸部直徑之選擇，該蝕刻製程可在約相同的時間上到達最淺及最深的接觸部之底部。

現在請參閱第 3 圖，在該第 3 圖中顯示根據本發明之三階層蝕刻接觸部結構 300。

第二半導體基板 302 或基板矽具有沉基於其上之絕緣體 304，該絕緣體 304 包含第一半導體基板 306 或作用矽。該第一半導體基板 306 具有植入於其中之植入源極/汲極區域 308 及 310。

在源極/汲極區域 308 及 310 上方及之上為閘極介電 312。形成於該閘極介電 312 之上者為閘極 314，該閘極 314 具有圍繞該閘極 314 之閘極間隔件 316 以形成半導體裝置 317 之上部。在該絕緣體 304 中蝕刻入溝渠 318 並且沉積

墊層 320 以覆蓋至該絕緣體 304、該第一半導體基板 306、該閘極間隔件 316、以及該閘極 314。

在該墊層 320 之上沉積前金屬介電層 322。

在該前金屬介電層 322 之上沉積光阻 324，並進行製程以形成第一、第二、及第三接觸部開口 326、328、及 330。該第一、第二、及第三接觸部開口 326、328、及 330 分別具有第一、第二、及第三直徑 332、334、及 336。該第一直徑 332 小於該第二直徑 334 且該第二直徑 334 小於該第三直徑 336。

該三階層蝕刻接觸部結構 300 具有由最深及適中 (medium) 深度之接觸部所分別計算之最佳蝕刻滯緩與接觸部直徑。可依所得之縮小尺寸的接觸部大小對第一、第二、及第三接觸部開口 326、328、及 330 進行蝕刻製程，以在約相同的時間內令這三個接觸部深度達到該墊層 320。因此，過度蝕刻量之需求可減至最少，而此減少的過度蝕刻量則可保持所需至墊層厚度為最小者。

現在參閱第 4 圖，在該第 4 圖中顯示根據本發明之三階層蝕刻接觸部結構 400 之另一實施例。與第 3 圖中相同之元件具有相同的元件符號。

該三階層蝕刻接觸部結構 400 具有第一、第二、及第三接觸部開口 402、404、及 406，而該第一、第二、及第三接觸部開口 402、404、及 406 則分別具有第一、第二、及第三直徑 408、410、及 412。該第一直徑 408 與該第二直徑 410 之直徑相同，而該第二直徑 410 係小於該第三直

徑 412。令該第一直徑 408 與該第二直徑 410 之直徑為相同者，以便簡化電路佈局及遮罩(mask)產生。同時，這樣亦可避免積體電路之晶片尺寸增加。

當該第一與第二階層間之距離相較於該第三階層為小時，將進行該蝕刻製程直到已蝕刻該第二接觸部開口 404 到達該墊層 320 為止。在此觀點中，可預期的是該第一及第三接觸部開口 402 及 406 將稍微過度蝕刻至該墊層 320 中，如第一及第三過度蝕刻 414 及 416 所標示者。這樣的稍微過度蝕刻係視為可接受的，以由此獲得具有相同直徑之第一及第二直徑 408 及 410 之好處。

現在參閱第 5 圖，在該第 5 圖中顯示根據本發明所完成之三階層蝕刻接觸部結構 500。與第 3 圖中相同之元件具有相同的元件符號。

在選擇性蝕刻以從該接觸部開口 338、340、及 342 移除剩餘的墊層 320 後，該等開口係填充有導電材料以形成第一、第二、及第三接觸部 502、504、及 506。該第一、第二、及第三接觸部 502、504、及 506 係分別與該閘極 314、該第一半導體基板 306、以及該第二半導體基板 302 接觸。該第一、第二、及第三接觸部 502、504、及 506 係分別具有第一、第二、及第三接觸部直徑 508、510、及 512。

在不同的實施例中，該第一、第二、及第三接觸部 502、504、及 506 係為諸如鉭(Ta)、鈦(Ti)、鎢(W)、其合金、及其化合物之耐火(refractory)材料所製成。若該等接觸部為諸如銅(Cu)、金(Au)、銀(Ag)、其合金、以及由上

述元素中一種或多種元素所構成之化合物之高導電材料，則可將前述耐火材料圍繞在該高導電材料周圍。該前金屬介電層 322 係由諸如矽氧化物 (silicon oxide, SiO_x)、四乙基原矽酸 (tetraethylorthosilicate, TEOS)、摻硼磷矽酸玻璃 (borophosphosilicate glass, BPSG) 等具有介電常數為 4.2 至 3.9 之介電材料所製成，或是由諸如氟四乙基原矽酸 (fluorinated tetraethylorthosilicate, FTEOS)、氫倍半氧化物 (hydrogen silsesquioxane, HSQ)、苯并環丁烯 (benzocyclobutene, BCB)、四甲基原矽酸 (tetramethylorthosilicate, TMOS)、八甲基環四矽氧烷 (octamethylcyclotetrasiloxane, OMCTS)、六甲基二矽氮烷 (hexamethyldisiloxane, HMDS)、二乙醯氧基二第三丁氧矽烷 (diacetoxymethyltertiarybutoxysilane, DADBBS) 等具有介電常數低於 3.9 之低介電材料所製成。而該墊層 320 (在此所使用的) 可由諸如氮矽化物 (Si_xN_x) 或氧氮化矽 (SiON) 之材料所製成。

現在參閱第 6 圖，在該第 6 圖中顯示根據本發明之用於形成積體電路的方法 600 之流程。該方法 600 包括：在第一半導體基板之半導體裝置上於介電材料中蝕刻第一開口至第一深度之步驟 602；在該第一半導體基板上於該介電材料中蝕刻第二開口至第二深度之步驟 604，由於蝕刻滯緩之故，在約相同的時間中分別蝕刻該不同大小之第一及第二開口至該第一及第二深度；以及以導電材料填充該第一及第二接觸部開口之步驟 606。

當本發明已由特定的較佳實施例說明時，應了解的是熟習該項技藝者很明顯地可藉由前述說明而作出許多其他的修改以及變化。因此，所有諸如落在所附之申請專利範圍的精神與範疇內其他的修改以及變化接應包含於該所附之申請專利範圍中。所有在此所提出或顯示於所附圖式中之事項皆不得斷章取義並且非以此為限。

[圖式簡單說明]

第 1 圖為具有可蝕刻材料之縱橫比相依性蝕刻用的校準結構；

第 2 圖為根據本發明之兩階層蝕刻之接觸部結構之示意圖；

第 3 圖為根據本發明之三階層蝕刻之接觸部結構之示意圖；

第 4 圖為根據本發明之三階層蝕刻之接觸部結構另一實施例之示意圖；

第 5 圖為根據本發明所完成之三階層蝕刻之接觸部結構之示意圖；以及

第 6 圖係顯示根據本發明之用於形成積體電路之流程圖。

[主要元件符號說明]

100	校準結構	102	校準介電材料
104	光阻	106、220	第一開口
108、222	第二開口	110	第三開口
114	第二尺寸	116	第三尺寸

118	第一特徵	120	第二特徵
122	第三特徵	124	第一尺寸
124	第一深度	126	第二深度
128	第三深度		
202、306	第一半導體基板/基板矽		
204、206、308、310	源極/汲極區域		
208、312	閘極介電	210、314	閘極
212、316	閘極間隔件	213、317	半導體裝置
214、320	墊層	216、322	前金屬介電層
218、324	光阻	224	第一直徑
226	第二直徑	228	閘極接觸部
230	區域接觸部	300、400、500	接觸部結構
302	第二半導體基板/基板矽		
304	絕緣體	318	溝渠
326、402	第一接觸部開口		
328、404	第二接觸部開口		
330、406	第三接觸部開口		
332、408	第一直徑	334、410	第二直徑
336、412	第三直徑	338、340、342	接觸部開口
414	第一過度蝕刻	416	第三過度蝕刻
502	第一接觸部	504	第二接觸部
506	第三接觸部	508	第一接觸部直徑
510	第二接觸部直徑	512	第三接觸部直徑
600	方法	602、604、606	步驟

伍、中文發明摘要：

一種用於形成積體電路的方法，包括在第一半導體基板之半導體裝置上於介電材料中蝕刻第一開口至第一深度並且在該第一半導體基板上於該介電材料中蝕刻第二開口至第二深度。由於蝕刻滯緩之故，在約相同的時間中分別蝕刻該不同大小之第一及第二開口至該第一及第二深度，而該第一及第二開口係填充有導電材料。

陸、英文發明摘要：

A method for forming an integrated circuit includes etching a first opening to a first depth in a dielectric material over a semiconductor device on a first semiconductor substrate and etching a second opening to a second depth in the dielectric material over the first semiconductor substrate. The first and second openings are differently sized to respectively etch to the first and second depths in about the same time due to etch lag. The first and second openings are filled with conductive material.

拾、申請專利範圍：

1. 一種用於形成積體電路的方法，包括：

在第一半導體基板上之半導體裝置上方之介電材料中蝕刻第一開口至第一深度，其中該第一開口係位於該半導體裝置上方；

在該第一半導體基板上方之該介電材料中蝕刻第二開口至第二深度，該第一及第二開口係形成不同之尺寸，以便基於蝕刻滯緩而在約相同的時間中分別蝕刻至該第一及第二深度；以及

填充導電材料於該第一及第二開口中。

2. 如申請專利範圍第 1 項之方法，復包括：

於該第一半導體基板以及該半導體裝置之上沉積墊層；以及

其中：該第一及第二開口之蝕刻係蝕刻至該墊層。

3. 如申請專利範圍第 1 項之方法，復包括：

以非線性於該第二開口之蝕刻滯緩相對於該第一開口之蝕刻滯緩之比率的關係，決定相對於該第一開口之該第二開口的尺寸。

4. 如申請專利範圍第 1 項之方法，復包括：

藉由下述步驟決定複數個開口之蝕刻滯緩：

在該介電材料中蝕刻複數個開口，包括與該第一開口相同大小之校準開口；

測量由蝕刻該複數個開口所產生之複數個深度；以及

計算複數個蝕刻滯緩，該複數個蝕刻滯緩係等於從 1 減去該校準開口深度除以該複數個深度之比值；以及

藉由下述步驟決定最佳蝕刻滯緩：

計算從 1 減去該第一深度除以該第二深度之比值；以及

基於具有最接近最佳蝕刻滯緩之蝕刻滯緩的開口之尺寸而定該第二開口之尺寸。

5. 如申請專利範圍第 1 項之方法，復包括：

在該第一半導體基板之下的第二半導體基板上方的介電材料中蝕刻第三開口至第三深度，該第一、第二、及第三開口係形成不同尺寸，以便在約相同的時間中分別蝕刻至該第一、第二、及第三深度；以及

填充導電材料至該第三開口中。

6. 如申請專利範圍第 5 項之方法，復包括：

以非線性於該第三開口之蝕刻滯緩相對於該第一開口之蝕刻滯緩之比率的關係，決定相對於該第一開口之該第三開口的尺寸。

7. 如申請專利範圍第 5 項之方法，復包括：

藉由下述步驟決定複數個開口之蝕刻滯緩：

在該介電材料中蝕刻複數個開口，包括與該第一開口相同大小之校準開口；

測量該複數個深度；以及

計算複數個蝕刻滯緩，該複數個蝕刻滯緩係等

於從 1 減去該校準開口深度除以該複數個深度之比值；以及

藉由計算從 1 減去該第一深度除以該第二深度之比值決定第一最佳蝕刻滯緩；

藉由計算從 1 減去該第一深度除以該第三深度之比值決定第二最佳蝕刻滯緩；

基於具有最接近該第一最佳蝕刻滯緩之蝕刻滯緩的開口之尺寸而定該第二開口之尺寸；以及

基於具有最接近該第三最佳蝕刻滯緩之蝕刻滯緩的開口之尺寸而定該第三開口之尺寸。

8. 一種用於形成積體電路的方法，包括：

在第一半導體基板上之半導體裝置上方之介電材料中蝕刻第一開口至第一深度，其中該第一開口係位於該半導體裝置上；

在該第一半導體基板上方之該介電材料中蝕刻第二開口至第二深度；

在配置於該第一半導體基板之下的第二半導體基板上方的介電材料中蝕刻第三開口至第三深度，該第一及第二開口之大小相同，且該第三開口之大小與該第一及第二開口不同，以便在約相同的時間中分別蝕刻該第一、第二、及第三開口至該第一、第二、及第三深度；以及

填充導電材料於該第一、第二、及第三開口中。

9. 如申請專利範圍第 8 項之方法，復包括：

於該第一及第二半導體基板以及該半導體裝置之上沉積墊層；以及

其中：

對該第一及第三開口進行蝕刻以蝕刻至該墊層中；以及

對該第二開口進行蝕刻以蝕刻至該墊層。

10.如申請專利範圍第 8 項之方法，復包括：

以非線性於該第三開口之蝕刻滯緩相對於該第二開口之蝕刻滯緩之比率的關係，決定相對於該第二開口之該第三開口的尺寸。。

11.如申請專利範圍第 8 項之方法，復包括：

藉由下述步驟決定複數個開口之蝕刻滯緩：

在該介電材料中蝕刻複數個開口，包括與該第一開口相同大小之校準開口；

測量由蝕刻該複數個開口所產生之複數個深度；以及

計算複數個蝕刻滯緩，該複數個蝕刻滯緩係等於從 1 減去該校準開口深度除以該複數個深度之比值；以及

藉由下述步驟決定最佳蝕刻滯緩：

計算從 1 減去該第二深度除以該第三深度之比值；以及

基於具有最接近該最佳蝕刻滯緩之蝕刻滯緩的開口之尺寸而定該第三開口之尺寸。

12. 一種用於形成積體電路的方法，包括：

處理在介電材料上之光阻以形成第一及第二開口；

在第一半導體基板上之半導體裝置上方之該介電材料中使用該第一開口蝕刻半導體裝置接觸部開口至半導體裝置深度；

在該第一半導體基板上方的該介電材料中使用該第二開口蝕刻第一導體半基板接觸部開口至第一半導體基板深度，該半導體裝置接觸部開口及第一半導體基板接觸部開口具有不同直徑，以便基於蝕刻滯緩而在約相同的時間中分別蝕刻至該半導體裝置深度及第一半導體基板深度；

移除該光阻；以及

填充導電材料於該半導體裝置接觸部開口及第一半導體基板接觸部開口中，以形成半導體裝置接觸部及第一半導體基板接觸部。

13. 如申請專利範圍第 12 項之方法，復包括：

於該第一半導體基板與該半導體裝置之上以及於該介電層之下沉積墊層；以及

其中：

蝕刻該半導體裝置接觸部開口及第一半導體基板接觸部開口至該墊層；以及

復包括使用該半導體裝置接觸部開口及第一半導體基板接觸部開口，以蝕刻貫穿該墊層至該個別的二半導體裝置及該第一半導體基板。

14.如申請專利範圍第 12 項之方法，復包括：

以非線性於該第一半導體接觸部開口之蝕刻滯緩相對於該半導體裝置接觸部開口之蝕刻滯緩之比率的關係，決定相對於該半導體裝置接觸部開口之該第一半導體接觸部開口的尺寸。

15.如申請專利範圍第 12 項之方法，復包括：

藉由下述步驟決定複數個接觸部開口之蝕刻滯緩：

處理在校準介電材料之上的校準光阻，以具有複數個直徑不同之開口；

使用該複數個直徑不同之開口於該介電材料中蝕刻複數個接觸部開口，包括尺寸上定為與該半導體裝置接觸部開口之直徑相同之校準接觸部開口；

測量由蝕刻該複數個接觸部開口所產生之複數個深度；以及

計算複數個蝕刻滯緩，該複數個蝕刻滯緩係等於從 1 減去該校準接觸部開口深度除以該複數個深度之比值；以及

藉由下述步驟決定最佳蝕刻滯緩，其係藉由：

計算從 1 減去該半導體裝置深度除以該第一半導體基板深度之比值；以及

基於具有最接近該最佳蝕刻滯緩之蝕刻滯緩的接觸部開口之直徑而決定該第一半導體基板接觸部開口之直徑的尺寸。

16.如申請專利範圍第 12 項之方法，其中：

處理該光阻以形成第三開口；以及

復包括：

在該第一半導體基板之下的第二半導體基板上方的該介電材料中使用該第三開口蝕刻第二半導體基板接觸部開口至第二半導體基板深度，該半導體裝置接觸部開口、第一半導體基板接觸部開口、以及第二半導體基板接觸部開口具有不同直徑，以在約相同的時間中分別蝕刻至該半導體裝置深度、第一半導體基板深度、及第二半導體基板深度；以及

填充導電材料於該第二半導體基板接觸部開口中，以形成第二半導體基板接觸部。

17.如申請專利範圍第 12 項之方法，復包括：

以非線性於該第二半導體接觸部開口之蝕刻滯緩相對於該半導體裝置接觸部開口之蝕刻滯緩之比率的關係，決定相對於該半導體裝置接觸部開口之該第二半導體接觸部開口的尺寸。

18.如申請專利範圍第 12 項之方法，復包括：

藉由下述步驟決定複數個接觸部開口之蝕刻滯緩：

處理在校準介電材料之上的校準光阻，以具有複數個直徑不同之開口；

使用該複數個直徑不同之開口於該介電材料中蝕刻複數個接觸部開口，包括尺寸上定為與該半導體裝置接觸部開口之直徑相同之校準接觸部開

口；

測量由蝕刻該複數個接觸部開口所產生之複數個深度；以及

計算複數個蝕刻滯緩，該複數個蝕刻滯緩係等於從 1 減去該校準接觸部開口深度除以該複數個深度之比值；以及

藉由計算從 1 減去該半導體裝置深度除以該第一半導體基板深度之比值決定第一最佳蝕刻滯緩；

藉由計算與從 1 減去該半導體裝置深度除以該第二半導體基板深度之比值決定第二最佳蝕刻滯緩；

基於具有最接近該第一最佳蝕刻滯緩之蝕刻滯緩的接觸部開口之直徑而決定該第一半導體基板接觸部開口之直徑之尺寸；以及

基於具有最接近該第三最佳蝕刻滯緩之蝕刻滯緩的接觸部開口之直徑而決定該第二半導體基板接觸部開口之直徑之尺寸。

19. 一種用於形成積體電路的方法，包括：

在第一半導體基板上之半導體裝置上方的該介電材料中蝕刻半導體裝置接觸部開口至半導體裝置深度；

在該第一半導體基板上方之該介電材料中蝕刻第一半導體基板接觸部開口至第一半導體基板深度；

在該第一半導體基板之下的第二半導體基板上方之該介電材料中蝕刻第二半導體基板接觸部開口至第二半導體基板深度，該半導體裝置接觸部開口及第一半

導體基板接觸部開口具有相同大小，而該第二半導體基板接觸部開口大小則與該半導體裝置接觸部開口及第一半導體基板接觸部開口不同，以便在約相同的時間中分別蝕刻該半導體裝置接觸部開口、第一半導體基板接觸部開口、及第二半導體基板接觸部開口至該半導體裝置深度、第一半導體基板深度、及第二半導體基板深度；以及

填充導電材料於該半導體裝置接觸部開口、第一半導體基板接觸部開口、及第二半導體基板接觸部開口中。

20.如申請專利範圍第 19 項之方法，復包括：

於該第一與第二半導體基板以及該半導體裝置之上沉積墊層；以及

其中：

對該半導體裝置接觸部開口及第二半導體基板接觸部開口進行蝕刻以蝕刻至該墊層中；以及

對該第一半導體基板接觸部開口進行蝕刻以蝕刻至該墊層。

21.如申請專利範圍第 19 項之方法，復包括：

以非線性於該第二半導體基板接觸部開口之蝕刻滯緩相對於該第一半導體基板接觸部開口之蝕刻滯緩之比率的關係，決定相對於該第一半導體基板接觸開口之該第二半導體基板接觸部開口的尺寸。

22.如申請專利範圍第 19 項之方法，復包括：

藉由下述步驟決定複數個接觸部開口之蝕刻滯緩：

在該介電材料中蝕刻複數個接觸部開口，包括
定為與該半導體裝置接觸部開口相同之尺寸的校
準接觸部開口；

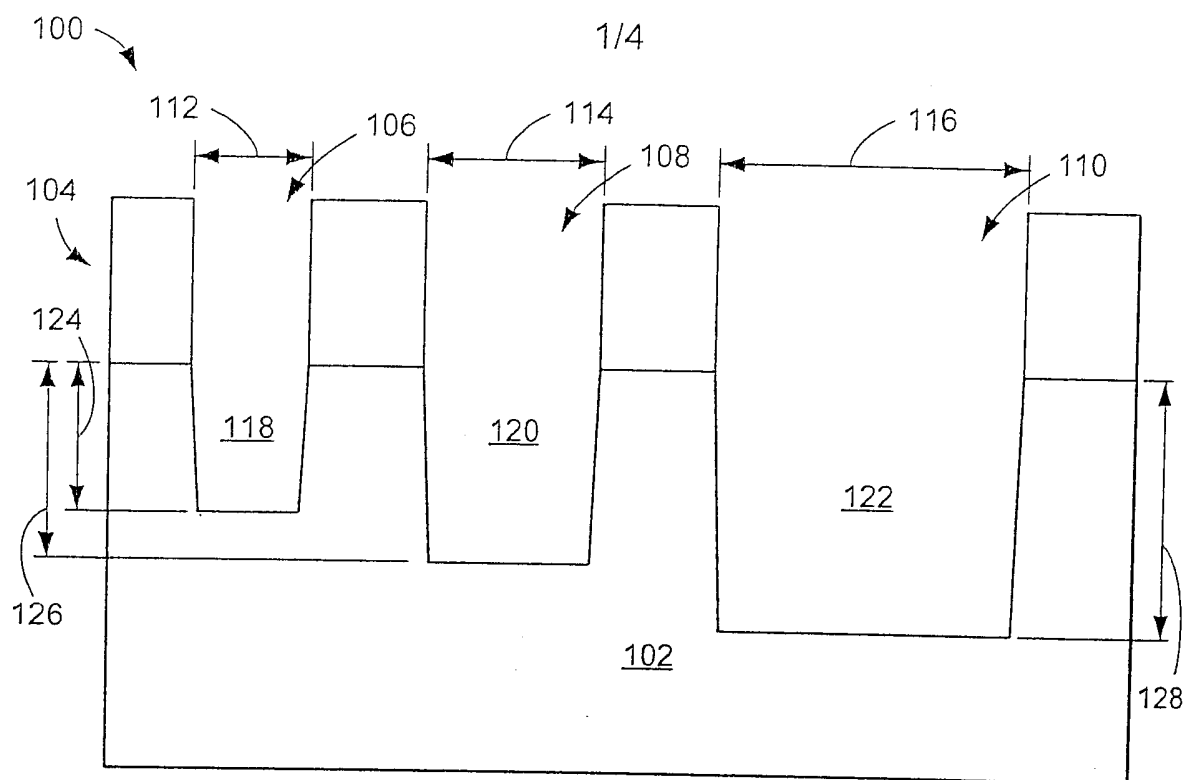
測量由蝕刻該複數個接觸部開口所產生之複
數個深度；以及

計算複數個蝕刻滯緩，該複數個蝕刻滯緩係等
於從 1 減去該校準接觸部開口深度除以該複數個
深度之比值；以及

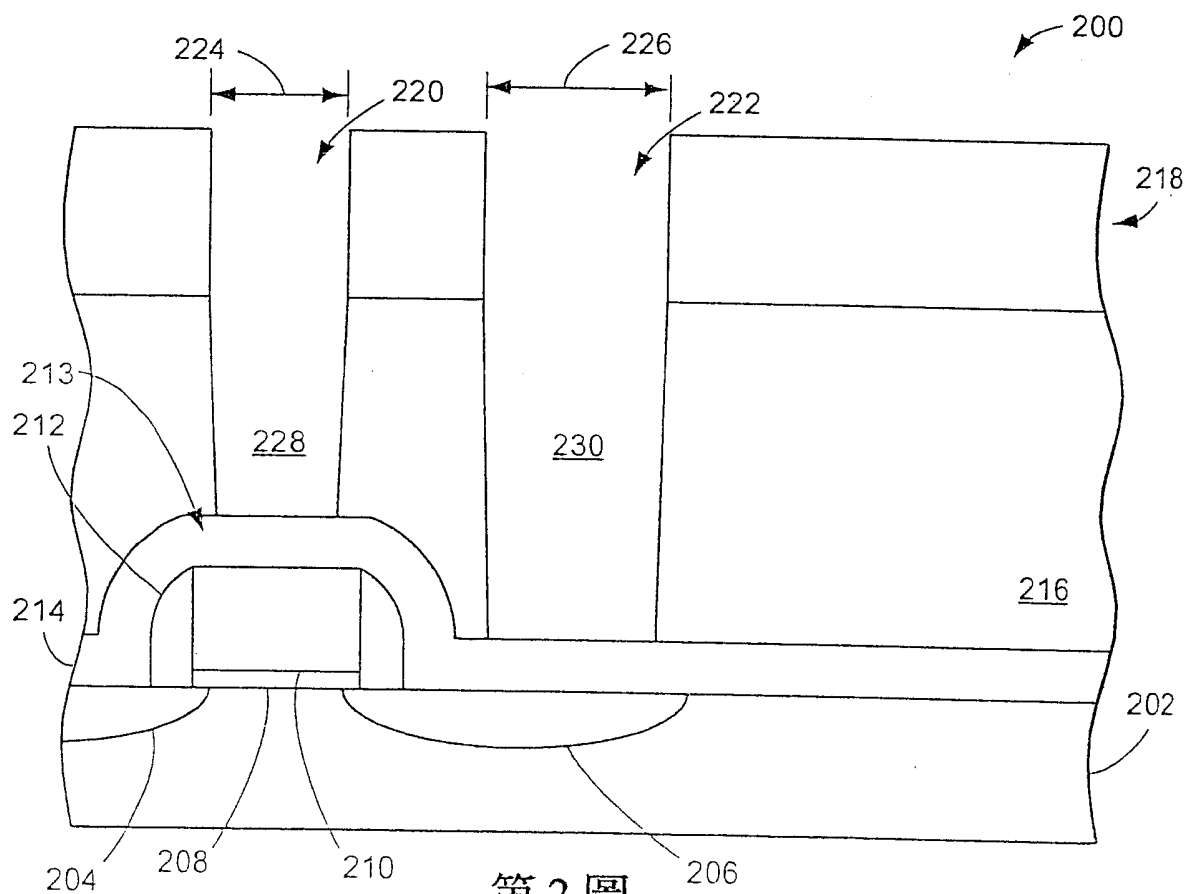
藉由下述步驟決定最佳蝕刻滯緩：

計算從 1 減去該第一半導體基板深度除以該
第二半導體基板深度之比值；以及

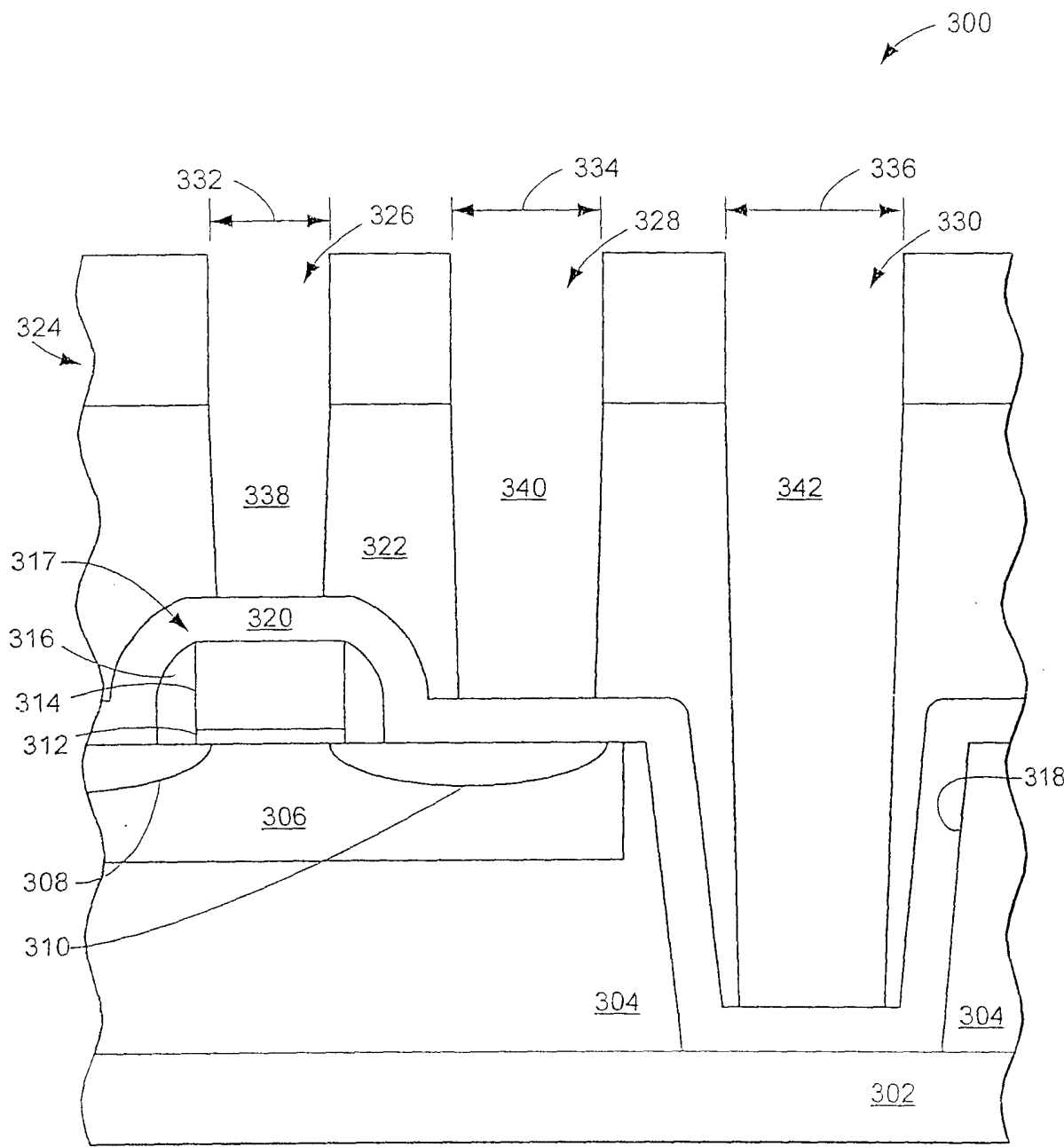
基於具有最接近該最佳蝕刻滯緩之蝕刻滯緩
的接觸部開口之尺寸而定該第二半導體基板接觸
部開口之尺寸。



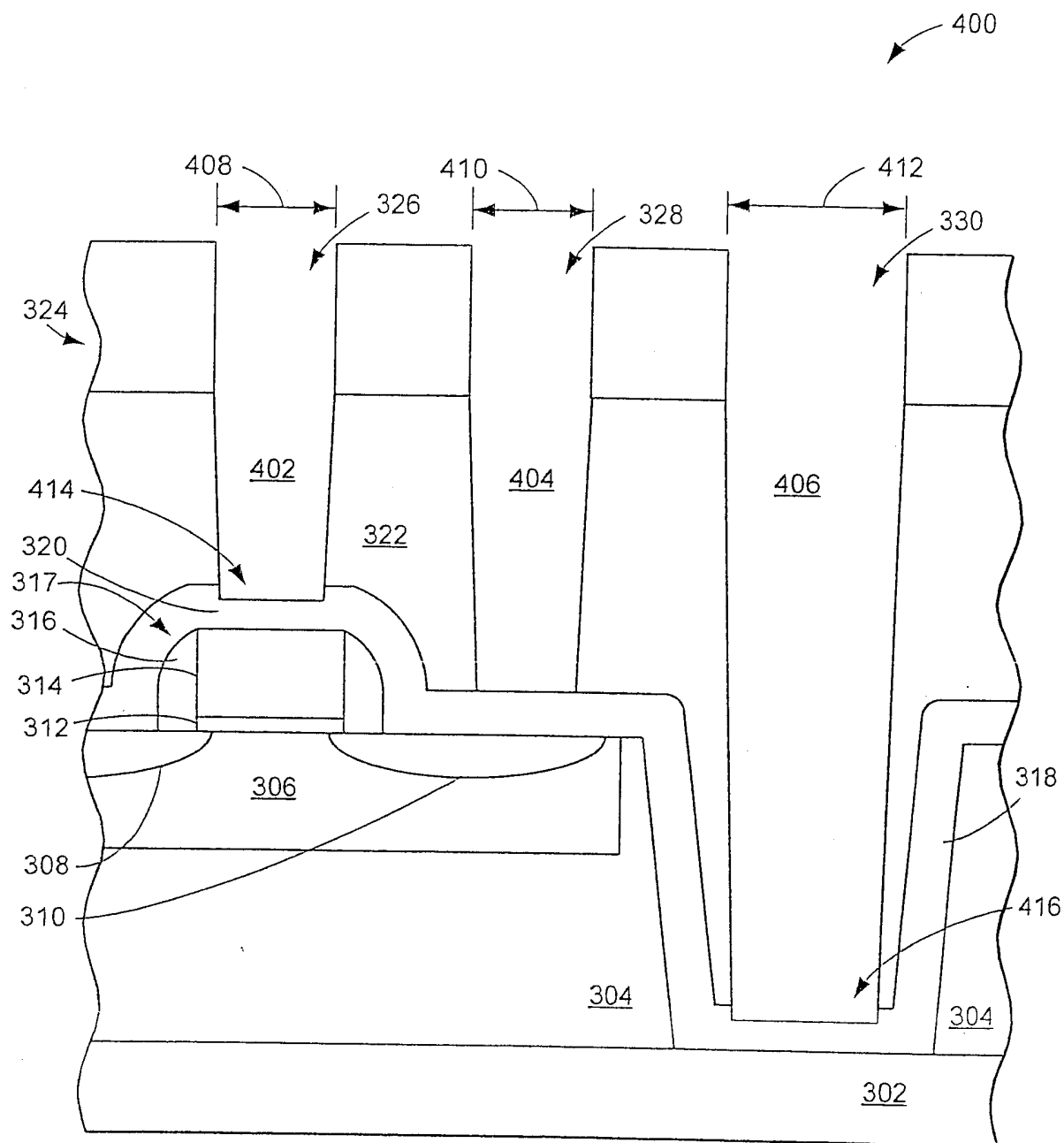
第 1 圖



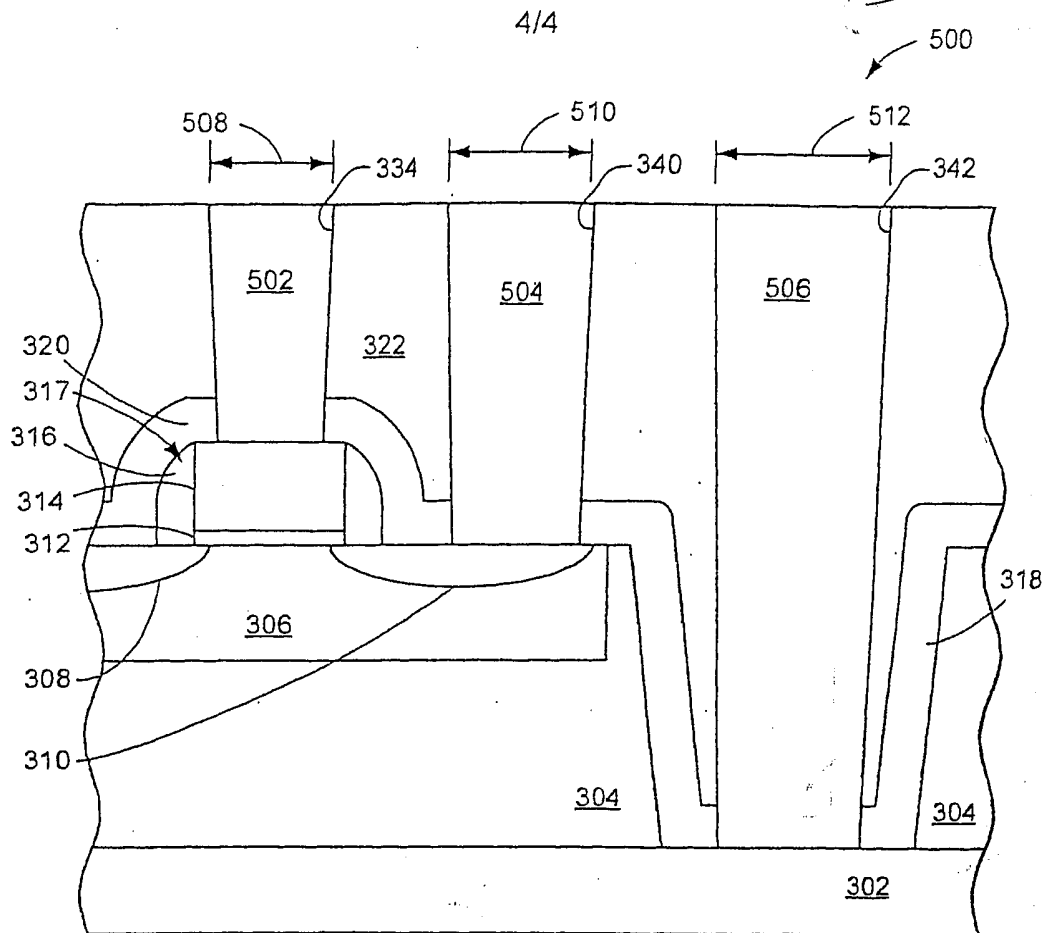
第 2 圖



第 3 圖



第 4 圖



第 5 圖

在第一半導體基板之半導體裝置上
於介電材料中蝕刻第一開口至第一深度

602

在該第一半導體基板上於該介電材料中蝕刻第二開口至第二深
由於蝕刻滯緩之故，在約相同的時間中分別蝕刻該不同大小之
第一及第二開口至該第一及第二深度

604

以導電材料填充該第一及第二開口

606

第 6 圖

600

柒、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件代表符號簡單說明：

600 方法 602、604、606 步驟

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：