

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H03K 5/135	(11) 공개번호 특 1999-0078024
	(43) 공개일자 1999년 10월 25일
(21) 출원번호	10-1999-0009187
(22) 출원일자	1999년 03월 18일
(30) 우선권주장	1998-69060 1998년 03월 18일 일본(JP)
(71) 출원인	가부시끼가이샤 도시바 니시무로 타이쵸 일본국 가나가와켄 가와사끼시 사이와이꾸 호리가와쵸 72반지
(72) 발명자	가모시다 마사히로 일본국 가나가와켄 가와사끼시 사이와이꾸 고무가이도 시바정 1번지 가부시끼가이샤 도시바 연구개발센터내 도다 하루키 일본국 가나가와켄 가와사끼시 사이와이꾸 호리가와쵸 580번 1호 가부시끼가이샤 도시바 반도체 시스템 기술센터내 후세 츠네아키 일본국 가나가와켄 가와사끼시 사이와이꾸 고무가이도 시바정 1번지 가부시끼가이샤 도시바 연구개발센터내 오오와키 유키히토 일본국 가나가와켄 가와사끼시 사이와이꾸 고무가이도 시바정 1번지 가부시끼가이샤 도시바 연구개발센터내
(74) 대리인	이범일, 김윤배

심사청구 : 있음

(54) 클럭제어회로를 갖출 장치, 클럭신호 제어 방법 및 외부 클럭신호에 동기한 내부 클럭신호를 이용하는 장치

요약

각 지연유니트는 전단측 및 후단측의 2개의 지연유니트군으로 분할된다. 전단측의 지연유니트군에는 전원단자를 매개해서 전원이 공급되고, 후단측의 지연유니트군의 각 지연유니트에는 전원단자로부터 전원 제어용 스위치를 매개해서 전원전압이 공급된다. 전진펄스 검출회로는, 전진펄스가 N단째와 N단째 전의 소정 수의 단과의 사이의 단에 전파된 것을 검출하고, 그 검출결과를 전원제어용 스위치로 출력한다. 이에 따라, 전진펄스가 (N+1)단째에 전파된 경우에는, 전원전압이 후단측의 지연유니트군에도 공급된다. 전진펄스가 (N+1)단째에 전파되지 않은 경우에는, 전력이 후단측의 지연유니트군에 공급되지 않기 때문에, 쓸데없는 전력소비가 방지된다.

대표도

도 14

명세서

도면의 간단한 설명

도 1은 종래의 클럭제어회로를 나타낸 회로도,
도 2는 STBD의 이론을 설명하기 위한 도면,

- 도 3은 도 1에 도시한 전진펄스 지연회로를 나타낸 회로도,
- 도 4는 도 1에 도시한 상태유지회로를 나타낸 회로도,
- 도 5는 도 1에 도시한 후퇴펄스 지연회로를 나타낸 회로도,
- 도 6은 도 1에 도시한 제어펄스 생성회로를 나타낸 회로도,
- 도 7은 종래기술의 동작을 설명하기 위한 설명도,
- 도 8은 종래기술의 동작을 설명하기 위한 설명도,
- 도 9 내지 도 11은 종래기술의 동작을 설명하기 위한 설명도,
- 도 12는 종래기술의 동작을 설명하기 위한 설명도,
- 도 13은 종래기술에 따른 동작을 나타낸 블록도,
- 도 14는 본 발명의 1실시형태에 따른 클럭제어회로를 나타낸 블록도,
- 도 15는 도 14, 도 18, 도 24, 도 25, 도 30, 도 31, 도 35, 도 36, 도 37, 도 38, 도 39, 도 40, 도 41, 도 44, 도 45, 도 46, 도 47, 도 48, 도 49, 도 50, 도 53 및 도 54에 도시한 클럭제어회로를 적용한 컴퓨터 시스템을 나타낸 블록도,
- 도 16은 본 발명의 1실시형태에 따른 클럭신호 제어방법을 나타낸 플로우차트,
- 도 17a 및 도 17b는 도 14에 나타낸 실시형태를 설명하기 위한 설명도,
- 도 18은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 19는 도 18의 실시형태의 동작을 설명하기 위한 플로우차트,
- 도 20은 도 18의 실시형태의 동작을 설명하기 위한 파형도,
- 도 21은 도 18에 도시한 전진펄스 지연회로(71)의 구체적인 구성을 나타낸 회로도,
- 도 22는 도 18중의 전원제어용 스위치(65)의 구체적인 구성을 나타낸 회로도,
- 도 23은 도 18중의 전원제어용 스위치(65)의 구체적인 구성을 나타낸 회로도,
- 도 24는 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 25는 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 26은 도 25의 실시형태의 동작을 설명하기 위한 플로우차트,
- 도 27은 도 25의 실시형태의 동작을 설명하기 위한 파형도,
- 도 28은 도 25에 도시한 전진펄스 검출회로(90)의 구체적인 구성을 나타낸 회로도,
- 도 29는 도 25중의 전원제어용 스위치(98)의 구체적인 구성을 나타낸 회로도,
- 도 30은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 31은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 32는 도 31의 실시형태의 동작을 설명하기 위한 플로우차트,
- 도 33은 도 31의 실시형태의 동작을 설명하기 위한 파형도,
- 도 34는 도 31에 도시한 전진펄스 검출회로(111)의 구체적인 구성을 나타낸 회로도,
- 도 35는 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 36은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 37은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 38은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 39는 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 40은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 41은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 42는 도 41에 나타낸 실시형태를 설명하기 위한 회로도,
- 도 43은 도 41에 나타낸 실시형태를 설명하기 위한 회로도,
- 도 44는 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 45는 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 46은 본 발명의 다른 실시형태를 나타낸 블록도,
- 도 47은 본 발명의 다른 실시형태를 나타낸 블록도,

기초하여 후퇴펄스의 전파를 제어하는 STBD의 동작특성을 상세히 설명한다. 설명을 간단하게 하기 위해, 도 3 내지 도 5에서의 x, y, z는 각각 $x=y=0$ 및 $z=1$ 로서 설명하고 있다.

도 7에 나타낸 바와 같은 주기(τ)를 갖는 외부클럭신호(CK)가 입력단자(1)를 매개해서 리시버(2)에 입력되고, 도 7에 나타낸 CLK는 리시버(2)로부터 출력된다. 리시버(2)의 지연이 D1인 경우, CLK는 CK에 대해 D1만큼 지연된다. 클럭제어회로를 이용하지 않는 경우에는, 이러한 지연(D1)은 외부클럭신호와 내부클럭신호의 스큐(skew)로 된다. 외부클럭신호가 고주파로 됨과 더불어 τ 가 더 작아지면 작아질수록 이러한 스큐의 영향은 더욱 커지게 된다. 리시버(2)의 출력신호(CLK)는 인버터(10), 제어펄스 생성회로(9) 및 지연모니터(3)에 입력된다. 제어펄스 생성회로(9)에서는 도 7에 나타낸 바와 같이 제어펄스(P)가 발생된다. STBD를 이용하는 클럭제어회로에 있어서는, 전진펄스(FCL)가 제1지연유닛에 입력되기 전에 모든 전진펄스 지연회로를 초기화할 필요가 있다. 이러한 이유에 의해, 지연모니터(3)의 지연시간(A)보다 더 짧은 폭을 갖는 제어펄스(P)를 발생시키고, 이 제어펄스를 이용하여 제어를 행한다. 지연모니터(3)의 출력신호(FCL)는 CLK에 대해 A만큼 지연되어 전진펄스용 지연선(5)의 제1전진펄스 지연회로(5-1)에 입력된다.

전진펄스용 지연선을 형성하는 N번째의 전진펄스 지연회로는, 제어펄스(P)가 'L'일 때는 (N+1)번째의 전진펄스 지연회로에 대해 (N-1)번째의 전진펄스 지연회로의 출력과 동일한 논리값을 출력하고, P가 'H'일 때는 지연선을 초기화하기 위해 'L'을 출력한다.

전진펄스 지연회로의 출력신호는 상태유지회로에도 입력된다. 또, 후퇴펄스 지연회로의 출력신호중 하나가 상태유지회로에 입력된다. 상태유지회로는 입력된 신호에 대응하도록 2상태를 갖는다. 상태유지회로는 P가 'L'일 때 세트상태로 되고, 전진펄스가 대응하는 전진펄스 지연회로에 의해 전파된다. P가 'H'이고 후퇴펄스가 대응하는 후퇴펄스 지연회로에 의해 전파될 때는, 상태유지회로가 리세트상태로 된다.

상태유지회로의 출력신호는 후퇴펄스 지연회로에 입력된다. 후퇴펄스 지연회로가 연결된 상태유지회로가 세트상태로 되면, N번째의 후퇴펄스 지연회로가 (N-1)번째의 후퇴펄스 지연회로에 대해 (N+1)번째의 후퇴펄스 지연회로의 출력과 동일한 논리값을 입력한다. 후퇴펄스 지연회로에 연결된 상태유지회로가 리세트상태로 되면, 리시버의 출력과 동일한 논리값을 출력한다.

다음에, 전진펄스용 지연선에 대한 전진펄스(FCL)의 입력으로부터 후퇴펄스용 지연선으로부터의 출력신호(RCL)의 출력까지의 동작을 도 8, 도 9 내지 도 12를 참조하여 상세히 설명한다. 도 9 내지 도 12는 각각 도 4에서 t0 내지 t3의 상태를 나타내고 있다. 지연회로의 지연시간은 $10\Delta du$, 펄스폭은 $4\Delta du$, 제어펄스(P)의 폭(A')은 $2\Delta du$, 지연모니터의 지연시간(A)은 $3\Delta du$ 로 한다. 세트상태는 S로 나타내고, 리세트상태는 R로 나타낸다. 지연선에 마크된 숫자는 지연회로의 출력인 '1'('H')과 '0'('L')을 나타낸다(Δdu 는 지연회로의 단당의 지연시간을 나타냄).

이제, 시간(t0)에서의 초기상태에 있어서 모든 상태유지회로가 리세트상태(R)로 되어 있는 것으로 한다. 이때, 외부클럭신호는 입력되지 않으므로, 모든 전진펄스 지연회로와 후퇴펄스 지연회로의 출력상태는 'L'이다(도 9).

전진펄스(FCL)가 전진펄스 지연회로에 입력되면, 전진펄스는 제어펄스가 'H'로 될 때까지 전진펄스용 지연선에 의해 전파된다. 도 10에 나타낸 바와 같이, 시간(t1)에서 전진펄스(F1)가 제7단까지 전파되고, P'가 'H'로 됨에 따라 전파가 정지되면, 제1단에서 제7단까지에 있어서 상태유지회로가 세트상태(S)로 되고, 제8단에서 최종단까지에 있어서 상태유지회로가 리세트상태(R)로 유지된다. 이 때, CLK('H')가 제7단에서 최종단까지의 후퇴펄스 지연회로에 입력되고, 후퇴펄스의 상승이 형성된다. 한편, P가 'H'이므로 전진펄스 지연회로의 출력이 'L'로 되고, 그후 전진펄스(F1)가 사라진다.

시간(t2)에서는 P가 'H'로 유지되므로 후퇴펄스(R1)의 상승이 이전 단계에 대해 전파되어 상태유지회로를 2중단(=A'/ Δdu) 리세트 상태(R)로 변화시킨다(도 11). 이는, 지터에 의해 주기(τ)가 짧아지기 때문에 전진펄스가 제7단까지 전파되지 않은 경우에도, 전진펄스가 정지되는 단으로부터 후퇴펄스를 발생시키기 위한 것이다.

최후로, 시간(t3)에서 후퇴펄스용 지연선에 대한 입력신호(CLK)가 'L'로 되면, 리세트상태에서의 상태유지회로의 단, 즉 제6단 이후에 있어서 후퇴펄스 지연회로의 출력이 'L'로 되어 후퇴펄스의 하강이 형성된다(도 12).

후퇴펄스의 펄스폭이 지터방지 측정(anti-jitter measure)으로서 리세트되는 상태유지회로의 단수에 의해 좁아진다는 점에 주의가 요구된다. 이 후, 도 9 내지 도 12의 동작을 반복함으로써, 리시버의 출력신호(CLK)의 상승으로부터 ($\tau - A$)만큼 지연된 신호(RCL)를 출력할 수 있게 된다.

후퇴펄스용 지연선의 출력신호(RCL)는 출력버퍼(8)에 입력되어, 후퇴펄스(RCL)에 대해 D2만큼 지연된 후 내부클럭신호(CK')로서 출력된다.

외부클럭신호(CK)에 대한 내부클럭신호(CK')의 지연시간($\Delta total$)은,

$$\Delta total = D1 + A + 2(\tau - A) + D2$$

이다.

리시버(2)와 출력버퍼(8)의 지연시간이 알려지고, $A = D1 + D2$ 일 때, 다음의 식이 성립된다.

$$\begin{aligned} \Delta total &= D1 + A + 2(\tau - A) + D2 \\ &= D1 + (D1 + D2) + 2(\tau - (D1 + D2)) + D2 \\ &= 2(D1 + D2) + 2\tau - 2(D1 + D2) \end{aligned}$$

= 2τ

이와 같이, Δtotal가 2τ로 되므로, 외부클럭신호와 내부클럭신호가 동기된다.

도 13은 전진펄스의 전파가 제어펄스(P)에 의해 정지되었을 때의 상태유지회로(6)의 상태를 나타내고 있다. 도중 S는 세트상태, R은 리세트상태를 나타내고 있다.

도 13에 나타난 바와 같이, 전진펄스(FCL)가 전파된 N단보다 후의 (N+1)단째로부터 L단째까지의 상태유지회로(6-(N+1)~6-L)는, 상태신호(Q)가 'L'(/Q가 'H')인 리세트상태이므로, 후퇴펄스 지연회로(7-(N+1)~7-L)의 클럭제어 인버터(47)가 동작한다. 즉, 이들 각 후퇴펄스 지연회로(7-(N+1)~7-L)에는 클럭신호(CLK)가 입력가능한 상태로 되어 있어 인버터(47)에 의해 전력이 소비된다.

이와 같이, 도 1의 회로에서는 전진펄스(FCL)가 전파되지 않은 단이라도 전력이 소비된다고 하는 문제가 있었다.

클럭제어회로의 동작주파수대역이 넓으면 응용이 넓어지는 것 및 클럭제어회로의 동작시형을 저주파대역에서 행하는 것 등의 이유로부터, 대응가능한 저역의 동작주파수대역도 넓게 할 필요가 있다. 외부클럭신호가 저주파로 되면 주기(τ)가 길어지고, 전진펄스는 비교적 많은 단수를 전파한다. 따라서, 저주파에서의 동작주파수대역을 넓게 하기 위해서는, 전진펄스용 지연선의 종단에 도달하지 않도록 지연선의 단수를 증가시킬 필요가 있다.

그러나, 실제로는 고주파에서의 동작이 주체이고, 고주파에서의 동작시에 전진펄스가 전파되지 않는 부분에서 소비되는 전력 쪽이 전진펄스가 전파된 단에서 소비되는 전력보다 커져 버린다.

이와 같이, 상술한 종래기술에 따른 클럭제어회로에 있어서는, 고주파에서의 동작시에는 전진펄스가 전파되지 않는 단의 지연유니트에서 소비되는 전력 쪽이 전진펄스가 전파된 단의 지연유니트에서 소비되는 전력보다 많아 소비전력의 대부분을 차지한다는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위해 이루어진 것으로, 고주파에서의 동작시에 있어서 소비전력을 저감할 수 있는 클럭제어회로, 클럭신호 제어방법 및 외부클럭신호에 동기한 내부클럭신호를 이용하는 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 따른 클럭제어회로는, 입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로를 복수단 종속접속하여 구성되고, 전진펄스를 전파시켜 지연시키는 전진펄스용 지연선과, 입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로를 복수단 종속접속하여 구성되고, 후퇴펄스를 전파시켜 지연시키는 후퇴펄스용 지연선, 상기 전진펄스가 상기 전진펄스용 지연선에 의해 전파된 단수에 대응하는단수만큼 상기 후퇴펄스를 상기 후퇴펄스용 지연선에 의해 전파시키는 제어장치, 1 또는 복수의 소정의 단에 있어서 상기 전진펄스가 전파되었는가의 여부를 검출하는 전진펄스 검출수단 및, 상기 전진펄스 검출수단의 검출결과에 기초하여 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 제어장치 중에서 적어도 후퇴펄스 지연회로의 전력소비를 제어하는 전력소비 제어장치를 구비한 것을 특징으로 한다.

또, 본 발명에 따른 클럭신호 제어방법은, 입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로, 입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로 및 상기 전진펄스 지연회로를 전파한 전진펄스의 단수에 대응한 단수만큼 상기 후 지연회로에 후퇴펄스를 전파시키기 위한 상태신호를 출력하는 상태유지회로의 전력소비를 제어하기 위해 상기 전진펄스가 전파된 단을 검출하는 수순과, 이 검출결과에 기초하여 상기 전진펄스 지연회로, 후퇴펄스 지연회로 및 상태유지회로 중에서 적어도 후퇴펄스 지연회로의 전력소비를 제어하는 수순을 구비한 것을 특징으로 한다.

(실시형태)

이하, 도면을 참조하여 본 발명의 실시형태에 대해 상세히 설명한다. 도 14는 본 발명에 따른 클럭제어회로의 실시형태를 나타낸 블록도이다. 도 14에 있어서 도 1과 동일한 구성요소에는 동일한 참조부호를 붙이고 있다.

도 15는 통상의 컴퓨터 시스템을 나타낸다. 즉, 버스(201)에 접속된 CPU(202)는 기동하여 프로그램에 따라 명령을 실행한다. ROM(203)은 주로 프로그램을 저장하고, RAM(204)은 데이터를 저장한다. I/O(205)는 외부로 데이터를 전송하거나 혹은 외부로부터 데이터를 받아들인다.

외부클럭신호에 동기한 내부클럭신호를 이용하는 장치(206; 이하, 프로세서라 칭함)는, 데이터의 소정의 처리를 행하기 위한 처리부(207)와, 본 실시형태에 따른 클럭제어회로(200)로 구성된다. 클럭생성기(208)는 컴퓨터 시스템에서 사용될 클럭신호(외부클럭신호)를 생성한다. 클럭제어회로(200)는 외부클럭신호에 동기한 내부클럭신호를 생성하여 처리부(207)로 공급하도록 되어 있다.

본 실시형태는 도 15에 나타난 컴퓨터 시스템뿐만 아니라 외부클럭신호에 동기한 내부클럭신호를 이용하는 모든 장치에 적용할 수 있다.

도 14에 나타난 실시형태에 있어서는, 복수의 지연유니트로구성되는 2개의 지연유니트군(61,62)을 설치하고, 지연유니트군(61,62)마다 전원의 공급을 제어하도록 되어 있다. 지연유니트로서는 종래기술에서의 지연유니트(4) 및 다른 구성을 갖는 것과 동일한 구성의 것을 채용해도 좋다.

입력단자(1)로는 외부클럭신호(CLK)가 입력된다. 외부클럭신호의 주기는 τ로 한다. 이

외부클럭신호(CK)는 리시버(2)에 공급된다. 리시버(2)는 외부클럭신호를 파형정형하여 증폭한 클럭신호(CLK)를 출력한다. 리시버(2)에서의 지연시간은 D1으로 한다. 리시버(2)로부터의 클럭신호(CLK)는 인버터(10), 지연모니터 및 복수의 지연유닛(61,62)에 공급되도록 되어 있다.

인버터(10)는 클럭신호(CLK)를 반전시켜 클럭신호(/CLK)를 출력한다. 지연모니터(3)는 클럭신호(CLK)를 시간 A만큼 지연시켜 전진펄스(FCL)를 발생하도록 되어 있다. 지연모니터(3)의 출력은 지연유닛군(61)의 초단의 지연유닛(4-1)에 공급되도록 되어 있다.

클럭신호(CLK, /CLK)는 제어펄스 생성회로(9)에도 공급되도록 되어 있다. 제어펄스 생성회로(9)는 클럭신호(CLK)의 상승에서 상승하여 펄스폭이 A' 인 제어펄스(P) 및 그 반전신호(/P)를 생성하여 지연유닛군(61,62)의 각 지연유닛에 공급하도록 되어 있다. 여기에서, A'의 값은 $A > A'$ 를 만족하도록 설정한다.

지연유닛은 전진펄스 지연회로, 상태유지회로 및 후퇴펄스 지연회로로 구성되어 있다. 복수단의 지연유닛을 사용함으로써, 초단으로부터 최종단까지의 전진펄스 지연회로(7)가 종속접속됨과 더불어 초단으로부터 최종단까지의 후퇴펄스 지연회로가 종속접속되어, 전진펄스용 지연선(5) 및 후퇴펄스용 지연선(7)이 각각 구성된다.

상술한 바와 같이, 지연유닛으로서 전진펄스 지연회로, 상태유지회로 및 후퇴펄스 지연회로가 각각 도 3 내지 도 5에 나타난 지연유닛(4)를 사용해도 좋고, 또 다른 구성의 것을 사용해도 좋다.

각 지연유닛의 전진펄스 지연회로(5-1, 5-2, ..., 5-L)는 제어펄스(P)의 'H'의 기간에 'L'의 출력을 출력함으로써 전진펄스용 지연선(5)를 초기화하고, 제어펄스(P)의 'L'의 기간에 전단의 전진펄스 지연회로의 출력을 후단의 전진펄스 지연회로로 전파하도록 되어 있다.

각 지연유닛의 상태유지회로(6-1, 6-2, ..., 6-L)는 제어펄스(P)가 'L'의 기간에 전진펄스가 전파된 단에서는 상태신호(Q)를 'H'로 하여 세트상태로 하고, 제어펄스(P)가 'H'의 기간에 후퇴펄스가 전파된 단에서는 상태신호(Q)를 'L'로 하여 세트상태로 하도록 되어 있다. 상태유지회로(6-1, 6-2, ..., 6-L)는 제어펄스(/P)에 의해 전진펄스에 기초한 상태신호(Q)를 출력할 것인가, 후퇴펄스에 기초한 상태신호(Q)를 출력할 것인가를 결정하도록 되어 있다.

각 지연유닛의 후퇴펄스 지연회로(7-1, 7-2, ..., 7-L)는 'L'(리세트상태)의 상태신호(Q)가 입력된 단에 있어서는, 리시버(2)로부터의 클럭신호(CLK)를 출력하고, 'H'(세트상태)의 상태신호가 입력된 단에 있어서는 후단의 후퇴펄스 지연회로의 출력을 전단의 후퇴펄스 지연회로로 전파하도록 되어 있다.

본 실시형태에 있어서도, 전진펄스용 지연선(5)은 입력된 전진펄스를 기간(τ -A)만큼 지연시키고, 후퇴펄스용 지연선(7)은 전진펄스의 전파의 정지로부터 기간(τ -A)만큼 후퇴펄스를 전파하여 초단의 후퇴펄스 지연회로(7-1)로부터 출력하도록 되어 있다. 후퇴펄스용 지연선(7)으로부터의 후퇴펄스(RCL)는 출력버퍼(8)로 공급된다. 출력버퍼(8)는 입력된 후퇴펄스(RCL)를 지연시간(D)만큼 지연시켜 내부클럭신호(CK')로서 출력하도록 되어 있다.

본 실시형태에 있어서는, 초단으로부터 N단까지의 지연유닛 4-1 내지 4-N에 의해 지연유닛군(61)이 구성되고, (N+1)단으로부터 최종단(L단)까지의 지연유닛 4-(N+1) 내지 4-L에 의해 지연유닛군(62)이 구성되어 있다. 그리고, 이들 지연유닛군(61,62)마다 각 지연유닛에 대한 전원전압의 공급이 제어되도록 되어 있다.

지연유닛군(61)의 각 지연유닛에는 전원단자(63)를 매개해서 전원전압이 공급된다. 한편, 지연유닛군(62)의 각 지연유닛에는 전원단자(63)로부터 전원제어용 스위치(65)를 매개해서 전원전압이 공급되도록 되어 있다.

본 실시형태에 있어서는, 전진펄스가 소정의 단까지 전파된 것을 검출하기 위해 전진펄스 검출회로(64)가 설치된다. 전진펄스 검출회로(64)는 지연유닛군(61)의 소정의 단의 지연유닛, 예컨대 N단으로부터 여러 단 전의 단까지의 사이의 어느 단의 지연유닛에 포함된 전진펄스 지연회로 또는 상태유지회로에 접속된다. 전진펄스 검출회로(64)는 접속된 단까지 전진펄스가 전파되었는가의 여부를 검출하여 제어신호(CTL)를 전원제어용 스위치(65)에 공급하도록 되어 있다.

전원제어용 스위치(65)는 입력된 제어신호(CTL)에 의해 전진펄스가 소정의 단까지 전파된 것이 지시된 경우에는, 전원단자(63)로부터의 전원전압을 지연유닛군(62)의 각 지연유닛에 공급하고, 그렇지 않은 경우에는 전원전압을 지연유닛군(62)에는 공급하지 않도록 되어 있다.

다음에는 이와 같이 구성된 실시형태의 동작에 대해 도 16을 참조하여 설명한다. 도 16은 도 14의 실시형태의 동작을 설명하기 위한 플로우차트이다.

리시버(2), 지연모니터(3) 및 출력버퍼(8)의 지연시간은 각각 D1, A, D2이다. 외부클럭신호(CK)에 동기한 내부클럭신호(CK')를 생성하는 동작은 종래기술과 마찬가지로이다. 즉, 입력단자(1)에는 도 7에 나타난 외부클럭신호(CK)가 입력된다. 이 외부클럭신호(CK)는 리시버(2)에 의해 취입되어 도 7에 나타난 바와 같이 지연시간(D1) 후에 클럭신호(CLK)로서 지연모니터(3) 및 인버터(10)에 공급된다.

인버터(10)는 클럭신호(CLK)를 반전시킨 클럭신호(/CLK)를 출력한다. 이들 클럭신호(CLK, /CLK)는 제어펄스 생성회로(9)에 공급되어 클럭신호(CLK)에 동기하여 펄스폭이 A' 인 제어펄스(P; 도 7 참조)가 생성된다.

한편, 지연모니터(3)는 클럭신호(CLK)를 시간(A)만큼 지연시켜 도 7에 나타난 전진펄스(FCL)를 초단의 전진펄스 지연회로(5-1)에 공급한다(도 16의 스텝 S1 참조).

이제, 초기상태이고, 모든 지연유닛(80)은 초기화되어 있는 것으로 한다. 즉, 전진펄스 지연회로(5-1, 5-2, ...) 및 후퇴펄스 지연회로(7-1, 7-2, ...)는 'L'의 출력을 출력하고, 상태유지회로(6-1, 6-2, ...)는 리

세트상태를 나타내는 'L'의 상태신호(Q)를 출력하고 있는 것으로 한다.

여기에서, 제어펄스(P)가 'L'일 때 전진펄스용 지연선(5)은 전진펄스(FCL)의 전파를 개시한다. 전진펄스(FCL)가 전파됨으로써, 전파된 단의 상태유지회로는 세트상태로 변화한다. 전진펄스(FCL)가 전진펄스용 지연선(5)에 입력되고 나서 시간 ($\tau - A$)이 경과하면, 제어펄스(P)가 'H'로 되어 전진펄스(FCL)의 전파가 정지된다.

전진펄스(FCL)가 m단까지 전파된 것으로 하면, 초단부터 m단까지의 상태유지회로는 세트상태로 되고, (m+1)단 이후의 단의 상태유지회로는 리세트상태로 된다. 이 타이밍에서는, 클럭신호(CLK)는 'H'이므로, (m+1)단 이후의 단의 후퇴펄스 지연회로는 'H'의 후퇴펄스를 출력한다. 이 후퇴펄스는 m단의 후퇴펄스 지연회로 (5-m)에 공급된다. m단 이전의 단의 후퇴펄스 지연회로는 세트상태이므로, 이후 후퇴펄스는 후퇴펄스용 지연선(7)을 전단측으로 순차 전파한다. 여기에서, 후퇴펄스의 발생으로부터 시간(A')에 대응하는 단수만큼, 전파된 후퇴펄스에 의해 상태유지회로는 리세트상태로 된다.

이렇게 하여, 후퇴펄스의 발생으로부터 시간 ($\tau - A$)후에 초단의 후퇴펄스 지연회로(7-1)는 후퇴펄스(RCL)를 출력한다. 후퇴펄스(RCL)는 출력버퍼(8)에 의해 시간 d2만큼 지연되어 내부클럭신호(CK')로서 출력된다.

지연모니터(3)의 지연시간(A)을 $A = D1 + D2$ 로 설정함으로써, 외부클럭신호 (CK)에 2τ 지연하여 동기한 내부클럭신호(CK')를 생성할 수 있다.

본 실시형태에 있어서는, 우선, 지연유니트군(61)의 각 지연유니트에만 단자 (63)로부터의 전원전압이 공급된다. 이제, 외부클럭신호(CK)의 주파수가 높고 τ 가 비교적 작은 값인 것으로 한다. 이 경우에는, 전진펄스는 비교적 작은 단수만큼 전파되고, 전진펄스 검출회로(64)는 전진펄스가 소정의 단에 도달한 것을 검출하지 않는다(도 16의 스텝 S2). 그렇게 하면, 전원제어용 스위치(65)는 단자(63)로부터의 전원전압을 지연유니트군(62)의 각 지연유니트에 공급하지 않는다(도 16의 스텝 S4). 따라서, 이 경우에는 지연유니트군(62)의 각 지연유니트에 의해 전력은 소비되지 않는다.

여기에서, 외부클럭신호(CK)의 주파수가 낮고 τ 가 비교적 큰 값인 것으로 한다. 전진펄스가 지연유니트군(61)의 최후의 단의 지연유니트(4-N)로부터 소정 단수 전의 지연유니트까지 전파되면, 전진펄스 검출회로(64)는 도 16의 스텝 S2에 있어서 전진펄스가 이 단까지 도달한 것을 검출하여 제어신호(CTL)를 전원제어용 스위치(65)로 출력한다. 이에 따라, 전원전압은 단자(63)로부터 전원제어용 스위치(65)를 매개해서 지연유니트군(62)의 각 지연유니트에 공급된다(도 16의 스텝 S3). 이렇게 하여, 이 경우에는 전진펄스가 지연유니트군(62)내의 각 지연유니트를 전파할 수 있다. 이에 따라, 소비전력을 억제함과 더불어, 외부클럭신호(CK)에 동기한 내부클럭신호(CK')를 확실히 발생시킬 수 있다.

상술한 바와 같이, 본 실시형태에 있어서는, N단까지의 지연유니트와 N+1단 이후의 지연유니트를 2개의 군으로, 즉 각각 지연유니트군(61,62)으로 분할하고, 이들 지연유니트군(61,62)마다 전력의 공급을 제어하고 있으므로, 고주파의 동작시에 지연유니트군(62)의 각 지연유니트에 있어서 쓸데없는 전력이 소비되는 것을 방지할 수 있다.

상기 설명에 있어서는, 전진펄스 지연회로가 같은 단의 상태유지회로에 접속되는 것으로 하여 설명했지만, 실제로는 전진펄스 지연회로, 상태유지회로 및 후퇴펄스 지연회로가 접속되는 단은 다르다. 도 17a 및 도 17b는 이 경우의 예를 나타내고 있다.

도 17a에 나타난 바와 같이, 전진펄스 지연회로가 Y단후의 상태유지회로에 접속되는 것으로 한다. 이 경우에는, N단째의 전진펄스 지연회로(5-N)에 전진펄스가 전파되었을 때, (N+Y)단째의 상태유지회로(6-(N+Y))까지가 리세트상태로 변화한다.

접속된 상태유지회로가 리세트상태로 되어 있는 후퇴펄스 지연회로로부터 리시버(2)의 출력신호(CLK)가 후퇴펄스용 지연선에 입력되어 후퇴펄스를 형성하므로, 도 17a에 나타난 바와 같이 (N+Y+1)단째의 상태유지회로(6-(N+Y+1))에도 초기의 단계에서 전력을 공급할 필요가 있다. 이 때문에, 1단째로부터 (N+Y+1)단째까지의 상태유지회로가 지연유니트군(61)에 포함되고, (N+Y+2)단째 이후의 상태유지회로가 지연유니트군(62)에 포함된다.

한편, 도 17a에 나타난 바와 같이, 후퇴펄스 지연회로에는 Z단 후의 상태유지회로의 출력이 입력되는 것으로 하면, 지연유니트군(61)에 포함된 (N+Y+1)단째의 상태유지회로(6-(N+Y+1))에 접속되는 (N+Y+1-Z)단째까지의 후퇴펄스 지연회로가 지연유니트(61)에 포함되고, {(N+Y+1-Z)-1}단째 이후의 후퇴펄스 지연회로가 지연유니트군(62)에 포함된다.

이후의 설명에서는, 설명을 간단하게 하기 위해, 도 17b에 나타난 바와 같이 Y=0, Z=1의 상태에 대해 설명한다. 이 경우에는, N단까지의 전진펄스 지연회로(5-N)와 (N+1)단까지의 상태유지회로(6-(N+1)) 및 N단까지의 후퇴펄스 지연회로(7-N)가 지연유니트군(61)에 포함되고, (N+1)단 이후의 전진펄스 지연회로와 (N+2)단 이후의 상태유지회로 및 (N+1)단 이후의 후퇴펄스 지연회로가 지연유니트군(62)에 포함된다. Y ≠ 0, Z ≠ 1의 경우에 대해서도 용이하게 확장이 가능하다.

도 3~도 5는 전진펄스 지연회로(4), 상태유지회로(5) 및 후퇴펄스 지연회로 (6)의 예를 나타낸다. 이들의 구성을 이하에 설명한다.

도 3은 n단째의 전진펄스 지연회로(5-n)의 예를 나타낸다. 단자(21)에는 (n-1)단째의 전진펄스 지연회로(5-(n-1))의 출력인 전진펄스(FCL(n-1))가 입력된다. 이 전진펄스(FCL(n-1))는 클럭제어 인버터(24)에 공급되고, 클럭제어 인버터 (24)는 'L'의 제어펄스(/P)에 의해 도통되도록 활성화된다. 여기에서, 심볼 /P의 의미는 펄스(P)의 반전신호를 의미한다. 클럭제어 인버터(24)의 출력은 인버터 (25)를 매개해서 단자(23)로부터 출력됨과 더불어, 인버터(27)를 매개해서 단자 (22)로부터 출력된다. 단자(23)의 출력은 다음 단의 전진펄스 지연회로(5-(n+1))의 입력단(21)에 전진펄스(FCL(n))로서 공급된다.

단자(22)는 후술할 상태유지회로의 단자(23)에 접속된다.

클록제어 인버터(26)에는 'L'의 전위가 공급된다. 이 클록제어 인버터(26)는 제어펄스(P)의 'H'에서 도통하여 그 출력을 인버터(25)를 매개해서 단자(23)로 출력함과 더불어 인버터(27)를 매개해서 단자(22)로 출력하도록 되어 있다. 또, 인버터(25)의 출력단에는 부하조정용의 인버터(28)가 접속되어 있다.

도 4는 n단째의 상태유지회로(6-n)를 나타낸다. 이 상태유지회로(6-n)는 클록제어 인버터(30)와 인버터(36)를 갖추고 있다. 클록제어 인버터(30)는 2개의 pMOS 트랜지스터(37,38) 및 2개의 nMOS 트랜지스터(39,40)로 구성되고, 단자(31~33)를 매개해서 입력되는 신호에 의해 제어된다. 단자(32)에는 제어펄스(P)가 입력되고, 단자(33)에는 (n-y)단째의 전진펄스(FCL(n-y))가 입력된다. 단자(31)에는 후퇴펄스용 지연선(7)으로부터 (n-x)단째의 전진펄스의 반전신호인 신호(/RCL(n-x))가 입력된다. 여기에서, pMOS 트랜지스터(37) 및 nMOS 트랜지스터(40)는 /P에 의해 제어해도 좋고, pMOS 트랜지스터(38)는 /RCL에 의해 제어해도 좋으며, nMOS 트랜지스터(39)는 FCL(n-y)에 의해 제어해도 좋다.

클록제어 인버터(30)는 'L'로 되는 제어펄스(/P)에 기초하여 (n-x)단째의 전진펄스에 대응하는 레벨을 출력하고, 'H'로 되는 제어펄스(/P)에 기초하여 (n-y)단째의 전진펄스에 대응하는 레벨을 출력한다. 클록제어 인버터(30)의 출력은 인버터(36)를 매개해서 단자(34)로 공급됨과 더불어, 단자(35) 등에도 공급된다. 단자(34,35)의 출력은 각각 상태신호(Q) 및 그 반전신호(/Q)로서 후퇴펄스용 지연선(7)에 공급된다. 상태유지부는 인버터(36)의 게이트용량에 저장된 전하의 값을 이용하여 상태를 기록한다.

도 5는 n단째의 후퇴펄스 지연회로(7-n)의 예를 나타낸다. 단자(44)에는 이어지는 단의 후퇴펄스 지연회로(7-(n+1))로부터 후퇴펄스(RCL(n+1))가 입력되고, 단자(45)에는 리시버(2)로부터 클록신호(CLK)가 입력된다. 이들 단자(44,45)로 입력된 신호는 각각 클록제어 인버터(46,47)로 공급된다.

클록제어 인버터(46)는 (n+z)단째의 상태유지회로(6-(n+z))의 상태신호(Q(n+z))를 'H'로 함으로써 도통하여 'H'로 되고, 클록제어 인버터(47)는 (n+z)단째의 상태유지회로(6-(n+z))의 상태신호의 반전신호(/Q(n+z))를 'H'로 함으로써 도통한다. 클록제어 인버터(46)의 출력단은 인버터(48)를 매개해서 단자(41)에 접속됨과 더불어, 인버터(49)를 매개해서 단자(42)에 접속되어 있다. 클록제어 인버터(47)의 출력단은 인버터(49)를 매개해서 단자(42)에 접속됨과 더불어, 인버터(48)를 매개해서 단자(41)에도 접속되어 있다. 인버터(48)의 출력단은 인버터(50)를 매개해서 단자(43)에 접속되어 있다. 단자(41)는 전단의 전진펄스 지연회로(7-(n-1))의 단자(44)에 접속되어 있다. 여기에서, 인버터(49)는 부하조정용이다. 종단의 후퇴펄스 지연회로의 입력단(44,45)에는 리시버(2)로부터의 클록신호(CLK)가 공급된다.

도 3~도 5에 있어서는, x는 지터방지 측정이고, y, z는 전진펄스의 전파가 개시되고 나서 시간(τ -A)이 경과한 타이밍과 전진펄스의 전파가 종료하고 후퇴펄스의 전파가 종료했을 때의 시간과의 사이에서 발생하는 지연시간을 없애기 위한 것이다. 여기에서, n은 0 이상의 정수이고, x, y, z는 정수이다.

지연유닛(4)에 공급되는 제어펄스(P,/P)는 도 6에 나타난 제어펄스 생성회로(9)에 의해 생성된다. 제어펄스 발생회로(9)는 클록신호(CLK) 및 그 반전신호(/CLK)가 각각 입력되는 입력단(56,55)을 갖추고 있다(도면에는 도시하지 않음).

클록신호(CLK)는 지연회로(57)에 공급된다. 지연회로(57)는 클록신호(CLK)를 지연모니터(3)의 지연시간(A)보다 짧은 지연시간(A')만큼 지연시켜 NOR회로(58)에 공급한다. 또, NOR회로(58)에는 단자(58)로부터 클록신호(/CLK)도 공급되고, NOR회로(58)는 2입력 모두 'L'일 때에만 'H'로 되는 제어펄스(P)를 출력한다. 제어펄스(P)는 인버터(59)에 의해 반전되어 제어펄스(/P)로 된다.

도 18은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 18에 있어서 도 14와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 전진펄스 검출회로(64) 대신에 전진펄스 검출회로(71)를 채용하고 있다. N단째의 전진펄스 지연회로(5-N)의 출력단은 전진펄스 검출회로(71)에 접속되어 있고, 전진펄스 검출회로(71)는 전진펄스가 1번이라도 N단째까지 전파되었다면, (N+1)단째 이후의 전진펄스 지연회로(5)와 후퇴펄스 지연회로(7) 및 (N+2)단째 이후의 상태유지회로(6)에 전력의 공급을 계속시키도록 되어 있다. 또한, 본 실시형태에 있어서도, 1~N단째까지의 전진펄스 지연회로와 후퇴펄스 지연회로 및 1~N+1단째까지의 상태유지회로에는 단자(63)를 매개해서 무조건으로 전원전압을 공급하도록 되어 있다.

이후, 설명 및 도면의 간략화를 위해, 전진펄스 지연회로, 상태유지회로 및 후퇴펄스 지연회로에 있어서 상호에 대응하는 단이 어긋나 있는 것은 무시하는 경우가 있고, 또 지연유닛의 단수는 전진펄스 지연회로의 단수로 대표해서 나타내는 경우가 있다.

다음으로, 전진펄스 검출회로(71)의 개요에 대해 도 18, 도 19 및 도 20을 참조해서 설명한다.

도 19는 그 동작을 설명하기 위한 플로우차트이고, 도 20은 N단째의 전진펄스 지연회로(5-N)의 출력(FCL-N), 그 반전신호(/FCL-N) 및 전진펄스 검출회로(71)로부터의 제어신호(CTL)를 나타낸다.

전진펄스 검출회로(71)는 전원이 온으로 된 때에 발생하는 펄스신호(도시하지 않음)에 대응하여 초기화되는 것으로 하고, 그 출력(CTL)은 도 12에 나타난 바와 같이 'L'로 되는 것으로 한다. 펄스신호가 입력되는 시점에서는, 전진펄스는 생성되지 않고, N단째의 전진펄스 지연회로(5-N)의 출력인 /FCL은 'H'이다. CTL은 전진펄스가 N단째까지 전파되지 않는 한 'L'을 유지하고, 전원제어용 스위치(65)에는 CTL의 'L'의 기간에 오프로 되도록 'L'이 입력된다. CTL이 'L'인 경우에는, 전원제어용 스위치(65)가 오프로 되어, (N+1)단째 이후의 전진펄스 지연회로(5-(N+1)~5-L), 후퇴펄스 지연회로(7-(N+1)~7-L) 및 (N+2)단째 이후의 상태유지회로(6-(N+2)~6-L)에는 전력이 공급되지 않는다. 그 결과, 이들 회로에 있어서 전력이 소비되지 않는다.

다음에, N단째의 전진펄스 지연회로(5-N)까지 전진펄스가 전파된 것으로 한다(도 19의 스텝 S6). 이 경

우에는, 전진펄스(FCL-N)는 도 20의 타이밍(t1)에 나타난 바와 같이 'H'로 된다. 이때, 도 20의 타이밍(t1)에 나타난 바와 같이, 펄스(FCL-N)의 반전신호인 펄스(/FCL-N)가 'L'로 된다. /FCL-N이 'L'로 된 때에, 전진펄스 검출회로의 출력(CTL)이 'L'로부터 'H'로 변화한다. 전진펄스 검출회로(71)의 제어신호(CTL)에 의해 제어되는 전원제어용 스위치(65)는 제어신호(CTL)가 'H'일 때에 온되어, (N+1)단 이후의 전진펄스 지연회로(5-(N+1)~5-L), 후퇴펄스 지연회로(7-(N+1)~7-L) 및 (N+2)단 이후의 상태유지회로(6-(N+2)~6-L)에 전력이 공급된다(도 19의 스텝 S7). 펄스가 1번이라도 N단에 전파되었다는 정보가 세이브되면, 전진펄스가 타이밍(t2)에서 N단에 다시 입력되거나, 혹은 전진펄스가 타이밍(t3)에서 N단에 입력되는 것이 종료되어도, CTL은 'H'를 유지한다.

이와 같이 전진펄스가 N단 이후의 전진펄스 지연회로(5-N)까지 전파된 경우에는, (N+1)단 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단 이후의 상태유지회로가 동작을 개시함으로써, L단의 지연선을 갖는 클록제어회로로서 동작한다.

따라서, 본 실시형태에서는, 전진펄스 검출회로(71)를 사용함으로써, 전진펄스가 N단 이후의 전진펄스 지연회로(5-N)까지 전파되지 않는 한 (N+1)단 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단 이후의 상태유지회로에 전력이 공급되지 않게 된다. 클록제어회로가 고주파에서 동작하는 경우에는, 전진펄스가 전파되는 단수가 모든 단수에 비해 적어지기 때문에, 전력소비가 종래기술에 따른 회로에 의한 것보다 저감되도록 N을 더 작게 할 수 있다. 전진펄스가 N단 이후의 단까지 전파된 경우에는, (N+1)단 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단 이후의 상태유지회로가 전원에 접속되어 L단의 지연선을 갖는 클록제어회로로서 동작하게 된다.

전진펄스 검출회로(71) 및 전원제어용 스위치의 구성을 이하에 설명한다. 도 21은 도 18중의 전진펄스 검출회로(71)의 구체적인 구성의 일례를 나타낸 회로도이다.

전진펄스 검출회로(71)는 멀티플렉서(72) 및 플립플롭(73)으로 구성되어 있다. 입력단자(74)에는 N단 이후의 전진펄스 지연회로(5-N)로부터 전진펄스의 반전신호(/FCL-N)가 입력된다. 이 반전신호(/FCL-N)는 멀티플렉서(72)의 한쪽 입력단에 공급된다.

멀티플렉서(72)는 단자(75)를 매개해서 전원전압이 인가됨과 더불어 접지(ground)에도 접속되어 있다. 멀티플렉서(72)는 단자(76)로부터의 펄스신호에 기초해서 'H' 또는 'L'의 신호를 플립플롭(73)에 공급하도록 되어 있다. 플립플롭(73)은 NAND회로(77,78)로 구성되어 있고, 멀티플렉서(72)로부터 'H'가 공급되고 있는 기간에 전진펄스(/FCL-N)가 'L'로 되면 'H'로 변화하여, 이후 전진펄스(/FCL-N)에 관계없이 'H'를 유지한다. 플립플롭(73)은 멀티플렉서(72)로부터 'L'이 공급됨으로써 리셋되도록 되어 있다. 플립플롭(73)의 출력은 전진펄스의 제어신호(CTL)로서 출력단자(79)로부터 출력된다.

다음에는 전진펄스 검출회로(71) 및 전원제어용 스위치(65)와 STB0와의 접속에 대해 도 3을 참조하여 설명한다. 이제, 전진펄스 지연회로로서 도 3에 나타난 전진펄스 지연회로(5-N)와 동일 구성의 것을 사용하는 것으로 한다. 이 경우에는, 전진펄스 검출회로(71)의 입력단자(74)는 N단 이후의 전진펄스 지연회로(5-N)를 구성하는 인버터(28)의 출력단에 접속된다. 전진펄스 검출회로(71)의 출력단자(79)는 전원제어용 스위치(65)의 입력단자에 접속된다.

도 22 및 도 23은 전원제어용 스위치(65)의 일례를 나타낸 회로도이다.

도 22에 나타난 전원제어용 스위치는 입력단자(81), 인버터(82), 패스 게이트(path gate; 86), 입력단자(85) 및 출력단자(87)로 구성되어 있다. 패스 게이트(86)는 pMOS 트랜지스터(83)와 nMOS 트랜지스터(84)로 구성되어 있다. 도 23에 나타난 전원제어용 스위치는 입력단자(81), 인버터(82), pMOS 트랜지스터(83), 입력단자(85) 및 출력단자(87)로 구성되어 있다.

전진펄스 검출회로(71)로부터의 전진펄스의 제어신호(CTL)는 단자(81)로 입력된다. 이 제어신호(CTL)는 인버터(82)에 의해 반전되어 nMOS 트랜지스터(83)의 게이트에 입력된다. nMOS 트랜지스터의 소스에는 단자(85)를 매개해서 전원전압이 공급되고, 드레인은 (N+1)단 이후의 전진펄스 지연회로 및 (N+2)단 이후의 상태유지회로에 접속되어 있다.

도 24는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 24에 있어서 도 18과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 상세한 설명은 생략한다.

본 실시형태에 있어서도, 1~N단까지의 전진펄스 지연회로와 후퇴펄스 지연회로 및 1~(N+1)단까지의 상태유지회로에는 단자(63)를 매개해서 무조건으로 전원전압을 공급하도록 되어 있다. 본 실시형태에 있어서, (N+β)단, 즉 N단째로부터 β 단 전의 단에 발생하는 전진펄스의 반전신호를 전진펄스 검출회로(71)에 공급하도록 되어 있다.

N단 이후의 전진펄스 지연회로(5-N)에 전진펄스가 전파되었을 때 (N+1)단 이후의 전진펄스 지연회로(5-(N+1))를 포함하는 회로에 접속된 전원제어용 스위치(65)가 온으로 되면, 펄스가 N단째로부터 (N+1)단째로 전파될 때에 전원제어용 스위치(65)에 접속된 회로가 안정하게 동작하는 상태로 되지 않는 경우가 있다. 이 경우에는, 클록제어회로가 안정하게 동작하지 않는다.

그래서, N단보다 전의 (N-β)단의 전진펄스 지연회로(5-(N-β))의 출력으로 전원제어용 스위치(65)를 제어함으로써 펄스가 N단으로부터 (N+1)단으로 입력될 때, 이미 전원제어용 스위치(65)에 접속된 회로는 안정하게 동작할 수 있도록 하고 있다. 이 때문에, 클록제어회로의 동작이 보다 안정화된다.

이러한 회로에 고주파에서 응력시험을 행한 경우에 전력이 공급되지 않아 동작하지 않는 회로가 존재하게 된다. 전력이 공급되지 않아 동작하지 않는 회로가 있으면 응력시험이 성공하지 못하는 경우가 있다. 이에 대해서는, 전진펄스 검출회로(71)를 제어하는 신호를 새로 제공하고 이 신호를 이용하여 전진펄스가 소망하는 단까지 전파되지 않은 경우라도 모든 지연유닛에 전력이 공급되는 상태로 하는 것이 가능하다.

도 25는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 25에 있어서 도 18과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 전진펄스 검출회로(71) 및 전원제어용 스위치(65) 대신에 각각 전진펄스 검출회로(90) 및 전원제어용 스위치(98)를 설치한 점이 도 18의 실시형태와 다르다. 전진펄스 검출회로(90)는 N단계의 상태유지회로의 출력(QN)에 접속되어 있다.

도 18에 나타난 실시형태에 있어서는, 전진펄스 검출회로(71)는 전진펄스가 1번이라도 N단계의 전진펄스 지연회로(5-N)에 전파되면 (N+1)단계 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계의 상태유지회로에 전원전압을 공급한다. 이 때문에, 전진펄스가 N단계까지 전파된 후에 외부클럭신호의 주기(τ)가 변화하고, 전진펄스가 N단계 이후까지 전파되지 않더라도 제어신호(CTL)가 'H'로 유지되므로, (N+1)단계 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계 이후의 상태유지회로가 계속 동작한다. 본 실시형태는 이를 방지하도록 한 것이다. 즉, 전진펄스 검출회로(90)는 전진펄스가 N단계의 전진펄스 지연회로(5-N)까지 전파되었을 때 공급되는 전원전압을 가질 뿐만 아니라, 전진펄스가 N단계까지 전파되는 것이 정지된 때의 전원전압의 공급을 정지하도록 하고 있다.

다음에는 이와 같이 구성된 실시형태의 동작에 대해 도 26 및 도 27을 참조하여 설명한다. 도 26은 동작을 설명하기 위한 플로우차트이고, 도 27은 동작을 설명하기 위한 파형도이다. 도 27은 리시버(2)로부터의 클럭(CLK), 제어펄스(P), 전진펄스(FCL), N단계의 전진펄스 지연회로(5-N)의 출력, N단계의 상태신호(Q-N) 및 전진펄스 검출회로(90)로부터의 제어신호(CTL)를 나타내고 있다.

전진펄스 검출회로(90)는 제어펄스 발생회로(9)의 출력신호(P)에 동기하여 N단계의 상태유지회로(6-N)의 출력신호(Q-N)의 값을 조사함으로써 전진펄스가 N단계까지 전파되었는가의 여부를 판단한다(도 26의 스텝 S12). 상태유지회로(6-N)는 /Q가 'H'이고 Q가 'L', 즉 리세트상태로 초기화되어 있는 것으로 한다.

외부클럭신호(CK)의 주기는, 전진펄스가 N단 이후까지 전파되는 긴 장주기(τ)로부터 전진펄스가 N단계까지 전파되지 않는 짧은 단주기(τ)로 변화한다.

외부클럭신호(CK)가 리시버(2)에 입력되면, 도 27에 나타난 바와 같이 리시버(2)로부터 클럭신호(CLK)가 생성되어 도 25에 나타난 제어펄스 생성회로(9) 및 지연모니터(3)에 입력된다. 제어펄스 생성회로(9)로부터는 클럭신호(CLK)의 상승에 동기하여 상승하는 신호(P)가 생성된다. 또, 지연모니터(3)로부터는 도 25에 나타난 바와 같이 전진펄스용 지연선(5)으로의 입력신호(FCL)가 생성된다.

도 27의 기간 t0 내지 t1에 나타난 바와 같이, 전진펄스가 N단계까지 전파되지 않으면, N단계의 상태유지회로(6-N)의 출력(Q-N)은 도 27에 나타난 바와 같이 'L'이므로, 타이밍(t0)에서 제어펄스(P)가 상승한 때의 Q-N의 값 'L'이 전진펄스 검출회로(90)에 취입된다. 이에 따라, 전진펄스 검출회로(90)는 제어신호(CTL)로서 'L'를 출력한다. 전원제어용 스위치(98)는 제어신호(CTL)가 'L'일 때에 오프로 되어 (N+1)단계 이후의 전진펄스 지연회로(5-(N+1)~5-L)와 후퇴펄스 지연회로(7-(N+1)~7-L) 및 (N+2)단계 이후의 상태유지회로(6-(N+2)~6-L)에 전력이 공급되지 않는다(도 26의 스텝 S14). 이 때문에, 이들 회로에서 전력은 소비되지 않는다.

도 27의 타이밍(t1)에 나타난 바와 같이, 전진펄스가 N단계에 전파되면(FCL-N='H') N단계의 상태유지회로(6-N)의 출력(Q-N)은 도 27에 나타난 바와 같이 'H'로 된다. 타이밍(t2)에서 제어펄스(P)가 상승하여 후퇴펄스 지연선(7)에 후퇴펄스가 생성된다. Δdu 가 전진펄스 지연회로와 후퇴펄스 지연회로 1단당의 지연시간이라고 하면, 후퇴펄스가 (N-X)단계에 전파되어 (N-X)단계의 후퇴펄스 지연회로의 출력(/RCL-(N-X))이 'H'로 되어 N단계의 상태유지회로(6-N)가 리세트되기 까지의 기간($X\Delta du$) 이상 Q-N이 'H'로 된다.

제어펄스(P)로 전진펄스 검출회로(90)를 제어하는 경우에는, $X\Delta du > A'$ 로 되도록 후퇴펄스 지연회로의 출력을 X단 후의 상태유지회로에 공급하던가, $X\Delta du$ 보다 펄스폭이 짧고 제어펄스(P)에 동기한 신호를 생성하고, 그 신호로 전진펄스 검출회로(90)를 제어하면 제어펄스(P)가 상승한 때에 전진펄스 검출회로(90)에 상태유지회로(6-N)의 출력(Q-N)이 취입된다. 타이밍(t2)에서 제어펄스(P)가 상승한 때 전진펄스 검출회로(90)의 제어신호(CTL)는 도 27에 나타난 바와 같이 'H'로 된다.

그 후, CTL은 전진펄스가 N단계에 전파되었을 때 t2~t3 사이의 타이밍에서 'H'로 된다.

제어신호(CTL)가 'H'로 될 때 전원제어용 스위치(65)는 온으로 되어 (N+1)단계 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계 이후의 상태유지회로에 전력이 공급되어(도 26의 스텝 S13), L단의 지연선을 갖는 클럭제어회로로서 동작한다.

다음으로, 전진펄스가 1번 N단계의 전진펄스 지연회로에 전파된 후, N단계까지 전파되지 않게 되는 경우의 동작에 대해 설명한다. 도 27의 파형도의 타이밍 t2~t3 사이와 같이, N단계에 전진펄스가 전파되지 않은 경우(FCLN='L')에는, N단계의 상태유지회로(6-N)의 출력(Q-N)은 재차 'L'로 출력되게 되므로, 타이밍(t3)에서 제어펄스(P)가 상승한 때 전진펄스 검출회로(90)에는 'L'이 취입된다. 이 때문에, 전진펄스 검출회로(90)로부터의 제어신호(CTL)는 'L'로 유지된다. 제어신호(CTL)가 'L'로 유지되면, 전원제어용 스위치(98)는 오프로 되어 (N+1)번째 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계 이후의 상태유지회로에는 다시 전력이 공급되지 않게 된다.

이와 같이, 본 실시형태에 있어서는, (N+1)번째 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계 이후의 상태유지회로에는 N단계의 전진펄스 지연회로(5-N)까지 전진펄스가 전파되지 않는 한 전력이 공급되지 않고, N단의 지연선을 갖는 클럭제어회로로서 동작한다. 클럭제어회로를 고주파에서 동작시키는 경우는 외부클럭신호의 주기(τ)가 짧으므로 전체의 단수(L)에 비해 N을 작게 하는 것이 가능하다. 이 때문에, 종래의 회로에 비해 고주파에서의 동작시에 전력을 삭감할 수 있다.

또, N단계 이후에 전진펄스가 전파될 때는 (N+1)번째 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및

(N+2)단계 이후의 상태유지회로가 전원에 접속되어 L단의 지연선을 갖는 클록제어회로로서 동작한다.

더욱이, 외부클록신호의 주기(τ)가 변화하고, 펄스가 N단계 이후에 전파된 후 N단계에 전파되지 않게 된 때에는, 다시 (N+1)단계의 전진펄스 지연회로와 후퇴펄스 지연회로 및 상태유지회로로의 전력의 공급을 차단할 수 있고, 도 18의 실시형태보다도 한층 전력의 삭감이 가능하다.

다음에는, 전진펄스 검출회로(90)와 전원제어용 스위치(98)의 구성에 대해 설명한다. 도 28은 전진펄스 검출회로(90)의 구성의 일례를 나타낸다.

도 28에 있어서, 전진펄스 검출회로(90)는 클록제어 인버터(92,95) 및 인버터(93,94)로 구성되어 있다. 입력단자(91)에는 N단계의 상태유지회로(6-N)의 상태신호(Q-N)가 입력된다. 이 상태신호(Q-N)는 클록제어 인버터(92)에 공급된다. 클록제어 인버터(92)의 출력단은 인버터(93,94)의 입력단 및 클록제어 인버터(95)의 출력단에 접속되어 있다. 인버터(93)의 출력단은 출력단자(96)에 접속되고, 인버터(94)의 출력단은 클록제어 인버터(95)의 입력단에 접속되어 있다. 클록제어 인버터(95)의 출력단은 클록제어 인버터(92)의 출력단 및 인버터(93,94)의 입력단에 접속되어 있다. 여기에서, 전진펄스 검출회로(90)는 D형 플립플롭을 구성할 수 있으면 도 28에 나타낸 회로 이외의 회로라도 좋다.

다음에 전진펄스 검출회로(90) 및 전원제어용 스위치(98)와 STBD와의 접속에 대해 도 4를 참조하여 설명한다. 이제, 상태유지회로로서 도 4에 나타낸 상태유지회로(6-N)를 채용하는 것으로 한다. 이 경우에는, 전진펄스 검출회로(90)의 입력단자(91)가 N단계의 상태유지회로(6-N)의 출력단자(34)에 접속되어, 상태신호(Q-N)가 전진펄스 검출회로(90)에 입력된다.

또, 전진펄스 검출회로(90)의 출력단자(96)는 전원제어용 스위치(98)의 입력단자에 접속된다. 전진펄스 검출회로(90)의 제어신호(CTL)만으로 전원제어용 스위치(98)를 제어하는 경우에는, 전원제어용 스위치(98)로서는 전원제어용 스위치(65)와 마찬가지로 도 22 및 도 23에 나타낸 회로를 채용할 수 있다. 이 경우에는, 전진펄스 검출회로(90) 및 전원제어용 스위치(98)와 STBD와의 접속은 도 18의 전진펄스 검출회로(71)를 이용한 경우와 동일하다.

본 실시형태에 있어서는, 전진펄스 검출회로(90)는 인버터(93)로부터의 제어신호(CTL)뿐만 아니라 그 반전신호인 /CTL도 전원제어용 스위치(98)에 공급할 수 있도록 되어 있다. 전원제어용 스위치(98)는 제어신호(CTL) 및 그 반전신호(/CTL)를 이용하여 전원공급을 제어하는 경우에는, 도 29에 나타낸 회로가 채용된다.

도 29는 도 25에 나타낸 전원제어용 스위치(98)의 구체적인 구성의 일례를 나타낸 회로도이다.

전원제어용 스위치(98)는 nMOS 트랜지스터(100) 및 pMOS 트랜지스터(101)로 구성되어 있고, 제어신호(CTL)의 반전신호(/CTL)가 입력단자(102)를 매개해서 트랜지스터(100)의 게이트에 공급되고, 제어신호(CTL)가 입력단자(103)를 매개해서 트랜지스터(101)의 게이트에 공급되도록 되어 있다. 단자(104)로부터의 전원전압이 트랜지스터(100,101)의 소스에 공급되도록 되어 있다.

도 30은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 30에 있어서 도 25와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서도, 1~N단계까지의 전진펄스 지연회로와 후퇴펄스 지연회로 및 1~(N+1)단계까지의 상태유지회로에는 단자(63)를 매개해서 무조건으로 전원전압을 공급하도록 되어 있다. 본 실시형태에 있어서는, (N+ β)단, 즉 N단계로부터 β 단 전의 단계 발생하는 전진펄스의 반전신호를 전진펄스 검출회로(90)에 공급하도록 되어 있다.

N단계의 전진펄스 지연회로(5-N)에 전진펄스가 전파되었을 때 (N+1)단계 이후의 전진펄스 지연회로(5-(N+1))를 포함하는 회로에 접속된 전원제어용 스위치(98)가 온으로 되면, 펄스가 N단계로부터 (N+1)단계로 전파될 때에 전원제어용 스위치(98)에 접속된 회로가 안정하게 동작하는 상태로 되지 않는 경우가 있다. 이 경우에는, 클록제어회로가 안정하게 동작하지 않는다.

그래서, N단보다 전의 (N- β)단의 전진펄스 지연회로(5-(N- β))의 출력으로 전원제어용 스위치(98)를 제어함으로써 펄스가 N단으로부터 (N+1)단으로 입력될 때, 이미 전원제어용 스위치(98)에 접속된 회로는 안정하게 동작할 수 있도록 하고 있다. 이때문에, 클록제어회로의 동작이 보다 안정화된다.

이러한 회로에 고주파에서 응력시험을 행한 경우에 전력이 공급되지 않아 동작하지 않는 회로가 존재하게 된다. 전력이 공급되지 않아 동작하지 않는 회로가 있으면 응력시험이 성공하지 못하는 경우가 있다. 이에 대해서는, 전진펄스 검출회로(90)를 제어하는 신호를 새로 제공하고 이 신호를 이용하여 전진펄스가 소망하는 단까지 전파되지 않은 경우라도 모든 지연유닛에 전력이 공급되는 상태로 하는 것이 가능하다.

도 31은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 31에 있어서 도 25와 동일한 구성요소에는 동일 부호를 붙이고 상세한 설명은 생략한다.

본 실시형태는 전진펄스 검출회로(90) 대신에 전진펄스 검출회로(111)를 채용한 점이 도 25의 실시형태와 다르다.

도 25에 있어서는, 지터 등에 의해 전진펄스(FCL)가 N단계 또는 (N- β)단계까지 전파되는 상태와 전파되지 않는 상태를 빈번(頻繁)하게 반복하는 경우에는, (N+1)단계의 전진펄스 지연회로, 후퇴펄스 지연회로 및 (N+2)번째 이후의 상태유지회로에는 전원전압의 공급, 정지가 빈번하게 반복되어 동작이 안정하지 않고, 또 소비전력을 삭감할 수 없다.

그래서, 본 실시형태에 있어서는, 전진펄스 검출회로(111)를 이용함으로써, 지터가 있는 경우라도 전원제어용 스위치(98)가 온, 오프의 상태를 안정하게 유지하는 것을 가능하게 하여 클록제어회로의 동작을 안정시키고 있다.

즉, 전진펄스 검출회로(111)는 저장기능을 갖고 있다.

QN-M = L이고 QN = L일 때,

CTL = L

QN-M = H이고 QN = L일 때, P의 상승에서 QN-M 및 QN의 값을 취입하기 직전에 CTL의 값과 동일한 논리값을 CTL로서 출력한다(이 기능에 의해 지터를 극복할 수 있음).

QN-M = L이고 QN = H일 때,

CTL = H

전원제어용 스위치는 CTL=H일 때 전원을 공급한다.

이것은 (N-M)단계를 뛰어 넘어 N단계까지 전파되고 있는 상태를 나타내기 때문에, QN-M = L이고 QN = H의 경우에 대해서는 고려할 필요가 없다.

다음에는 도 31에 나타난 실시형태의 동작에 대해 도 32 및 도 33을 참조하여 설명한다. 도 32는 동작을 설명하기 위한 플로우차트이고, 도 33은 동작을 설명하기 위한 파형도이다. 도 33은 리시버(2)로부터의 클럭신호(CLK), 제어펄스(P), 전진펄스(FCL), (N-M)단의 전진펄스 지연회로의 출력, N단의 전진펄스 지연회로의 출력, (N-M)단의 상태유지회로의 출력, N단의 상태유지회로의 출력 및 플립플롭(116)으로부터의 제어신호(CTL)를 나타내고 있다.

외부클럭신호(CK)의 주기는, 종간의 τ 로부터 긴 τ 로, 종간의 τ 로부터 짧은 τ 로 변화한다. 이에 따라, CLK의 주기도 마찬가지로 변화한다.

외부클럭신호(CK)가 리시버(2)에 입력되면, 도 33에 나타난 바와 같이 리시버(2)로부터 클럭신호(CLK)가 생성된다. 이 클럭신호(CLK)는 제어펄스 생성회로(9)에 공급되고, 도 33에 나타난 제어펄스(P)가 생성된다. 또, 클럭신호(CLK)는 지연모니터(3)에도 공급되고, 도 33에 나타난 전진펄스가 생성되어 전진펄스용 지연선(5)에 공급된다(도 32의 스텝 S21).

이제, 전진펄스가 N단계까지 전파되지 않은 것으로 한다. 기간 $t_0 \sim t_1$ 은 이 상태를 나타낸다. 이 때문에, 타이밍(t_0)에서 도 33에 나타난 바와 같이 제어펄스(P)가 상승한 때 상태신호(Q-(N-M), Q-N)가 모두 'L'이므로, 2개의 D형 플립플롭(112, 113)에는 'L'이 취입된다. 이에 따라, 도 33에 나타난 바와 같이, 제어신호(CTL)는 $t_0 \sim t_1$ 에서 'L'로 된다. 따라서, 전원제어용 스위치(98)가 오프로 되어 (N+1)단계 이후의 전진펄스 지연회로(5-(N+1)~5-L)와 후퇴펄스 지연회로(7-(N+1)~7-L) 및 (N+2)단계 이후의 상태유지회로(6-(N+2)~6-L)에 전력이 공급되지 않는다.

다음에, 전진펄스가 (N-M)단계까지 전파되는 것으로 한다. 도 33의 타이밍(t_1)은 이 상태를 나타내고 있다. 타이밍(t_1)에서 전진펄스가 (N-M)단계에 전파되고 있으므로, 도 33에 나타난 바와 같이 (N-M)단계의 상태유지회로(6-(N-M))의 출력(Q-(N-M))은 'H'로 된다. 또, 타이밍(t_2)로 될 때까지 전진펄스는 N단계까지 전파되고 있지 않으므로, N단계의 상태유지회로(6-N)의 출력(Q-N)은 도 33에 나타난 바와 같이 'L'로 유지된다.

제어펄스(P)가 상승하여 후퇴펄스 지연회로로부터 클럭신호(CLK)가 입력되고, X단 진행하고 X단 후의 상태유지회로를 리셋한다. 이 때문에, 제어펄스(P)가 'H'로 되고 나서 최저 $X\Delta du$ 동안은 상태신호(Q-(N-M))는 'H'로 유지된다. 따라서, 타이밍(t_2)에서 제어펄스(P)가 상승한 때, (N-M)단계의 상태유지회로(6-(N-M))의 출력(Q-(N-M))은 'H'로 되고, N단계의 상태유지회로(6-N)의 출력(Q-N)은 'L'로 되며, 이들 값이 전진펄스 검출회로(111)에 취입된다. P의 상승에서 QN-M = H이고 QN = L일 때, CTL의 값은 이미 출력되었다. 따라서, 제어신호(CTL)는 'L'로 유지된다. 이와 같이, 펄스가 N단 이후에 1번도 전파된 일이 없는 경우, 즉 처리가 도 32에 나타난 스텝 S22 및 S24를 경유하여 스텝 S26으로 이동한 경우에는, 제어신호(CTL)는 'L'로 유지되므로, 전원제어용 스위치는 (N+1)번째 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계 이후의 상태유지회로에 전력을 공급하지 않는다. 이 경우에는, 이들이 N단의 지연선을 갖는 클럭제어회로로서 동작한다.

마찬가지로, 제어펄스(P)의 상승에서 상태신호(Q)를 취입하기 때문에, 제어펄스(P)의 펄스폭이 $X\Delta du$ 보다 짧아지도록 X를 설정하거나, 제어펄스(P)의 펄스폭을 짧게 할 수 있으면 $X\Delta du$ 보다 짧고 클럭신호(CLK)에 동기하여 상승하는 펄스신호로 전진펄스 검출회로를 제어하는 것으로 한다.

다음으로, 타이밍(t_4)에서 제어펄스(P)가 상승할 때의 동작에 대해 설명한다. 타이밍(t_3)에서 전진펄스는 N단계의 전진펄스 지연회로(5-N)까지 전파되고 있다. 이 때문에, 도 33에 나타난 바와 같이, 전진펄스 FCL(N-M) 및 FCL-N이 모두 'H'로 되므로, 상태유지회로의 출력신호 Q-(N-M) 및 Q-N도 도 33에 나타난 바와 같이 'H'로 된다.

따라서, 타이밍(t_4)에서 제어펄스(P)가 상승할 때에는, QN-M = 'H' 및 QN = 'L'이 전진펄스 검출회로(111)로 입력되므로, 제어신호(CTL)는 'H'로 된다(도 33 참조).

제어신호(CTL)가 'H'로 될 때 전원제어용 스위치(98)는 온으로 되므로, (N+1)단계 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단계 이후의 상태유지회로에 전력이 공급된다. 이에 따라, N단계에 전진펄스가 전파된 때 모든 지연유닛에 전력이 공급되어 L단의 지연선을 갖는 클럭제어회로로서 동작한다. 이와 같이, N단계에 전진펄스가 전파된 경우, 즉 처리가 도 32의 스텝 S2 및 S23을 거쳐 간 경우에는, 모든 지연유닛에 전력이 공급된다.

다음에, 지터 등의 영향에 의해 전진펄스가 N단에 전파된 후 전진펄스의 전파하는 단수가 (N-M)단과 N단의 사이에서 변동하는 경우에 대해 설명한다.

전진펄스가 N단 이상 전파되는 경우에는, 항시 (N-M)단, N단의 전진펄스 지연회로에 전진펄스가 전파되

므로 모든 지연유닛에 전원전압이 공급된다.

t4~t5에 나타난 바와 같이, 1번 N단의 전진펄스 지연회로(5-N)까지 전파된 후, (N-M)단의 전진펄스 지연회로(5-(N-M))까지 전파되고 N단의 전진펄스 지연회로(5-N)까지 전파되지 않은 때에는, 타이밍 t4~t5일 때와 마찬가지로 전진펄스가 전파되어 제어펄스(P)가 상승할 때 상태유지회로의 출력 Q-(N-M)이 'H', Q-N이 'L'로 된다. 그리고, 이들 값이 전진펄스 검출회로(111)에 취입된다. P의 상승에서 QN-M = 'H'이고 QN = 'L'일 때, CTL의 값은 이미 출력되었다. 따라서, 제어신호(CTL)는 'H'를 유지한다.

따라서, 펄스가 N단 이후에 1번 전파된 후 (N-M)단과 N단 사이의 단에만 전파되는 경우에도 제어신호(CTL)는 'H'로 유지된다. 즉, 처리가 도 32에 나타난 스텝 S24 및 S25를 경유하여 스텝 S23으로 계속되는 경우, 제어신호(CTL)는 'H'로 유지된다. 이에 따라, 회로를 L단의 지연유닛을 갖는 클럭 제어회로로서 계속 동작시킬 수 있다. 전진펄스가 지터에 의해 N단 이후에 다시 전파되기 시작하는 경우에도 전력이 계속 공급되므로, 안정한 동작을 행하는 것이 가능하게 된다.

더욱이, 타이밍 t5, t6과 같이 (N-M)단에도 펄스가 전파되지 않게 되는 것으로 한다. 이 경우에는, 타이밍 t0~t2까지의 동작과 마찬가지로, 타이밍(t6)에서 제어펄스(P)가 상승한 때에도 (N-M)단째의 상태유지회로(6-(N-M))의 출력신호(Q-(N-M))도 N단째의 상태유지회로(6-N)의 출력신호(Q-N)도 도 33에 나타난 바와 같이 'L'로 된다. 따라서, 제어펄스(P)가 'H'로 된 때에 전진펄스 검출회로(111)에는 'L'이 취입된다. 이에 따라, CTL은 'L'로 된다. 즉, 이 경우에는 타이밍 t0~t2와 마찬가지로의 동작이 행해진다.

이와 같이, 전진펄스 검출회로(111)를 이용함으로써, N단째까지 펄스가 전파되지 않은 경우에는, (N+1)단째 이후의 전진펄스 지연회로와 후퇴펄스 지연회로 및 (N+2)단째 이후의 상태유지회로에 전력을 공급하지 않고, N단째 이후에 전파될 때에 모든 단에 전력을 공급함과 더불어, 지터의 영향으로 펄스가 전파되는 단이 (N-M)단과 N단의 사이에서 변동하는 경우에는 전력을 계속 공급하여 안정한 동작을 하는 것이 가능하다.

따라서, 본 실시형태에 있어서는, 상기 각 실시형태와 마찬가지로의 효과를 얻을 수 있는 동시에, 전진펄스가 N단까지 전파된 후에 지터에 의해 전진펄스가 전파되는 단이 (N-M)단과 N단의 사이에서 변동해도 전원이 온, 오프를 반복하지 않도록 할 수 있어 안정한 동작을 가능하게 할 수 있다.

다음에는 전진펄스 검출회로(111)의 구체적인 구성에 대해 설명한다. 도 34에는 전진펄스 검출회로(111)의 구성의 일례를 나타낸다.

전진펄스 검출회로(111)는 전진펄스 검출회로(90)와 동일 구성을 갖는 2개의 D형 플립플롭(112, 113), NAND회로(114), OR회로(115) 및 플립플롭(116)으로 구성되어 있다. 플립플롭(116)은 NAND회로(117, 118)로 구성되어 있다.

2개의 D형 플립플롭(112, 113)의 입력단자(91)에는 각각 N단째, (N-M)단째의 상태유지회로의 출력(Q-N, Q-(N-M))이 공급된다. D형 플립플롭(112, 113)의 출력단은 NAND회로(117)의 입력단에 접속되고, OR회로(115)의 출력단은 NAND회로(118)의 입력단에 접속되어 있다. NAND회로(117)의 출력단은 NAND회로(118)의 출력단에 접속되고, NAND회로(118)의 출력단은 NAND회로(117)의 입력단에 접속되어 있다. 플립플롭(116)은 RS플립플롭으로서 기능하면 다른 회로를 이용해도 좋다.

NAND회로(117)의 출력단은 출력단자(119)에 접속되어 있다. 전원제어용 스위치(98)로서는 도 22, 도 23 및 도 29에 나타난 회로를 이용해도 좋다.

다음으로 STBD와 전진펄스 검출회로(111) 및 전원제어용 스위치(98)의 접속에 대해 설명한다. (N-M)단째의 상태유지회로(6-(N-M))의 출력(Q-(N-M))을 전진펄스 검출회로(111)의 D형 플립플롭(112)의 입력단자(91)에, N단째의 상태유지회로(6-N)의 출력(Q-N)을 D형 플립플롭(113)의 입력단자(91)에 공급한다. 또, 전원제어용 스위치(98)로서는 도 18의 전원제어용 스위치(65)와 동일 구성의 것을 이용한다. 전진펄스 검출회로(111)의 출력단자(119)와 전원제어용 스위치(98)의 접속은 도 25와 마찬가지로 한다.

도 35는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 35에 있어서 도 31과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서도, 1~N단째까지의 전진펄스 지연회로와 후퇴펄스 지연회로 및 1~(N+1)단째까지의 상태유지회로에는 단자(63)를 매개해서 무조건으로 전원전압을 공급하도록 되어 있다. 본 실시형태에 있어서는, (N+β)단, 즉 N단째로부터 β 단 전의 단에 발생하는 상태신호(Q-(N-β))를 전진펄스 검출회로(90)에 공급함과 더불어, 이 (N-β)단보다도 전의 단인 (N-M)단에 발생하는 상태신호(Q-(N-M))를 전진펄스 검출회로(111)에 공급하도록 되어 있다.

N단째의 전진펄스 지연회로(5-N)에 전진펄스가 전파되고 N단째의 상태신호(Q-N)가 'H'로 됨으로써, (N+1)단째 이후의 전진펄스 지연회로(5-(N+1))를 포함하는 회로에 접속된 전원제어용 스위치(98)를 온으로 하면, 펄스가 N단째로부터 (N+1)단째로 전파될 때에 전원제어용 스위치(98)에 접속된 회로가 안정하게 동작하는 상태로 되지 않는 경우가 있다. 이 경우에는, 클럭제어회로가 안정하게 동작하지 않는다.

그래서, N단보다 전의 (N-β)단의 상태신호(Q-(N-β))의 출력으로 전원제어용 스위치(98)를 제어함으로써 펄스가 N단으로부터 (N+1)단으로 입력될 때, 이미 전원제어용 스위치(98)에 접속된 회로는 안정하게 동작할 수 있도록 하고 있다. 이 때문에, 클럭제어회로의 동작이 보다 안정화된다.

한편, 이러한 회로에 고주파에서 응력시험을 행한 경우에 전력이 공급되지 않아 동작하지 않는 회로가 존재하게 된다. 전력이 공급되지 않아 동작하지 않는 회로가 있으면 응력시험이 성공하지 못하는 경우가 있다. 이에 대해서는, 전진펄스 검출회로(111)를 제어하는 신호를 새로 제공하고 이 신호를 이용하여 전진펄스가 소망하는 단까지 전파되지 않은 경우라도 모든 지연유닛에 전력이 공급되는 상태로 하는 것이 가능하다.

도 36은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 36에 있어서 도 14와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 지연유니트를 $K(K > 2)$ 의 정수개의 지연유니트군(121-1, 121-2, ..., 121-K)으로 분할한 것이다. 지연유니트군(121-1)은 1단으로부터 V단까지의 지연유니트를 갖고, 지연유니트군(121-K)은 (V+1)단으로부터 L단까지의 지연유니트를 갖고 있다.

지연유니트군(121-1)의 각 지연유니트에는 전원단자(63)를 매개해서 전원전압이 공급되고, 지연유니트군(121-2~121-K)의 각 지연유니트에는 각각 전원단자 (63)로부터 전원제어용 스위치(123-1~123(K-1))를 매개해서 전원전압이 공급된다. 지연유니트군(121-2~121-K)에 대한 전원전압의 공급은 전진펄스 검출회로(122-1~122(K-1))에 의해 제어된다.

전진펄스 검출회로(122-1~122(K-1)) 및 전원제어용 스위치(123-1~123(K-1))로서는, 상기 각 실시형태에서의 어느 전진펄스 검출회로 및 전원제어용 스위치를 이용해도 좋다.

전진펄스 검출회로(122-1~122(K-1))는 각각 지연유니트군(121-2~121-K)의 의 소정의 단의 지연유니트, 예컨대 각 지연유니트군의 최종단으로부터 수개 전의 단까지의 사이의 어느 하나의 단의 지연유니트에 포함된 전진펄스 지연회로 또는 상태유지회로에 접속된다. 전진펄스 검출회로(122-1~122(K-1))는, 접속된 단까지 전진펄스가 전파되었는가의 여부를 검출하여 각각 제어신호(CTL)를 전원제어용 스위치(123-1~123(K-1))에 공급하도록 되어 있다.

전원제어용 스위치(123-1~123(K-1))는, 입력된 제어신호(CTL)에 의해 전진펄스가 소정의 단까지 전파되었다는 것이 지시된 경우에는 전원단자(63)로부터의 전원전압을 각각 대응하는 지연유니트군(122-2~122-K)의 각 지연유니트에 공급하고, 그렇지 않은 경우에는 전원전압을 지연유니트군(122-2~122-K)에는 공급하지 않도록 되어 있다.

이와 같이 구성된 실시형태에 있어서는, 초기상태에서는 지연유니트군(122-1)의 각 지연유니트에만 전원전압이 공급된다. 전진펄스가 V단째의 전진펄스 지연회로(5-V)까지 전파되지 않은 경우에는, 이후의 지연유니트군(122-2~122-K)의 각 지연유니트에는 전원전압은 공급되지 않아 전력소비를 줄일 수 있다.

또, 전진펄스가 (V+1)단째의 지연유니트까지 전파된 경우에는, 전진펄스 검출회로(122-1)로부터의 제어신호(CTL)에 의해 전원제어용 스위치(123-1~123(K-1))가 온으로 되어 지연유니트군(122-2)의 각 지연유니트에도 전원전압이 공급된다. 이렇게 해서, (V+1)단째까지 전진펄스가 전파되는 경우에도 확실한 동작이 가능하다.

게다가, 본 실시형태에 있어서는, 이 경우에도 지연유니트군(121-3~121-K)의 각 지연유니트에 전원전압을 공급하지 않도록 할 수 있다.

이와 같이 본 실시형태에 있어서는, 상기 각 실시형태와 마찬가지로의 효과를 가짐과 더불어, 전력제어를 K개의 지연유니트군 단위로 행할 수 있으므로, 정확한 전력제어가 가능하다고 하는 이점이 있다.

전진펄스 검출회로(122)로서는, 전진펄스 검출회로(71), 전진펄스 검출회로 (90) 및 전진펄스 검출회로(111)를 이용해도 좋다. 전원제어용 스위치(123)로서는, 전원제어용 스위치(65,98)를 이용할 수 있다.

도 37은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 37에 있어서 도 14와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 지연모니터(3) 대신에 펄스생성회로(131)를 이용한 점이 도 14의 실시형태와 다르다.

펄스생성회로(131)는, 지연기(132), 인버터(133~135), NAND회로(136) 및 패스 게이트(137)로 구성되어 있다. 지연기(132)는 입력된 클럭신호(CLK)를 시간(A)만큼 지연시켜 인버터(133)로 출력한다. 인버터(133)는 클럭신호(CLK)를 반전시켜 인버터(134) 및 NAND회로(136)의 한쪽 입력단에 공급한다. 인버터(134)는 인버터(133)의 출력을 다시 반전시킴으로써, 전진펄스(FCL)를 전진펄스용 지연선(5)에 공급하도록 되어 있다.

NAND회로(136)의 다른쪽 입력단에는 리시버(2)로부터의 클럭신호(CLK)도 인가되고 있으며, NAND회로(136)는 2입력의 NAND연산을 행해 인버터(135) 및 패스 게이트(137)로 출력한다. 인버터(135)는 NAND회로(136)의 출력을 반전시켜 출력하고, 패스 게이트(137)는 NAND회로(136)의 출력을 그대로 출력한다. 패스 게이트 (137)는 지연을 조절하기 위해 부가된 회로로, 인버터(135)의 지연시간과 동등한 지연시간이면 다른 회로라도 좋다.

지연기(132)의 출력은 클럭신호(CLK)의 상승으로부터 A만큼 지연되어 상승하는 펄스이다. 펄스폭이 A보다도 긴 클럭신호(CLK)가 펄스생성회로(131)에 입력되면, 인버터(133)로부터는 클럭신호(CLK)의 상승으로부터 기간(A)의 사이에 'H'로 되는 펄스가 출력된다. 따라서, NAND회로(136)의 출력은 클럭신호(CLK)의 상승으로부터 기간(A)만큼 'L'로 되는 펄스로 되고, 인버터(135)의 출력은 클럭신호(CLK)의 상승으로부터 기간(A)만큼 'H'로 되는 펄스(s)로 된다. 패스 게이트(137)는 펄스(s)의 반전신호인 펄스(/s)를 출력한다.

펄스생성회로(131)는, 지연기(132)의 지연시간(A)이 결정되면, 펄스폭이 A이고 입력신호에 동기하여 상승하는 신호를 발생할 수 있으면 다른 회로라도 좋다. 각 지연유니트(4-1~4-L)는 제어펄스(P) 대신에 펄스생성회로(131)에 의해 생성된 펄스(s) 및 그 반전신호인 펄스(/s)가 인가되어 동작하도록 되어 있다.

이와 같이 구성된 실시형태에 있어서는, 펄스생성회로(131)는 펄스폭이 A의 펄스(s)와 s에 대해 A만큼 지연된 전진펄스(FCL)를 생성한다. 이 전진펄스(FCL)가 시간(τ -A)만큼 전진펄스용 지연선(5)을 전파하고, 같은 시간(τ -A)만큼 후퇴펄스가 후퇴펄스용 지연선(7)을 전파함으로써, 외부클럭신호(CK)에 대해 2

τ 지연된 내부클럭신호(CK')가 얻어진다.

본 실시형태에 있어서도, 초기상태에서는 지연유니트군(61)의 각 지연유니트에만 전력이 공급되고, 소정의 단까지 전진펄스가 전파됨으로써 지연유니트군(62)의 각 지연유니트에 전력이 공급된다.

이와 같이, 본 실시형태에 있어서도 도 14의 실시형태와 마찬가지로의 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 38은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 38에 있어서 도 14와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다. 본 실시형태는, 주기가 τ 인 외부클럭신호(CK)에 대해 $\tau/2$ 만큼 지연된 신호를 생성하는 회로에 적용한 예이다.

전진펄스용 지연선(5), 상태유지회로(6) 및 후퇴펄스용 지연선(141)은, 지연유니트(144, 145)로 구성되어 있다. 지연유니트(144)는 도 3 내지 도 5에 나타낸 회로와 동일한 구성을 갖는다. 지연유니트(145)는 후퇴펄스 지연회로를 포함하지 않는 점이 지연유니트(144)와 다르다.

지연유니트(144-(2K+1))와 지연유니트(144-((2K+1)+1))에 포함된 후퇴펄스 지연회로가 직접 접속되어 후퇴펄스용 지연선(141)이 구성되어 있고, 후퇴펄스용 지연선(141)에 발생한 후퇴펄스는 전진펄스(FCL)가 전파된 전진펄스용 지연선(5)의 단수의 반정도의 단수를 전파되는 시간만큼 후퇴펄스용 지연선(141)을 전파하여 후퇴펄스 지연회로(141-1)로부터 출력된다.

더욱이, 본 실시형태에 있어서는, N단까지의 지연유니트(144, 145)에 의해 지연유니트군(142)이 구성되고, (N+1)단으로부터 L단까지의 지연유니트(144, 145)에 의해 지연유니트군(143)이 구성되어 있다. 지연유니트군(142)의 각 지연유니트에는 전원단자(63)를 매개해서 전원전압이 공급되고, 지연유니트군(143)의 각 지연유니트에는 전원단자(63)로부터 전원제어용 스위치(65)를 매개해서 전원전압이 공급되도록 되어 있다.

다음에는 이와 같이 구성된 실시형태의 동작을 설명한다.

주기가 τ 인 외부클럭신호(CK)는 입력단자(1)를 매개해서 리시버(2)에 공급되고, 리시버(2)로부터의 클럭신호(CLK)가 지연모니터(3)에 공급된다. 클럭신호(CLK)는 외부클럭신호(CK)에 대해 시간(D1)만큼 지연되고 있다. 이 클럭신호(CLK)는 지연모니터(3)에 의해 시간(A)만큼 지연되어 전진펄스(FCL)로서 전진펄스용 지연선(5)에 공급된다.

전진펄스(FCL)는 $(\tau-A)$ 만큼 전진펄스용 지연선(5)을 전파하고, 후퇴펄스가 발생한다. 이 후퇴펄스는 후퇴펄스용 지연선(141)을 전파하여 초단의 후퇴펄스용 지연선(141-1)으로부터 출력된다. 후퇴펄스 지연회로의 소자수는 전진펄스 지연회로의 소자수의 1/2이므로, 후퇴펄스가 전파되는 후퇴펄스 지연회로의 소자수는 전진펄스가 전파된 소자수의 1/2로 된다. 따라서, 후퇴펄스의 상승에지는 전진펄스가 전파한 시간의 반정도의 시간 $(\tau-A)/2$ 만큼 후퇴펄스용 지연선(141)을 전파하여 출력된다.

후퇴펄스용 지연선(141)로부터의 후퇴펄스(RCL)는 출력버퍼(8)에 의해 D2만큼 지연되어 출력클럭신호(HCK)로서 출력된다.

외부클럭신호(CK)에 대한 출력클럭신호(HCK)의 지연시간은 $A = 2(D1 + D2)$ 이므로,

$$\begin{aligned} & D1 + A + (\tau - A) + (\tau - A) / 2 + D2 \\ = & D1 + \tau + \tau / 2 - A / 2 + D2 \\ = & (D1 + D2) + 3\tau / 2 - A / 2 \\ = & (D1 + D2) + 3\tau / 2 - (D1 + D2) \\ = & 3\tau / 2 \end{aligned}$$

이와 같이, 본 실시형태에 있어서는, 외부클럭신호(CK)에 대해 출력클럭신호(HCK)의 상승은 $\tau/2$ 만큼 지연된다. 즉, 외부클럭신호(CK)에 대해 반주기 지연된 클럭신호를 생성할 수 있다.

또, 본 실시형태에 있어서는, 초기상태에서는 지연유니트군(142)의 각 지연유니트에만 전력이 공급되고 있다. 따라서, 전진펄스가 N단까지 전파되지 않은 경우에 있어서 전력이 쓸데없이 소비되는 것을 방지할 수 있다.

이와 같이, 본 실시형태에 있어서도 도 14의 실시형태와 마찬가지로의 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태의 어느 전진펄스 검출회로 및 전원제어용 스위치를 이용해도 좋은 것은 명백하다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 지연유니트군마다 전력을 제어하는 구성으로 하는 것이 가능하게 된다.

도 39는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 39에 있어서 도 37 및 도 38과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는, 제어펄스 생성회로(9)를 생략함과 더불어, 도 38의 지연모니터(3) 대신에 도 37의 펄스 생성회로(131)를 채용한 점이 도 38의 실시형태와 다르다.

이와 같이 구성된 실시형태에 있어서도, 외부클럭신호(CK)에 반주기만큼 지연된 내부클럭신호(CK')가 얻어지는 것은 명백하다.

또, 도 38의 실시형태와 마찬가지로, 전진펄스(FCL)가 N단까지 전파되지 않은 경우에는,

지연유니트군(143)에 전력이 공급되지 않는다.

이와 같이, 본 실시형태에 있어서도 상기 실시형태와 마찬가지로의 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력을 제어하는 구성으로 하는 것도 가능하다.

도 40은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 40에 있어서 도 38과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 본 발명을 외부클럭신호(CK)에 대해 $\tau/4$ 또는 $3\tau/4$ 만큼 지연된 클럭신호(OUT1)를 생성하기 위한 회로에 적용한 것이다.

입력단자(151, 152)에는 IN1, IN2로서 각각 외부클럭신호(CK)에 2τ 지연시켜 동기한 내부클럭신호(CK')와 외부클럭신호(CK)에 반주기 어긋난 클럭신호(HCK)를 공급한다. 혹은, IN1, IN2로서 클럭신호(HCK)와 내부클럭신호(CK')를 공급한다. 입력단자(151)를 매개로 입력된 신호는 지연기(153)를 매개해서 전진펄스(FCL)로서 전진펄스용 지연선(5)에 입력된다. 지연기(153)의 지연시간은 $2D/2$ 이다. 한편, 입력단자(152)를 매개로 입력된 신호는 후퇴펄스 지연회로의 입력단자(45; 도 5 참조)에 입력된다.

이와 같이 구성된 실시형태에 있어서는, 외부클럭신호(CK)에 대해 $\tau/4$ 또는 $3\tau/4$ 만큼 어긋난 신호를 생성할 수 있다. 더욱이, 내부클럭신호(CK')와 외부클럭신호(CK)에 반주기 어긋난 클럭신호(HCK)를 이용함으로써, 입력신호와 제어신호의 지연을 이용하여 $\tau/2^N$ 만큼 지연된 신호를 생성하는 것도 가능하다.

이와 같이 구성된 실시형태에 있어서도, 상기 각 실시형태와 마찬가지로의 효과가 얻어지는 것은 명백하다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 41은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 41에 있어서 도 14와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

지연유니트(4)는 도 14의 실시형태와 마찬가지로의 것을 이용하지만, 지연유니트(4)의 후퇴펄스 지연회로에 의해 2개의 후퇴펄스용 지연선(162, 163)을 구성하는 점이 도 14의 실시형태와 다르다. 즉, 기수단의 후퇴펄스 지연회로(162-1, 162-3, ...)에 의해 후퇴펄스용 지연선(162)이 구성되고, 우수단의 후퇴펄스 지연회로(163-2, 163-4, ...)에 의해 후퇴펄스용 지연선(163)이 구성된다. 본 실시형태에 있어서는, 지연유니트는 복수의 지연유니트군(161-1, 161-2, ...)으로 분할된다.

기수단의 후퇴펄스 지연회로(162-1, 162-3, ...)는 후단의 기수단의 후퇴펄스 지연회로의 출력을 전단의 기수단의 후퇴펄스 지연회로에 출력하고, 우수단의 후퇴펄스 지연회로(163-2, 163-4, ...)는 후단의 우수단의 후퇴펄스 지연회로의 출력을 전단의 우수단의 후퇴펄스 지연회로에 출력하도록 되어 있다. 초단 및 2단째의 후퇴펄스 지연회로(162-1, 163-2)의 출력이 후퇴펄스(RCL, RCL')로서 AND회로(164)에 공급되도록 되어 있다.

한편, AND회로(102) 대신에 도 42에 나타낸 OR회로를 이용해도 좋고, 또 도 43에 나타낸 AND회로, OR회로 및 멀티플렉서를 이용해도 좋다. 더욱이, 출력버퍼(8)를 이용해도 좋다.

본 실시형태에 있어서는, 지연유니트군(161-1)의 각 지연유니트에는 전원단자(63)를 매개해서 전원전압이 공급되고, 지연유니트(161-2, 161-3, ...)의 각 지연유니트에는 전원단자(63)로부터 전원제어용 스위치를 매개해서 전원전압이 공급되도록 되어 있다. 이때, 전진펄스 검출회로 및 전원제어용 스위치는 지연유니트군마다 설치된다.

이와 같이 구성된 실시형태에 있어서는, 후퇴펄스용 지연선(162, 163)은 각각 전진펄스용 지연선(5)에 의한 전진펄스(FCL)의 지연시간의 반정도의 시간만큼 발생한 후퇴펄스를 전파시켜 초단 또는 2단째의 후퇴펄스 지연회로(162-1, 163-2)로부터 출력한다. 즉, 전진펄스용 지연선(5)에 의해 전진펄스(FCL)는 시간($\tau-A$)만큼 지연되는데 반해, 후퇴펄스는 시간 $(\tau-A)/2$ 만큼 지연되어 전파된다.

후퇴펄스용 지연선(162, 163)으로부터의 후퇴펄스(RCL, RCL')는 AND회로(164)에 의해 앤드연산되어 클럭신호(HCK)로서 출력된다.

다른 작용은 도 14의 실시형태와 마찬가지로이다.

이와 같이, 본 실시형태에 있어서도, 상기 각 실시형태와 마찬가지로의 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 44는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 44에 있어서 도 37 및 도 41과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 지연모니터(3) 대신에 펄스생성회로(131)를 설치한 점이 도 41의 실시형태와 다르다.

이와 같이 구성된 실시형태에 있어서도, 전진펄스가 소정의 단까지 전파되지 않은 경우에는, 지연유니트군(161-2) 이후의 각 지연유니트에는 전력이 공급되지 않는다.

이와 같이, 본 실시형태에 있어서도 상기 각 실시형태와 마찬가지로 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, AND회로(164) 대신에 도 42 및 도 43에 나타낸 회로 등을 채용할 수 있음은 명백하다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 45는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 45에 있어서 도 40 및 도 44와 동일한 구성 요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서는, IN1, IN2로서 내부클럭신호(CK') 또는 외부클럭신호(CK)에 반주기 어긋난 클럭신호(HCK)를 이용한다. 입력단자(151)를 매개해서 입력된 IN1은 지연기(153)에 의해 지연되어 전진펄스(FCL)로서 전진펄스용 지연선(5)에 공급된다. 한편, IN2는 지연유니트(4)의 각 입력단자(45)에 공급된다.

이와 같이 구성된 실시형태에 있어서는, 외부클럭신호로부터 $\tau/4$ 또는 $3\tau/4$ 어긋난 신호(OUT1)를 얻을 수 있다. 더욱이, 입력신호와 제어신호의 지연을 이용하여 $\tau/2^N$ 만큼 지연된 신호를 생성하는 것도 가능하다.

전원전압을 공급하는 방법은 상기 각 실시형태의 것과 마찬가지이다.

이와 같이 구성된 실시형태에 있어서도, 상기 각 실시형태와 마찬가지로 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다. 또, AND회로(164) 대신에 도 42 및 도 43에 나타낸 회로 등을 채용할 수 있음은 명백하다.

도 46은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 46에 있어서 도 38과 동일한 구성 요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서는, 전진펄스용 지연선(5) 및 후퇴펄스용 지연선(161)은 지연유니트(144, 145)를 교대로 종속접속함으로써 구성된다. 더욱이, 본 실시형태에 있어서는, 지연유니트(144, 145)의 각 상태유지회로의 출력을 합성하는 합성회로(173-1, 173-3, ...)가 설치되어 있다. 합성회로(173-1, 173-3, ...)는 AND회로 또는 OR회로 등에 의해 구성되며, 연속한 2단의 상태유지회로의 출력을 합성하여 상태신호(Q, /Q)를 생성한다. 이 생성한 상태신호(Q, /Q)는 후퇴펄스 지연회로(144-1, 144-3, ...)에 공급된다.

이와 같이 구성된 실시형태에 있어서는, 외부클럭신호(CK)에 반주기 어긋난 클럭신호(HCK)가 얻어진다. 다른 작용은 도 38의 실시형태와 마찬가지이다.

이와 같이, 본 실시형태에 있어서도 상기 각 실시형태와 마찬가지로 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 47은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 47에 있어서 도 37 및 도 46과 동일한 구성 요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태는 지연모니터(3) 대신에 펄스생성회로(131)를 설치한 점이 도 46의 실시형태와 다르다.

이와 같이 구성된 실시형태에 있어서도, 전진펄스가 소정의 단까지 전파되지 않는 경우에는, 지연유니트군(171-2) 이후의 각 지연유니트에는 전력이 공급되지 않는다.

이와 같이, 본 실시형태에 있어서도 상기 각 실시형태와 마찬가지로 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, AND회로(164) 대신에 도 42 및 도 43에 나타낸 회로 등을 채용할 수 있음은 명백하다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 48은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 48에 있어서 도 40 및 도 46과 동일한 구성 요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서는, IN1, IN2로서 내부클럭신호(CK') 또는 외부클럭신호(CK)에 반주기 어긋난 클럭신호(HCK)를 이용한다. 입력단자(151)를 매개해서 입력된 IN1은 지연기(153)에 의해 지연되어 전진펄스(FCL)로서 전진펄스용 지연선(5)에 공급된다. 한편, IN2는 지연유니트(144, 145)의 각 입력단자(45)에 공급된다.

이와 같이 구성된 실시형태에 있어서는, 외부클럭신호로부터 $\tau/4$ 또는 $3\tau/4$ 어긋난 신호(OUT1)를 얻을 수 있다. 더욱이, 입력신호와 제어신호의 지연을 이용하여 $\tau/2^N$ 만큼 지연된 신호를 생성하는 것도 가능하다.

이와 같이 구성된 실시형태에 있어서도, 상기 각 실시형태와 마찬가지로 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각

지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다. 또, AND회로(164) 대신에 도 42 및 도 43에 나타난 회로 등을 채용할 수 있음은 명백하다.

도 49는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 49에 있어서 도 14 및 도 40과 동일한 구성 요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서는, 전진펄스용 지연선(5)을 구성하는 전진펄스 지연회로의 개수와 같은 개수의 후퇴펄스 지연회로로 구성되는 후퇴펄스용 지연선(7)을 이용한 점이 도 40의 실시형태와 다르다.

IN1, IN2로서 상호에 위상이 α 만큼 다른 신호가 입력된다.

이와 같이 구성된 실시형태에 있어서는, 입력신호에 대해 제어신호가 α 만큼 지연될 때 제어신호에 대해 α 만큼 더 지연된 신호를 생성할 수 있다.

다른 작용은 도 40의 실시형태와 마찬가지로이다.

이와 같이, 본 실시형태에 있어서도 상기 각 실시형태와 마찬가지로의 효과를 얻을 수 있다.

또한, 전진펄스 검출회로 및 전원제어용 스위치로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로 및 스위치를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 각 지연유니트군마다 전력공급을 제어하는 구성으로 하는 것도 가능하다.

도 50은 본 발명의 다른 실시형태를 나타낸 블록도이다. 또, 도 51은 도 50의 회로의 동작을 나타낸 플로우차트이다. 도 50에 있어서 도 14와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

상기 각 실시형태에 있어서는, 전원전압의 공급을 제어함으로써 전력소비를 저감하고 있다. 이에 대해, 본 실시형태에 있어서는, 지연유니트의 후퇴펄스 지연회로에 공급되는 클럭신호(CLK)의 공급을 제어함으로써 저감하고 있다.

본 실시형태는 전원제어용 스위치(65)를 사용하지 않고 전원단자(63)를 직접 지연유니트군(62)에 접속하고, 입력신호 차단회로(471)를 리시버(2)와 지연유니트군(62)의 사이에 부가한 점이 도 14의 실시형태와 다르다.

입력신호 차단회로(471)는, 전진펄스 검출회로의 출력신호(CTL)가 'L'일 때는 지연유니트군(62)의 후퇴펄스 지연회로에 리시버(2)의 출력에 관계없이 'L'을 입력하고, CTL이 'H'일 때는 지연유니트군(62)의 후퇴펄스 지연회로에 리시버(2)의 출력을 입력한다. 이와 같이 함으로써, 도 51의 플로우차트의 스텝 S28에 따라 전진펄스 검출회로를 이용하여 펄스가 소정의 단까지 전파되었는가를 조사하고, 외부클럭신호(CK)의 주파수가 높아 전진펄스가 소정의 단에 전파되지 않은 때는(즉, CTL='L'일 때는), 도 51의 스텝 S30에 따라 지연유니트군(62)의 후퇴펄스 지연회로의 입력이 'L'로 고정되기 때문에 전력이 소비되지 않는다. 외부클럭신호(CK)의 주파수가 낮아 전진펄스가 소정의 단에 전파된 때는(즉, CTL='L'일 때는), 도 51의 스텝 S29에 따라 지연유니트군(62)의 후퇴펄스 지연회로에 리시버(2)의 입력이 공급되어, L단의 지연회로를 갖는 클럭제어회로로서 동작한다.

입력신호 차단회로(471)의 구체적인 구성을 도 52에 나타낸다. 입력신호 차단회로(471)는 입력신호(481, 482), NAND회로(483), 인버터(484) 및 출력단자(485)로 구성되어 있다. 입력신호(481)에 CLK를 입력하고, 입력신호(482)에 CTL을 입력하면, CTL='L'일 때 입력신호 차단회로(471)는 'L'을 출력하고, CTL='H'일 때 입력신호 차단회로(471)는 리시버(2)의 출력을 지연유니트군(62)에 전달한다. 이러한 동작이 가능하면 도 52에 나타난 회로 이외의 회로를 이용해도 좋다.

입력신호 차단회로(471)를 리시버(2)와 지연유니트(62)의 사이에 삽입함으로써, 지연유니트(61, 62)에 공급하는 클럭신호(CLK)의 사이에 지연이 생겨 동기확립의 정밀도를 악화시킬 염려가 있지만, 이에 대해서는 입력신호 차단회로(471)와 동등한 지연을 갖는 회로를 리시버(2)와 지연유니트군(61)의 사이, 리시버(2)와 지연모니터(3)의 사이, 리시버(2)와 제어펄스 생성회로(9)의 사이, 리시버(2)와 인버터(10)의 사이에 삽입함으로써 해결할 수 있다.

또한, 전진펄스 검출회로로서는, 상기 각 실시형태에 있어서 이용한 것과 동일한 회로를 채용할 수 있다. 또, 지연유니트를 3개 이상의 지연유니트군으로 분할함으로써, 리시버(2)의 출력신호의 공급을 각 지연유니트군에서 제어하는 구성으로 하는 것도 가능하다.

또, 본 발명의 실시형태로 열거한 회로는 모두 후퇴펄스 지연회로의 입력을 제어하는 방식으로 치환하는 것이 가능하다. 즉, 도 50의 실시형태에 채용된 후퇴펄스 지연회로로의 입력을 차단하는 방법은, 도 14, 도 18, 도 24, 도 25, 도 30, 도 31, 도 35, 도 36, 도 37, 도 38, 도 39, 도 40, 도 41, 도 44, 도 45, 도 46, 도 47, 도 48 및 도 49의 실시형태에 있어서도 채용할 수 있다. 예컨대, 각 실시형태의 전원제어용 스위치 대신에 입력신호 차단회로를 설치하고, 각 실시형태의 전진펄스 검출회로의 검출결과에 기초하여 각 입력신호 차단회로를 제어함으로써 후퇴펄스 지연회로로의 클럭신호(CLK)의 공급을 제어할 수 있으면 족하다.

입력신호 차단회로는, 입력신호를 차단할 뿐만 아니라, 후퇴펄스 지연회로가 동작하지 않는 논리값을 공급하도록 되어 있다.

도 53은 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 53에 있어서 도 50과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다. 본 실시형태는 상태유지회로 초기화회로(472)를 부가한 점이 도 50의 실시형태와 다르다.

상태유지회로 초기화회로(472)는, 클럭신호(CLK)의 입력이 입력신호 차단회로(471)에 의해 차단된 지연유니트의 상태유지회로(6)를 리세트상태로 고정하도록 되어 있다. 또, 상태유지회로 초기화회로(472)는 전진펄스가 입력이 차단된 지연유니트로 전파될 때 리세트상태의 고정을 해제하고, 전진펄스가 전파된

단에 기초하여 상태유지회로(6)를 세트상태로 변화시킬 수 있도록 되어 있다.

이와 같이 구성된 실시형태에 있어서는, 클럭신호(CLK)의 입력이 입력신호 차단회로(471)에 의해 차단된 지연유니트의 상태유지회로(6)를 상태유지회로 초기화회로(472)에 의해 리세트상태로 고정하고 있다. 이에 따라, 클럭신호(CLK)가 입력되고 있지 않은 단에 있어서는, 상태유지회로(6)가 세트상태로 되는 것을 방지하고 있다.

전진펄스가 입력이 차단된 단에 전파된 경우에는, 상태유지회로 초기화회로(472)가 상태유지회로(6)의 리세트상태를 해제하도록 되어 있다.

이와 같이, 본 실시형태에 있어서는, 클럭신호(CLK)의 입력이 차단된 단에서 상태유지회로(6)가 세트상태로 되는 것을 방지할 수 있다.

도 54는 본 발명의 다른 실시형태를 나타낸 블록도이다. 도 54에 있어서 도 53과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다. 본 실시형태는 선택회로(491) 및 분배회로(492,493)를 부가한 점이 도 53의 실시형태와 다르다.

선택회로(491)는, 지연유니트군(121-1~121-(K-1))의 소정 단의 지연유니트에 구비되는 전진펄스 지연회로나 상태유지회로에 접속되어, 외부로부터 입력된 선택신호(CHn)에 기초하여 전진펄스가 전파된 단을 검출하기 위한 신호를 전진펄스 검출회로(64)에 출력하도록 되어 있다. 이에 따라, 선택신호(CHn)에 기초하여 전진펄스가 단에 전파되었는가의 여부를 검출한다.

분배회로(492)는, 선택신호(CHn)에 기초하여 상태유지회로 초기화회로(472)의 출력을 각 단의 상태유지회로(6)로 분배하도록 되어 있다. 분배회로(493)는 선택신호(CHn)에 기초하여 입력신호 차단회로(471)의 출력을 각 단의 후퇴펄스 지연회로로 분배하도록 되어 있다.

이와 같이 구성된 실시형태에 있어서는, 선택회로(491)를 설치함으로써, 복수의 단으로부터 전진펄스의 전파를 가리키는 신호를 선택하는 것이 가능하게 된다. 전진펄스의 전파를 가리키는 신호는 최종 블록을 제외한 블록으로부터 선택회로(491)에 입력된다. 선택회로(491)는 선택신호(CHn)에 기초하여 입력신호 중의 하나를 전진펄스 검출회로(64)로 출력한다.

전진펄스 검출회로(64)의 출력은 상태유지회로 초기화회로(472) 및 입력신호 차단회로(471)에 입력된다. 입력신호 차단회로(471)는 전진펄스 검출회로(64)의 검출결과에 의해 전진펄스가 전파되었다는 것이 지시된 경우에만 클럭신호(CLK)를 후퇴펄스 지연회로에 공급한다. 본 실시형태에 있어서는, 입력신호 차단회로(471)로부터의 클럭신호(CLK)는 분배회로(493)를 매개해서 각 지연유니트에 공급된다. 분배회로(493)는 선택신호(CHn)에 기초하여 클럭신호(CLK)를 분배한다. 상태유지회로 초기화회로(472)의 출력은 분배회로(492)에 의해 각 상태유지회로로 분배된다.

예컨대, 전진펄스가 N번째까지 전파되었다는 것을 가리키는 검출결과가 입력되면, 입력신호 차단회로(471)는 (N+1)번째 이후의 후퇴펄스 지연회로로의 클럭신호(CLK)의 공급을 차단한다. (N+1)번째 이후의 상태유지회로는 분배회로(492)에 의해 리세트상태로 고정된다.

다른 작용은 도 53의 실시형태와 마찬가지로이다.

이와 같이, 본 실시형태에 있어서는, 전진펄스의 전파를 예컨대 유저에 의해 설정된 임의의 위치에서 검출할 수 있고, 전력소비의 저감을 확실히 제어할 수 있다.

도 55는 본 발명의 다른 실시형태를 나타낸 블록도이다. 본 실시형태에 있어서는, 본 발명을 싱크로너스 DRAM 등의 메모리를 갖춘 시스템에 적용하고 있다. 본 실시형태에 이용된 클럭제어회로(300)로서는, 상술한 각 실시형태에 있어서 채용한 어느 클럭제어회로를 이용해도 좋다.

버스(301)에 연결된 CPU(302)는 외부클럭신호(CK)가 공급됨으로써 소정의 명령을 실행한다. 예컨대, CPU(302)는 메모리장치(303)와의 사이에서 기록 및 독출을 명령한다.

메모리장치(303)는 리시버(2), 입력장치(304), 출력장치(305), 기록/독출회로(306), 메모리셀 어레이(307) 및 클럭제어회로(300)로 구성되어 있다. 입력회로(304)는 버스(301)를 통해 전송된 데이터를 기록/독출회로(306)로 공급하고, 그 데이터를 메모리셀 어레이(307)에 기록한다. 출력회로(305)는 기록/독출회로(306)를 이용하여 메모리셀 어레이(307)로부터 독출된 데이터를 버스(301)로 전송하도록 되어 있다.

클럭제어회로(300)는 리시버(2)로부터의 클럭신호(CLK)가 공급되어 외부클럭신호(CK)에 동기한 내부클럭신호(CK')를 생성하여 입력회로(304) 및 출력회로(305)로 출력하도록 되어 있다.

이와 같이 구성된 실시형태에 있어서는, 메모리장치(303)에는 CPU(302)에 공급되는 것과 동일한 외부클럭신호(CK)가 공급된다. 클럭주파수가 높을 때는, 안정한 시스템동작을 얻기 위해, 메모리장치(303)는 외부클럭신호(CK)에 동기하고 메모리셀 어레이(307)에 유지되는 데이터를 버스(301)로 출력할 필요가 있다.

외부클럭신호(CK)는 리시버(2)에 의해 시간(D1)만큼 지연된 후에 취입된다. 클럭제어회로(300)는 리시버(2)로부터의 클럭신호(CLK)를 받아 외부클럭신호(CK)에 동기한 내부클럭신호(CK')를 발생한다. 입력회로(304)는 내부클럭신호(CK')를 이용하여 버스(301)로부터의 데이터를 취입하고, 이 데이터를 기록/독출회로(306)를 매개해서 메모리셀 어레이(307)에 기록한다. 기록/독출회로(306)는 클럭신호(CLK)에 따라 동작한다. 이와 같이, 데이터의 기록시에는 외부클럭신호(CK)에 동기하여 버스(301)로부터 데이터가 취입된다.

데이터의 독출시에는, 메모리셀 어레이(307)내의 데이터가 기록/독출회로(306)에 의해 독출되어 출력회로(305)로 공급된다. 출력회로(305)는 내부클럭신호(CK')에 의해 구동되어 외부클럭신호(CK)에 동기하여 독출된 데이터를 버스(301)로 전송한다. 이렇게 해서, 데이터의 독출시에는 버스(301)로의 데이터

의 전송을 외부클럭신호(CK)에 동기하여 행할 수 있게 된다.

이와 같이, 본 실시형태에 있어서는 상기 각 실시형태에 따른 클럭제어회로를 이용함으로써, 외부클럭신호에 동기한 기록 및 독출이 가능하게 된다.

도 56은 본 발명의 다른 실시형태를 나타낸 블록도이다. 본 실시형태에 있어서는, 본 발명을 논리회로를 갖춘 시스템에 적용하고 있다. 도 56에 있어서 도 55와 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서는, 메모리장치(303) 대신에 논리회로(310)를 이용하고 있는데, 이 논리회로(310)은 기록/독출회로(306) 및 메모리셀 어레이(307) 대신에 논리회로(311)를 채용하고 있는 점이 메모리장치(310)와 다르다.

논리회로(311)는 입력회로(304)로부터 공급되는 연산용 데이터를 갖고, 소정의 연산을 행하여 그 연산결과를 출력회로(305)를 매개해서 버스(301)로 출력하도록 되어 있다.

이와 같이 구성된 실시형태에 있어서도, 입력회로(304)는 내부클럭신호(CK')를 이용하여 버스(301)로부터 데이터를 취입하고, 그 데이터를 논리회로(311)에 공급한다. 출력회로(305)는 내부클럭신호(CK')에 의해 구동되어 논리회로(311)의 연산결과를 외부클럭신호(CK)에 동기하여 버스(301)로 전송한다. 논리회로(311)는 클럭신호(CLK)에 기초하여 동작하지만, 데이터의 버스(301)로의 입출력만이 외부클럭신호(CK)에 동기하도록 하면 된다.

이와 같이 본 실시형태에 있어서는, 상기 각 실시형태에 따른 클럭제어회로를 이용함으로써, 데이터를 외부클럭신호에 동기해서 취입하여 전송하는 것이 가능하게 된다.

도 55 내지 도 56의 실시형태에 있어서는, 데이터의 메모리셀 어레이(307)로의 기록 및 독출이나 논리회로(311)에서의 연산처리를 클럭신호(CLK)에 따라 행하고 있지만, 이들 처리를 내부클럭신호(CK')에 따라 행하도록 해도 좋다.

도 55 내지 도 56의 실시형태에 있어서는, 설명을 간단하게 하기 위해, 클럭제어회로(300)를 외부클럭신호(CK)에 동기하여 내부클럭신호(CK')를 출력하는 장치로서 설명하고 있다. 그렇지만, 실제로는 입력회로(304) 및 출력회로(305)에서의 지연을 고려하여 이들 지연시간을 클럭제어회로(300)의 출력버퍼의 지연시간에 포함시킴으로써, 데이터의 버스(301)로의 입출력시에 외부클럭신호(CK)에 동기하여 데이터를 전송하도록 하고 있다.

도 57은 본 발명의 다른 실시형태를 나타낸 블록도이다. 본 실시형태에 있어서는, 본 발명을 논리회로를 갖춘 시스템에 적용하고 있다. 도 57에 있어서 도 55 및 도 56과 동일한 구성요소에는 동일 부호를 붙이고 그에 대한 설명은 생략한다.

본 실시형태에 있어서는, 논리회로(311), 기록/독출회로(306) 및 메모리셀 어레이(307)를 동일 칩에 집적한 점이 도 56의 실시형태와 다르다.

이와 같이 구성된 실시형태에 있어서도, 입력회로(304)는 내부클럭신호(CK')를 이용하여 버스(301)로부터 데이터를 취입하고, 그 데이터를 논리회로(311) 또는 기록/독출회로(306)로 공급하도록 되어 있다. 출력회로(305)는 내부클럭신호(CK')에 의해 구동되어 메모리셀 어레이와의 사이에서 데이터를 전송 또는 수신하거나, 논리회로(311)의 연산결과를 외부클럭신호(CK)에 동기하여 버스(301)로 전송하도록 되어 있다.

이와 같이, 본 실시형태에 있어서는, 상기 실시형태에 따른 클럭제어회로를 이용함으로써, 외부클럭신호에 동기하여 데이터를 취입하거나 전송하는 것이 가능하게 된다.

또한, 본 발명은 상기 각 실시형태에 한정되지 않고, 발명의 요지를 이탈하지 않는 범위내에서 여러 가지로 변형하여 실시할 수 있는 것이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 고주파에서의 동작시에 있어서 소비전력을 저감할 수 있다고 하는 효과를 갖는다.

(57) 청구의 범위

청구항 1

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로를 복수단 종속접속하여 구성되고, 전진펄스를 전파시켜 지연시키는 전진펄스용 지연선과,

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로를 복수단 종속접속하여 구성되고, 후퇴펄스를 전파시켜 지연시키는 후퇴펄스용 지연선,

상기 전진펄스가 상기 전진펄스용 지연선에 의해 전파된 단수에 대응하는 단수만큼 상기 후퇴펄스를 상기 후퇴펄스용 지연선에 의해 전파시키는 제어장치,

1 또는 복수의 소정의 단에 있어서 상기 전진펄스가 전파되었는가의 여부를 검출하는 전진펄스 검출수단 및,

상기 전진펄스 검출수단의 검출결과에 기초하여 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 제어장치 중에서 적어도 후퇴펄스 지연회로의 전력소비를 제어하는 전력소비 제어장치를 구비한 것을 특징으로 하는 클럭제어회로.

청구항 2

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로를 복수단 종속접속하여 구성되고, 외부클럭신호를 지연시켜 얻어지는 제1클럭신호를 제1지연시간만큼 지연시켜 얻은 제2클럭신호에 기초하여 전진펄스를 상기 제1클럭신호의 주기 및 상기 제1지연시간의 차에 기초한 제2지연시간만큼 지연시키는 전진펄스용 지연선과,

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로를 복수단 종속접속하여 구성되고, 상기 전진펄스용 지연선에 의한 상기 전진펄스의 전파의 개시로부터 상기 제2지연시간후에 상기 전진펄스가 전파된 전진펄스용 지연선의 단에 대응하는 단이 리셋상태로 설정됨과 더불어, 초단으로부터 상기 전진펄스가 전파된 단까지의 전진펄스용 지연선의 단에 대응하는 단이 세트상태로 설정됨으로써, 상기 리셋상태의 단에 있어서 발생한 후퇴펄스를 상기 세트상태의 단을 전파시켜 초단으로부터 출력하는 후퇴펄스용 지연선,

상기 전진펄스용 지연선 및 후퇴펄스용 지연선의 단수에 대응하는 단수만큼 구성되며, 상기 제1클럭신호가 입력되고 있지 않은 기간에 상기 전진펄스가 전파된 단에 대응하는 단을 세트상태로 함과 더불어, 상기 제1클럭신호의 상승으로부터 소정의 기간만큼 상기 후퇴펄스가 전파된 단에 대응하는 단을 리셋상태로 하는 복수의 상태유지회로를 갖춘 상태유지장치,

전진펄스용 지연선의 1 또는 복수의 소정의 단에 있어서 상기 전진펄스가 전파되었는가의 여부를 검출하는 전진펄스 검출수단 및,

상기 전진펄스 검출수단의 검출결과에 기초하여 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로 중에서 적어도 후퇴펄스 지연회로의 전력소비를 제어하는 전력소비 제어장치를 구비한 것을 특징으로 하는 클럭제어회로.

청구항 3

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로를 복수단 종속접속하여 구성되고, 외부클럭신호를 지연시켜 얻어지는 제1클럭신호를 제1지연시간만큼 지연시켜 얻은 제2클럭신호에 기초하여 전진펄스를 상기 제1클럭신호의 주기 및 상기 제1지연시간의 차에 기초한 제2지연시간만큼 지연시키는 전진펄스용 지연선과,

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로를 복수단 종속접속하여 구성되고, 상기 전진펄스용 지연선에 의한 상기 전진펄스의 전파의 개시로부터 상기 제2지연시간후에 상기 전진펄스가 전파된 전진펄스용 지연선의 단에 대응하는 단이 리셋상태로 설정됨과 더불어, 초단으로부터 상기 전진펄스가 전파된 단까지의 전진펄스용 지연선의 단에 대응하는 단이 세트상태로 설정됨으로써, 상기 제1클럭신호를 선택적으로 취입하는 것에 의해 상기 리셋상태의 단에 있어서 발생한 후퇴펄스를 상기 세트상태의 단을 전파시켜 초단으로부터 출력하는 후퇴펄스용 지연선,

상기 전진펄스용 지연선 및 후퇴펄스용 지연선의 단수에 대응하는 단수만큼 구성되며, 상기 제1클럭신호가 입력되고 있지 않은 기간에 상기 전진펄스가 전파된 단에 대응하는 단을 세트상태로 함과 더불어, 상기 제1클럭신호의 상승으로부터 소정의 기간만큼 상기 후퇴펄스가 전파된 단에 대응하는 단을 리셋상태로 하는 복수의 상태유지회로를 갖춘 상태유지장치,

1 또는 복수의 소정의 단에 있어서 상기 전진펄스가 전파되었는가의 여부를 검출하는 전진펄스 검출수단 및,

상기 전진펄스 검출수단의 검출결과에 기초하여 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로 중에서 적어도 후퇴펄스 지연회로의 전원전압의 공급을 제어함으로써 전력소비를 제어하는 전력소비 제어장치를 구비한 것을 특징으로 하는 클럭제어회로.

청구항 4

제3항에 있어서, 상기 전력소비 제어장치는 1 또는 복수의 단마다 전원전압의 공급을 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 5

제3항에 있어서, 상기 전력소비 제어장치는, 지정의 단까지 전진펄스가 전파되었으면 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로중에서 적어도 후퇴펄스 지연회로의 특징의 회로에 전원전압을 계속 공급하도록 전력소비를 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 6

제3항에 있어서, 상기 전력소비 제어장치는, 제1단까지 전진펄스가 전파되었으면 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로 중에서 적어도 후퇴펄스 지연회로의 특징의 회로에

전원전압을 공급하고, 제2단까지 전진펄스가 전파되지 않았으면 상기 특정의 회로로의 전원전압의 공급을 차단하는 것을 특징으로 하는 클럭제어회로.

청구항 7

제6항에 있어서, 상기 제1단과 제2단은 상호 다른 단인 것을 특징으로 하는 클럭제어회로.

청구항 8

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로를 복수단 종속접속하여 구성되고, 외부클럭신호를 지연시켜 얻어지는 제1클럭신호를 제1지연시간만큼 지연시켜 얻은 제2클럭신호에 기초하여 전진펄스를 상기 제1클럭신호의 주기 및 상기 제1지연시간의 차에 기초한 제2지연시간만큼 지연시키는 전진펄스용 지연선과,

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로를 복수단 종속접속하여 구성되고, 상기 전진펄스용 지연선에 의한 상기 전진펄스의 전파의 개시로부터 상기 제2지연시간후에 상기 전진펄스가 전파된 전진펄스용 지연선의 단에 대응하는 단이 리세트상태로 설정됨과 더불어, 초단으로부터 상기 전진펄스가 전파된 단까지의 전진펄스용 지연선의 단에 대응하는 단이 세트상태로 설정됨으로써, 상기 리세트상태의 단에 있어서 발생한 후퇴펄스를 상기 세트상태의 단을 전파시켜 초단으로부터 출력하는 후퇴펄스용 지연선,

상기 전진펄스용 지연선 및 후퇴펄스용 지연선의 단수에 대응하는 단수만큼 구성되며, 상기 제1클럭신호가 입력되고 있지 않은 기간에 상기 전진펄스가 전파된 단에 대응하는 단을 세트상태로 함과 더불어, 상기 제1클럭신호의 상승으로부터 소정의 기간만큼 상기 후퇴펄스가 전파된 단에 대응하는 단을 리세트상태로 하는 복수의 상태유지회로를 갖춘 상태유지장치,

1 또는 복수의 소정의 단에 있어서 상기 전진펄스가 전파되었는가의 여부를 검출하는 전진펄스 검출수단 및,

상기 전진펄스 검출수단의 검출결과에 기초하여 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로 중에서 적어도 후퇴펄스 지연회로로의 입력신호의 공급을 제어함으로써 전력소비를 제어하는 전력소비 제어장치를 구비한 것을 특징으로 하는 클럭제어회로.

청구항 9

제8항에 있어서, 상기 전력소비 제어장치는 1 또는 복수의 단마다 입력신호의 공급을 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 10

제8항에 있어서, 상기 전력소비 제어장치는, 지정의 단까지 전진펄스가 전파되었으면 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로중에서 적어도 후퇴펄스 지연회로의 특정의 회로에 입력신호를 계속 공급하도록 전력소비를 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 11

제8항에 있어서, 상기 전력소비 제어장치는, 제1단까지 전진펄스가 전파되었으면 상기 전진펄스 지연회로, 상기 후퇴펄스 지연회로 및 상기 상태유지회로 중에서 적어도 후퇴펄스 지연회로의 특정의 회로에 입력신호를 공급하고, 제2단까지 전진펄스가 전파되지 않았으면 상기 특정의 회로로의 입력신호의 공급을 차단하는 것을 특징으로 하는 클럭제어회로.

청구항 12

제11항에 있어서, 상기 제1단과 제2단은 상호 다른 단인 것을 특징으로 하는 클럭제어회로.

청구항 13

제8항에 있어서, 상기 전력소비 제어장치는, 상기 전진펄스 검출장치의 검출결과에 기초하여 상기 후퇴펄스 지연회로에 대한 상기 후퇴펄스의 근원으로 되는 상기 제1클럭신호의 공급을 제어함으로써 전력소비를 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 14

제13항에 있어서, 상기 전력소비 제어장치는 1 또는 복수 단마다 상기 제1클럭신호의 공급을 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 15

제13항에 있어서, 상기 전력소비 제어장치는, 지정의 단까지 전진펄스가 전파되었으면 상기 후퇴펄스 지연회로의 특정의 회로에 제1클럭신호를 계속 공급하도록 전력소비를 제어하는 것을 특징으로 하는 클럭제어회로.

청구항 16

제13항에 있어서, 상기 전력소비 제어장치는, 제1단까지 전진펄스가 전파되었으면 상기 후퇴펄스 지연회로의 특정의 회로에 제1클럭신호를 공급하고, 제2단까지 전진펄스가 전파되지 않았으면 상기 특정의 회로로의 제1클럭신호의 공급을 차단하는 것을 특징으로 하는 클럭제어회로.

청구항 17

제16항에 있어서, 상기 제1단과 제2단은 상호 다른 것을 특징으로 하는 클럭제어회로.

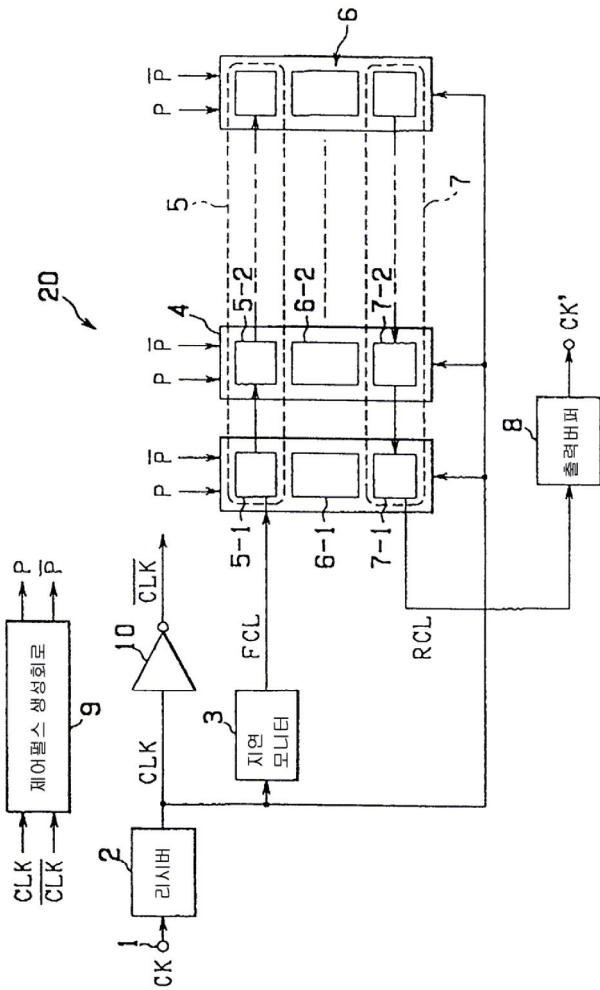
청구항 18

입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 전진펄스 지연회로, 입력된 신호를 소정의 지연시간으로 전파시켜 지연시키는 후퇴펄스 지연회로 및 상기 전진펄스 지연회로를 전파한 전진펄스의 단수에 대응한 단수만큼 상기 후 지연회로에 후퇴펄스를 전파시키기 위한 상태신호를 출력하는 상태유지회로의 전력소비를 제어하기 위해 상기 전진펄스가 전파된 단을 검출하는 수순과,

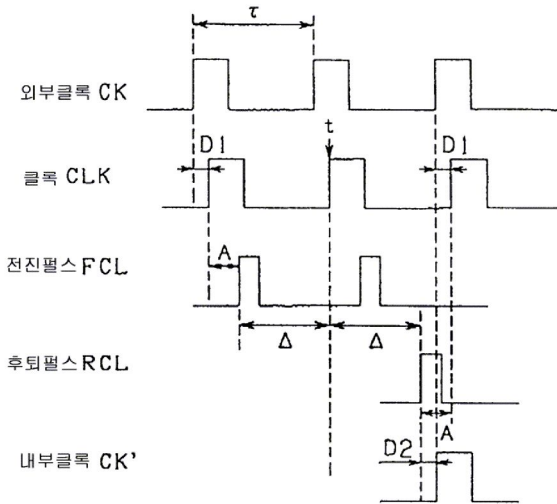
이 검출결과에 기초하여 상기 전진펄스 지연회로, 후퇴펄스 지연회로 및 상태유지회로 중에서 적어도 후퇴펄스 지연회로의 전력소비를 제어하는 수순을 구비한 것을 특징으로 하는 클럭신호 제어방법.

도면

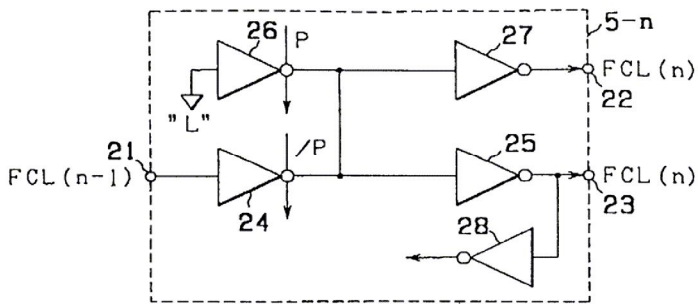
도면1



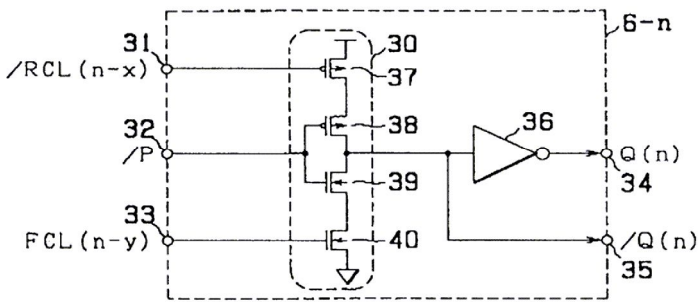
도면2



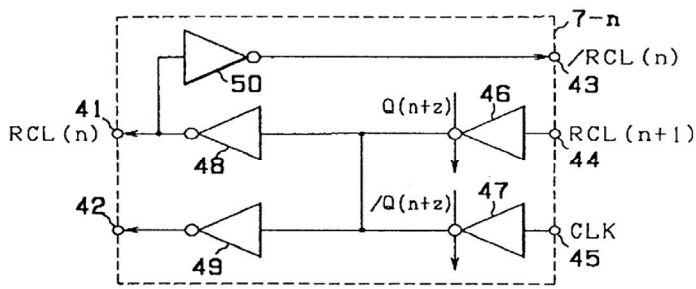
도면3



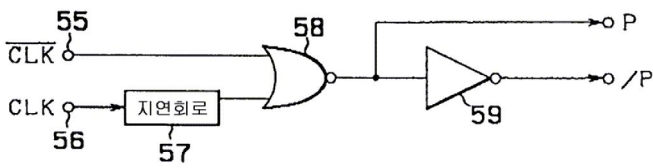
도면4



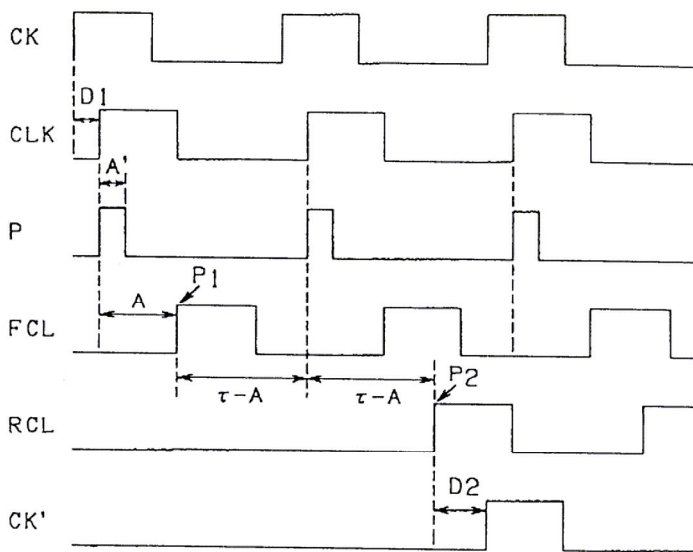
도면5



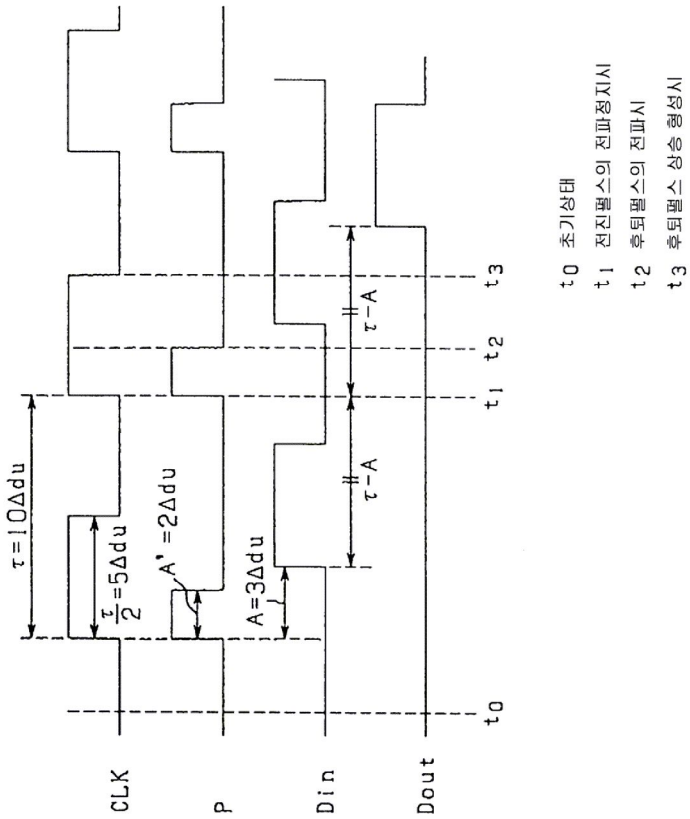
도면6



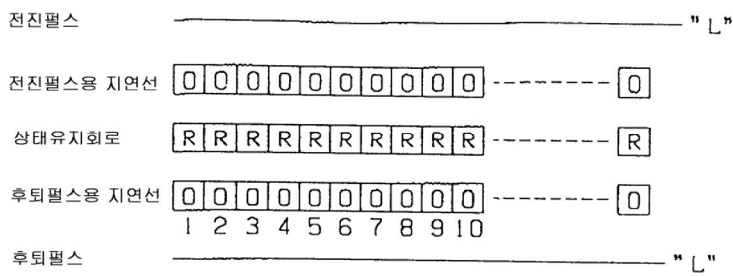
도면7



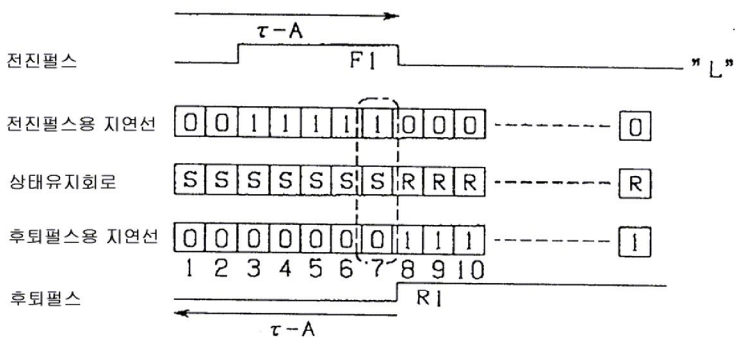
도면8



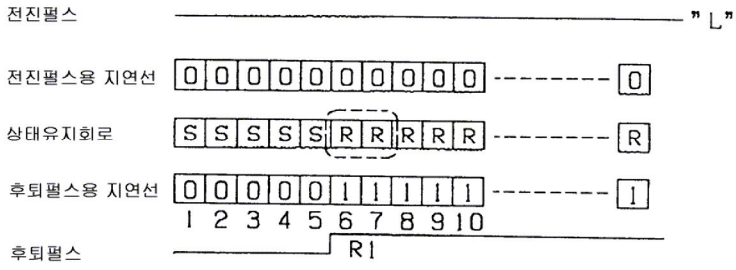
도면9



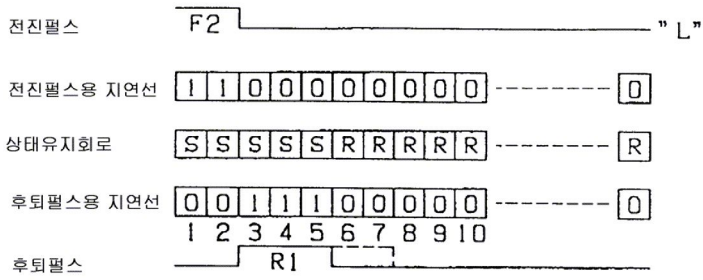
도면10



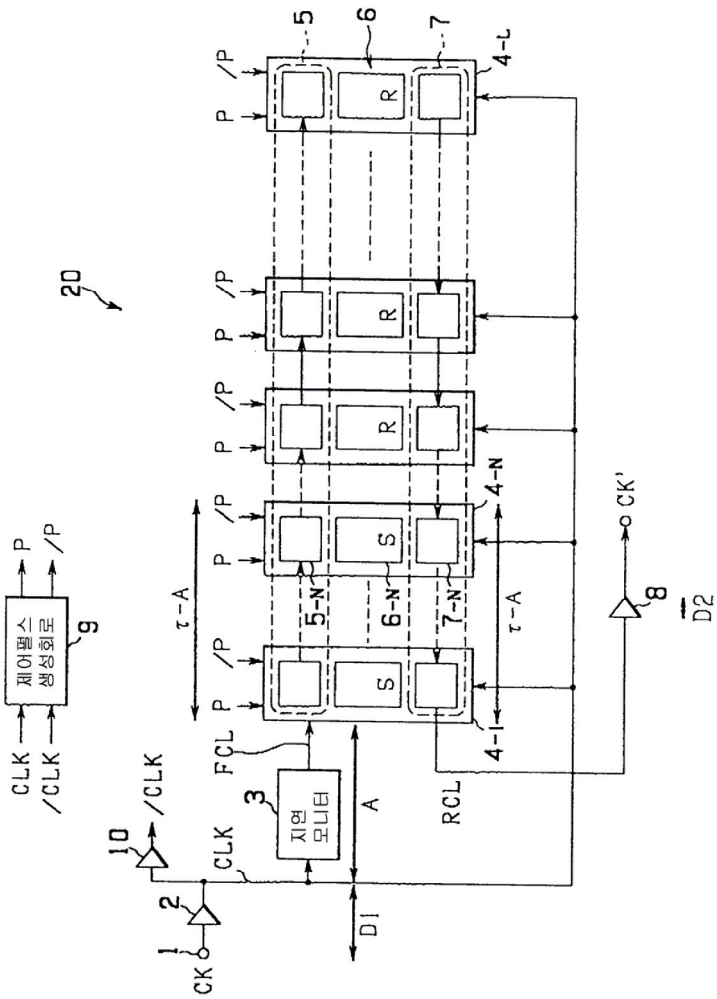
도면11



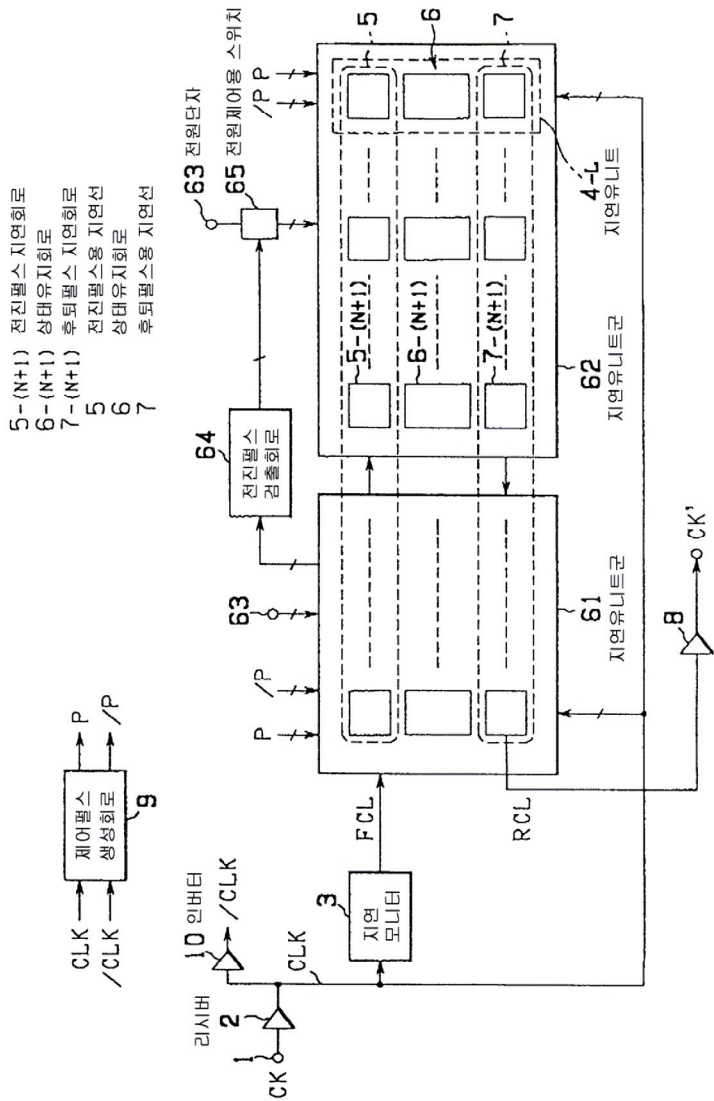
도면 12



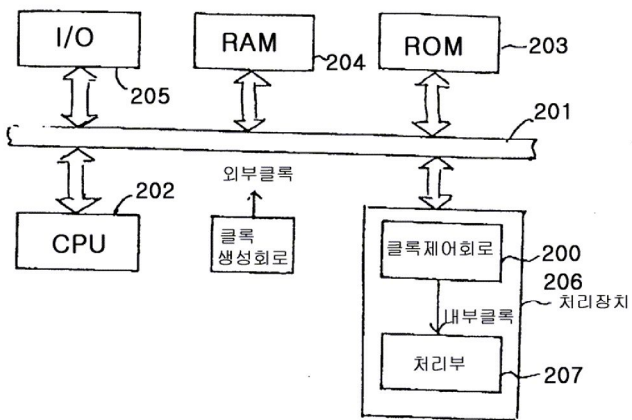
도면 13



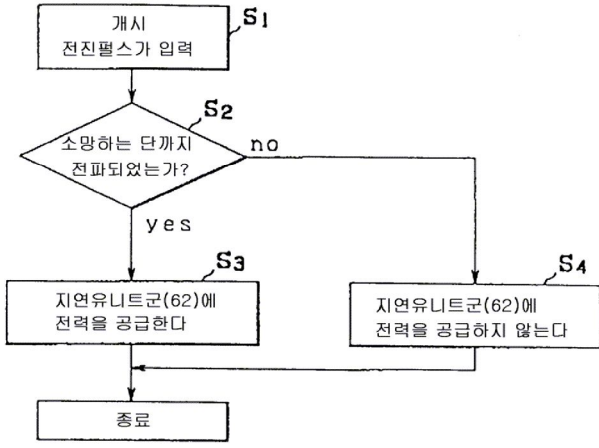
도면 14



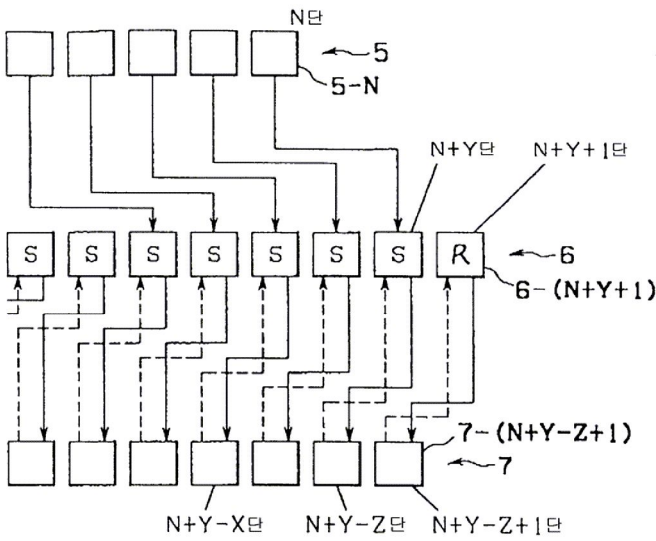
도면 15



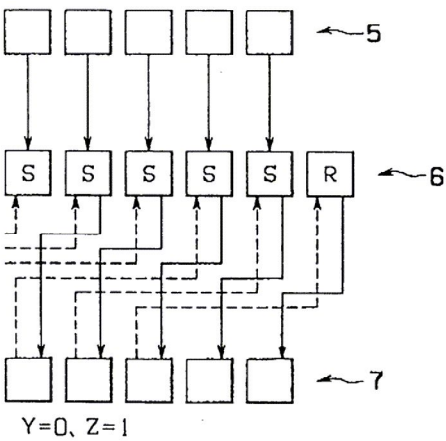
도면 16



도면17a



도면17b



도면18