

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-166325  
(P2018-166325A)

(43) 公開日 平成30年10月25日(2018.10.25)

(51) Int.Cl.  
H03F 1/32 (2006.01)

F I  
H03F 1/32

テーマコード(参考)  
5J500

審査請求 有 請求項の数 13 O L (全 16 頁)

(21) 出願番号 特願2018-94209 (P2018-94209)  
 (22) 出願日 平成30年5月16日(2018.5.16)  
 (62) 分割の表示 特願2018-522164 (P2018-522164) の分割  
 原出願日 平成29年11月8日(2017.11.8)  
 (31) 優先権主張番号 特願2017-39172 (P2017-39172)  
 (32) 優先日 平成29年3月2日(2017.3.2)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000002130  
住友電気工業株式会社  
大阪府大阪市中央区北浜四丁目5番33号  
 (74) 代理人 110000280  
特許業務法人サンクレスト国際特許事務所  
 (72) 発明者 持田 英史  
大阪府大阪市此花区島屋一丁目1番3号  
住友電気工業株式会社大阪製作所内  
 Fターム(参考) 5J500 AA01 AA41 AC22 AC26 AF08  
AK34 AM20 AS14 NG03

(54) 【発明の名称】 歪補償装置及び歪補償方法

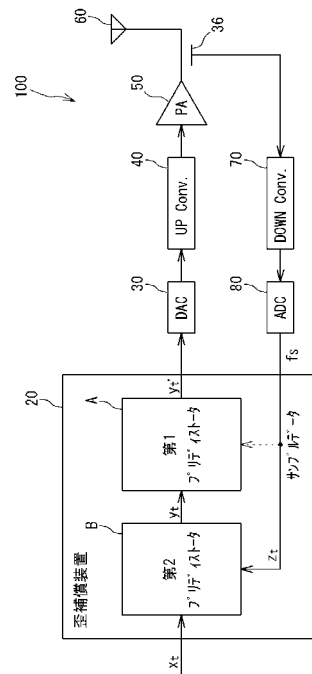
(57) 【要約】 (修正有)

【課題】 増幅器における歪の瞬時的変化に追従する歪補償装置を提供する。

【解決手段】 無線通信機100において、歪補償装置20は、増幅器50における歪を補償する第1プリディスタートAと、増幅器における歪を補償し、かつ、第1プリディスタートより高い頻度で、歪補償特性を更新する第2プリディスタートBを備える。

【選択図】 図1

図1



**【特許請求の範囲】****【請求項 1】**

増幅器における歪を補償する第 1 プリディストータと、  
前記増幅器における前記歪を補償し、かつ、前記第 1 プリディストータよりも高い頻度  
で、歪補償特性を更新する第 2 プリディストータと、  
を備える歪補償装置。

**【請求項 2】**

前記第 2 プリディストータは、前記第 1 プリディストータよりも低次の歪を補償する  
請求項 1 に記載の歪補償装置。

**【請求項 3】**

前記第 2 プリディストータは、前記歪補償特性の更新に用いるサンプルデータの数が、  
前記第 1 プリディストータよりも少ない  
請求項 1 又は 2 に記載の歪補償装置。

**【請求項 4】**

前記第 1 プリディストータは、前記歪補償特性を更新するためのコンピュータプログラ  
ムを実行するプロセッサを有する  
請求項 1 ~ 3 のいずれか 1 項に記載の歪補償装置。

**【請求項 5】**

前記第 1 プリディストータは、アナログプリディストータである  
請求項 1 ~ 3 のいずれか 1 項に記載の歪補償装置。

**【請求項 6】**

前記第 2 プリディストータは、前記歪を補償するためのワイヤードロジック回路を有す  
る  
請求項 1 ~ 5 のいずれか 1 項に記載の歪補償装置。

**【請求項 7】**

前記第 1 プリディストータ及び第 2 プリディストータは、カスケード接続されている  
請求項 1 ~ 6 のいずれか 1 項に記載の歪補償装置。

**【請求項 8】**

前記第 2 プリディストータは、前記第 1 プリディストータの入力側に接続されている  
請求項 7 に記載の歪補償装置。

**【請求項 9】**

前記第 1 プリディストータ及び第 2 プリディストータは、パラレル接続されている  
請求項 1 ~ 6 のいずれか 1 項に記載の歪補償装置。

**【請求項 10】**

増幅器における歪の補償特性を更新するためのコンピュータプログラムを実行するプロ  
セッサを有する第 1 プリディストータと、  
前記第 1 プリディストータでは補償しきれない前記歪の変化に対処すべく歪補償特性を  
更新することで、前記第 1 プリディストータで補償されない歪を補償するワイヤードロジ  
ック回路と、  
を備える歪補償装置。

**【請求項 11】**

増幅器における歪を補償するためのアナログプリディストータと、  
前記アナログプリディストータでは補償しきれない前記歪の変化に対処すべく歪補償特  
性を更新することで、前記アナログプリディストータで補償されない歪を補償するデジタ  
ルプリディストータと、  
を備える歪補償装置。

**【請求項 12】**

第 1 プリディストータ及び第 2 プリディストータによって増幅器における歪を補償し、  
前記第 1 プリディストータよりも高い頻度で、前記第 2 プリディストータの歪補償特性  
を更新する

10

20

30

40

50

歪補償方法。

【請求項 13】

第1プリディストーション及び第2プリディストーションを実行することによって増幅器における歪を補償し、

前記第1プリディストーションでは補償しきれない前記歪の変化に対処すべく、前記第2プリディストーションの歪補償特性を更新する

歪補償方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、増幅器の歪補償に関する。

本出願は、2017年3月2日出願の日本出願第2017-039172号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

【背景技術】

【0002】

増幅器は非線形特性を有する。非線形特性によって生じる信号の歪を補償するため、歪補償技術が用いられる。歪補償技術は、例えば、特許文献1に開示されている。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献1】特開2014-204148号公報

【発明の概要】

【0004】

本発明の一の実施形態における歪補償装置は、増幅器における歪を補償する第1プリディスタートよりも高い頻度で、歪補償特性を更新する第2プリディスタートを備える。

【図面の簡単な説明】

【0005】

【図1】図1は、歪補償装置を備える無線通信機の構成図である。

【図2】図2は、歪補償装置の構成図である。

30

【図3】図3は、歪補償装置の構成図である。

【図4】図4は、歪補償装置の構成図である。

【図5】図5は、歪補償装置の構成図である。

【発明を実施するための形態】

【0006】

[本開示が解決しようとする課題]

増幅器における歪は、瞬時的に変化することがあり、このような歪の瞬時的な変化は、歪補償を困難にする。

【0007】

歪の瞬時的な変化は、例えば、GaN増幅器において生じることがある。GaN増幅器では、Idqドリフトと呼ばれる過渡応答が存在する。このIdqドリフトは、電力が高い状態からオフ状態へ変動したときに、ドレイン電流が設定値よりも低くなる過渡応答である。Idqドリフトのため、GaN増幅器では、信号の電力変動に応じて、歪が瞬時的に変化する。信号の電力変動は、例えば、時分割複信(Time Division Duplex :TDD)のように、送信と受信とを交互に行う通信方式において特に生じやすい。

40

【0008】

増幅器における歪の変化への対処は、例えば、変化した歪に応じて、歪補償装置において用いられる歪補償係数を更新することで行われることがある。歪補償係数を更新することで、歪補償装置による歪補償特性が、歪の変化に応じて更新される。

【0009】

50

I d qドリフト等に起因する歪の瞬時的な変化に追従するため、歪補償特性の更新を頻繁に行うことが考えられる。しかし、歪補償特性の更新のための処理負荷は大きいため、歪の変化に備えて、歪補償特性の更新を頻繁に行うことは必ずしも容易ではない。このため、歪の変化に対処するための新たな技術が望まれる。

【0010】

[本開示の効果]

本開示によれば、歪の変化に対処することができる。

【0011】

[1.実施形態の概要]

(1)実施形態に係る歪補償装置は、増幅器における歪を補償する。増幅器は、例えば、GaN増幅器である。増幅器における歪とは、増幅器が有する非線形特性によって出力信号に生じる歪である。歪補償装置は、第1プリディストータと第2プリディストータとを備えることができる。歪補償装置は、3以上のプリディストータを備えても良い。

10

【0012】

第1プリディストータ及び第2プリディストータは、それぞれ、増幅器における歪を補償する。複数のプリディストータそれぞれは、歪を分担して補償することができる。第2プリディストータは、第1プリディストータよりも高い頻度で、歪補償特性を更新する。歪補償特性の更新は、例えば、歪補償のための歪補償係数を更新することによって行われる。高い頻度で歪補償特性を更新することで、歪の変化に対処するのが容易となる。なお、第1プリディストータは、歪補償特性を更新するものであってもよいし、歪補償特性を更新しないものであってもよい。

20

【0013】

(2)第2プリディストータは、第1プリディストータよりも低次の歪を補償するのが好ましい。この場合、第2プリディストータの処理負荷を抑えることができる。

【0014】

(3)前記第2プリディストータは、前記歪補償特性の更新に用いるサンプルデータの数が、前記第1プリディストータよりも少ないのが好ましい。この場合、第2プリディストータは、高頻度で歪補償特性を更新するのが容易となる。

【0015】

(4)前記第1プリディストータは、前記歪補償特性を更新するためのコンピュータプログラムを実行するプロセッサを有するのが好ましい。この場合、歪補償が複雑な処理であっても、第1プリディストータは、ソフトウェアによって歪補償を容易に実行することができる。

30

【0016】

(5)前記第1プリディストータは、アナログプリディストータであってもよい。この場合、アナログ回路によって歪補償を実行することができる。

【0017】

(6)前記第2プリディストータは、前記歪を補償するためのワイヤードロジック回路を有するのが好ましい。この場合、第2プリディストータは、ワイヤードロジック回路によって、高速に歪補償を実行することができる。

40

【0018】

(7)前記第1プリディストータ及び第2プリディストータは、設計の容易性の観点から、カスケード接続されているのが好ましい。

【0019】

(8)前記第2プリディストータは、設計の容易性の観点から、前記第1プリディストータの入力側に接続されているのが好ましい。ただし、第2プリディストータは、第1プリディストータの出力側に接続されていてもよい。

【0020】

(9)前記第1プリディストータ及び第2プリディストータは、パラレル接続されていてもよい。

50

## 【 0 0 2 1 】

( 1 0 ) 実施形態に係る歪補償装置は、増幅器における歪の補償特性を更新するためのコンピュータプログラムを実行するプロセッサを有する第 1 プリディストータと、前記第 1 プリディストータでは補償しきれない前記歪の変化に対処すべく歪補償特性を更新することで、前記第 1 プリディストータで補償されない歪を補償するワイヤードロジック回路と、を備えることができる。ワイヤードロジック回路は、高速で動作するのが容易であるため、第 1 プリディストータでは補償しきれない歪の変化に対処すべく歪補償特性を更新することで、第 1 プリディストータで補償されない歪を高速で補償することができる。また、プロセッサでは、比較的複雑な処理を容易に担うことができるため、第 1 プリディストータでも歪補償をすることで、ワイヤードロジック回路の回路規模の増大が抑えられる。

10

## 【 0 0 2 2 】

( 1 1 ) 実施形態に係る歪補償装置は、増幅器における歪を補償するためのアナログプリディストータと、前記アナログプリディストータでは補償しきれない前記歪の変化に対処すべく歪補償特性を更新することで、前記アナログプリディストータで補償されない歪を補償するデジタルプリディストータと、を備えることができる。デジタルプリディストータは、アナログプリディストータに比べて歪補償特性の更新を容易に行うことができる。また、アナログプリディストータも歪補償をするため、デジタルプリディストータの処理負荷増大が抑えられる。なお、デジタルプリディストータは、コンピュータプログラムを実行するプロセッサを有していてもよいし、ワイヤードロジック回路を有していても良い。

20

## 【 0 0 2 3 】

( 1 2 ) 実施形態に係る歪補償方法は、第 1 プリディストータ及び第 2 プリディストータによって増幅器における歪を補償し、前記第 1 プリディストータよりも高い頻度で、前記第 2 プリディストータの歪補償特性を更新することを含む。

## 【 0 0 2 4 】

( 1 3 ) 実施形態に係る歪補償方法は、第 1 プリディストーション及び第 2 プリディストーションを実行することによって増幅器における歪を補償し、前記第 1 プリディストーションでは補償しきれない前記歪の変化に対処すべく、前記第 2 プリディストーションの歪補償特性を更新することを含む。

30

## 【 0 0 2 5 】

[ 2 実施形態の詳細 ]

[ 2 . 1 歪補償装置 ]

## 【 0 0 2 6 】

図 1 は、歪補償装置 2 0 を備えた無線通信機 1 0 0 を示している。無線通信機 1 0 0 は、例えば、移動体通信用の基地局又は移動局である。歪補償装置 2 0 は、図示しないベースバンド処理ユニットから出力されたベースバンド信号  $x_t$  を前置歪補償し、歪補償信号  $y_t'$  を出力する。歪補償信号  $y_t'$  は、デジタル - アナログコンバータ ( D A C ) 3 0 によって、アナログ信号に変換されるとともに、アップコンバータ 4 0 によって無線周波数に変換される。アップコンバータ 4 0 から出力された信号は、電力増幅器 ( P A ) 5 0 によって、増幅される。増幅器 5 0 から出力された信号は、アンテナ 6 0 から送信される。

40

## 【 0 0 2 7 】

電力増幅器 5 0 は、例えば、G a N 増幅器である。G a N 増幅器は、I d q ドリフトのため、増幅器 5 0 における歪の瞬時的な変動を生じさせる。

## 【 0 0 2 8 】

通信機 1 0 0 は、増幅器 5 0 の出力をモニタするためのカプラ 3 6 を備える。カプラ 3 6 は、モニタ信号  $z_t$  を出力する。モニタ信号  $z_t$  は、ダウンコンバータ 7 0 によってダウンコンバートされ、アナログ - デジタルコンバータ ( A D C ) 8 0 によって、デジタル信号に変換される。ここで、A D C 8 0 のサンプリング周波数を  $f_s$  とする。モニタ信号  $z_t$  は、サンプリング周波数  $f_s$  でサンプリングされた、離散的なサンプルデータとなる

50

。

## 【0029】

サンプルデータ  $z_t$  は、歪補償装置 20 に与えられる。歪補償装置 20 は、サンプルデータ  $z_t$  に基づいて、歪補償特性を更新する。

## 【0030】

図 1 に示す歪補償装置 20 は、複数のプリディストータ (Predistorter) A, B を備える。複数のプリディストータは、それぞれが、プリディストーション (Predistortion) を実行する。図 1 において、プリディストータ A 及びプリディストータ B は、カスケード接続されている。なお、図 1 においては、歪補償装置 20 は、2 つのプリディストータ A, B を備えるが、3 以上のプリディストータを備えても良い。

10

## 【0031】

プリディストータ A (第 1 プリディストータ) は、増幅器における歪のうち、時間的に変化しない又は時間的な変化が緩やかな歪の補償を担う。時間的な変化が緩やかな歪とは、例えば、温度変化による歪の変化分である。

## 【0032】

プリディストータ B (第 2 プリディストータ) は、歪補償に関して、プリディストータ A を補完する。すなわち、プリディストータ B は、プリディストータ A では補償しきれない歪成分の補償を担う。実施形態のプリディストータ B は、プリディストータ A によって補償される歪よりも、時間的な変化が早い歪を補償する。時間的な変化が早い歪は、例えば、I dq ドリフトによって瞬時的に変化する歪である。

20

## 【0033】

プリディストータ A は、時間的に変化しない又は時間的な変化が緩やかな歪の補償をするため、歪補償特性を、更新しない又は低頻度で更新する。一方、プリディストータ B は、時間的な変化が速い歪に対処するため、歪補償特性を高頻度で更新する。

## 【0034】

図 2 は、プリディストータ A 及びプリディストータ B それぞれの一例を示している。図 2 において、プリディストータ 21 A は、図 1 のプリディストータ A の一例である。図 2 において、プリディストータ 21 B は、図 1 のプリディストータ B の一例である。

## 【0035】

プリディストータ 21 A は、デジタル前置歪補償 (Digital Predistortion :DPD) を実行するよう構成されている。プリディストータ 21 A は、補償モジュール 210 を備える。補償モジュール 210 は、ベースバンド信号 (ここでは、プリディストータ 21 B から出力された信号  $y_t$ ) に対して、前置歪補償をする。補償モジュール 210 は、例えば、field-programmable gate array (FPGA) のようなワイヤードロジック回路によって構成されている。歪補償は、歪補償係数 215 a に基づいて行われる。歪補償係数 215 a は、プリディストータ 21 A の歪補償特性を決めるパラメータである。なお、ワイヤードロジック回路は、FPGA のように再構成可能な論理回路であってもよいし、再構成不能な論理回路であってもよい。

30

## 【0036】

プリディストータ 21 A による歪補償は、例えば 5 次又は 7 次といった比較的高次までの歪 (高次の非線形性) を補償する。高次までの歪を補償するため、精度の良い歪補償が可能であるが、歪補償係数 215 a の数は多くなる。

40

## 【0037】

プリディストータ 21 A は、歪補償係数 215 a を更新する係数更新モジュール 213 を備える。実施形態において、係数更新モジュール 213 は、プロセッサ 211 及びメモリ 212 を有するコンピュータによって構成されている。プロセッサ 211 は、メモリ 212 に記憶されたコンピュータプログラム 214 を実行する。

## 【0038】

コンピュータプログラム 214 は、歪補償係数 215 a を更新する係数更新処理 214 a をプロセッサ 211 に実行させるためのプログラムコードを含む。係数更新処理 214

50

aは、例えば、増幅器50の出力 $z_t$ を示すサンプルデータ215bに基づいて行われる。なお、プリディストータ21Aが取得したサンプルデータ215bは、メモリ212に保存される。

【0039】

プロセッサ211は、係数更新処理214aにおいて、例えば、所定時間（例えば、数分）内にサンプリングされた数千個のサンプルデータ215bに基づいて、最小二乗法に基づき正規方程式を解くことで、歪補償係数215aを計算する。計算された歪補償係数215aは、補償モジュール210にて用いられる歪補償係数を更新するため、歪補償モジュール210に与えられる。

【0040】

最小二乗法のような計算方法は、精度良く係数を計算することができるが、処理負荷が大きく、処理時間も長くなる。しかも、計算すべき係数の数が多いことも処理負荷を大きくする。また、最小二乗法のように、係数更新のために大量のサンプルデータ215bが必要となる計算方法を用いた場合、大量のサンプルデータ215bを得るための時間が必要である。

【0041】

しかし、これらは、プリディストータ21Aにおいては、問題とならない。プロセッサ211による係数更新処理214aは、例えば、数分に1回程度の低頻度で実行されるため、係数更新のための十分な時間的余裕があり、処理に時間を要することは問題とならない。しかも、温度変化による歪の変化は、緩やかに生じるため、低頻度の係数更新でも、緩やかな歪の変化に追従することができる。ただし、プリディストータ21Aは、Idqドリフト等によって生じる歪の瞬時的な変化に追従することはできない。歪の瞬時的な変化は、プリディストータ21Bによって対処される。

【0042】

なお、プリディストータ21Aは、係数更新モジュール213を有していなくても良い。この場合、プリディストータ21Aは、サンプルデータ215bを取得する必要がない。プリディストータ21Aが係数更新モジュール213を有していない場合、歪の時間的な変化は、プリディストータ21Bによって対処される。

【0043】

プリディストータ21Bは、前述のように、プリディストータ21Aでは対処できない歪の変化、特に瞬時的な歪の変化に対処する。図2のプリディストータ21Bは、デジタル前置歪補償(DPD)を実行するよう構成されている。図2のプリディストータ21Bは、プリディストータAの入力側(プリディストータAとベースバンド処理ユニットとの間)に接続されている。プリディストータ21Bは、例えば、field-programmable gate array(FPGA)のようなワイヤードロジック回路によって構成されている。なお、ワイヤードロジック回路は、FPGAのように再構成可能な論理回路であってもよいし、再構成不能な論理回路であってもよい。

【0044】

プリディストータ21Bは、補償モジュール217として機能する回路を含む。補償モジュール217は、ベースバンド信号(ここでは、ベースバンド処理ユニットから出力された信号 $x_t$ )に対して前置歪補償をするためのワイヤードロジック回路を備える。歪補償は、プリディストータ21Bの係数記憶部に保存された歪補償係数219aに基づいて、行われる。歪補償係数219aは、プリディストータ21Bの歪補償特性を決めるパラメータである。

【0045】

プリディストータ21Bによる歪補償は、例えば3次といった比較的低次の歪(低次の非線形性)を補償する。低次の歪を補償するため、歪補償係数219aの数は少なく済む。この結果、プリディストータ21における処理負荷は小さい。したがって、プリディストータ21Bの回路規模の増大が抑制される。

【0046】

10

20

30

40

50

プリディストータ 21B からみると、増幅器 50 における歪のうち、プリディストータ 21A によって補償しきれなかった歪成分が見えるだけなので、プリディストータ 21B が補償すべき歪の非線形性はさほど強くない。したがって、プリディストータ 21B が、低次の歪しか補償できなくても、さほど問題とはならない。

【0047】

プリディストータ 21B は、歪補償係数 219a を更新する係数更新モジュール 218 として機能する回路を含む。係数更新モジュール 218 は、歪補償係数 219a を更新するためのワイヤードロジック回路を備える。係数更新は、例えば、増幅器 50 の出力  $z_t$  を示すサンプルデータ 219b に基づいて行われる。なお、プリディストータ 21B が取得したサンプルデータ 219b は、係数更新モジュール 218 のサンプルデータ記憶部に保存される。

10

【0048】

係数更新モジュール 218 は、プリディストータ A よりも高頻度で、歪補償係数 219a を更新するための計算を行う。係数更新モジュール 218 は、例えば、サンプルデータ 219b のサンプリング周期  $1/f_s$  [s] 毎に歪補償係数 219a を更新するか、又はサンプリング周期  $1/f_s$  [s] の数倍程度の周期毎に歪補償係数 219a を更新する。係数更新モジュール 218 は、例えば、1個又は数個のサンプルデータ 219b に基づいて、Least Mean Square (LMS) によって歪補償係数 219a を計算する。計算された歪補償係数 219a は、補償モジュール 217 にて用いられる歪補償係数を更新するため、補償モジュール 217 に与えられる。

20

【0049】

なお、係数更新モジュール 218 が 1 回の係数更新に用いるサンプルデータ 219b の数は少ないため、サンプルデータ 219b を記憶するための係数記憶部としては、係数更新モジュール 218 内に設けられたいくつかのフリップフロップで足り、大容量のメモリである必要はない。

【0050】

LMS に基づく歪補償係数は、例えば、以下の式 (1) (2) に基づいて計算される。計算された歪補償係数を用いた歪補償は、式 (3) に基づいて行われる。

【数 1】

$$\tilde{h}_t = h_{t-1} - \alpha \cdot K^H(z_{t-1}) \cdot (K(z_{t-1}) \cdot h_{t-1} - y_{t-1}) \quad \dots (1)$$

30

【数 2】

$$h_t = \lambda \cdot h_{t-1} + (1 - \lambda) \cdot \tilde{h}_t \quad \dots (2)$$

【数 3】

$$y_t = K(x_t) \cdot h_t \quad \dots (3)$$

【0051】

ここで、 $t$  は離散時間であり、 $\alpha$  は、所定の係数、 $K$  は歪補償のための多項式ベクトル、 $z_{t-1}$  は離散時間  $t-1$  におけるサンプルデータ、 $h_t$ 、 $h_{t-1}$  は離散時間  $t$ 、 $t-1$  における歪補償係数、 $y_t$ 、 $y_{t-1}$  は離散時間  $t$ 、 $t-1$  におけるプリディストータ 21B の出力 (歪補償後信号)、 $\lambda$  は重みである ( $0 < \lambda < 1$ )。

40

【0052】

式 (1) は、サンプルデータ  $z_{t-1}$  とプリディストータ 21B の出力  $y_{t-1}$  に基づいて、歪補償係数  $h_{t-1}$  の更新値を計算する。式 (2) は、式 (1) で更新された値の時間平均を計算する。式 (3) の計算は、式 (2) で計算された歪補償係数の時間平均を用いて行われる。なお、プリディストータ 21B が、サンプルデータを取得する際に、1 サンプリング周期  $1/f_s$  [s] 以上の遅延  $d$  が生じる場合には式 (1) (2) において

50

、 $t - 1$ とある部分は、 $t - d$ とすればよい。

【0053】

LMSのような計算方法は、最小二乗法に比べて、計算精度は劣るが、比較的簡易な計算であるため処理負荷が小さい。また、計算すべき係数の数や、係数の更新のために必要なサンプルデータ219bの数も少なく済む。

【0054】

係数更新モジュール218による係数更新は、例えば、サンプリング周期 $1/f_s[s]$ 毎又はサンプリング周期 $1/f_s[s]$ の数倍程度の周期毎に高頻度で実行される。また、係数更新モジュール218は、ワイヤードロジックであるため高速に計算をすることができる。したがって、係数更新モジュール218は、Idqドリフト等によって生じる歪の瞬時的な変化に追従して、歪補償係数219aを速やかに更新することができる。

10

【0055】

係数更新モジュール218では、高頻度で係数を更新するが、更新1回あたりの処理負荷は大きくないため、処理負荷の大きい係数更新処理を高頻度で行う場合に比べて、処理負荷を下げることができ、回路規模も抑制される。

【0056】

図2の歪補償装置20によれば、プリディスタータ21Aによって、Idqドリフト等による瞬時的な歪の変化が生じるとき以外の通常動作時の歪を補償しつつ、プリディスタータ21Bによって、Idqドリフト等による瞬時的な歪の変化にリアルタイムで追従し、歪補償をすることができる。しかも、プリディスタータ21Aが設けられていることで、プリディスタータ21Bの処理負荷の増大が抑えられ、ハードウェア規模の増大が抑えられる。

20

【0057】

なお、図2の例では、プリディスタータ21Bは、ワイヤードロジック回路によって構成されているが、プリディスタータ21Aと同様に、歪補償係数の更新に関しては、プロセッサとメモリを有するコンピュータによって構成されていてもよい。この場合、プリディスタータ21Bにおける係数更新処理は、プロセッサがメモリに記憶されたコンピュータプログラムを実行することにより行われる。

【0058】

[2.2 歪補償装置の他の例]

30

【0059】

図3は、歪補償装置20の他の例を示している。図3に示す歪補償装置20は、カスケード接続されたプリディスタータ22A及びプリディスタータ22Bを備える。図3において、プリディスタータ22Aは、図1のプリディスタータAの一例である。図3において、プリディスタータ22Bは、図1のプリディスタータBの一例である。

【0060】

図3のプリディスタータ22Aは、アナログ前置歪補償(Analog Predistortion:APD)をする。プリディスタータ22Aは、増幅器50における増幅特性の逆特性を有するアナログ回路によって構成されている。図3のプリディスタータ22Aは、図2のプリディスタータ21Aから係数更新機能を除いたものと機能的に等価である。図3のプリディスタータ22Aは、歪補償特性の更新機能を有しないため、歪の時間的变化には対処できない。歪の瞬時的変化を含む歪の時間的变化への対処は、プリディスタータ22Bによってなされる。

40

【0061】

プリディスタータ22Bは、デジタル前置歪補償(DPD)を実行するよう構成されている。プリディスタータ22Bの構成及び機能は、図2のプリディスタータ21Bと同様である。なお、プリディスタータ22Bにおける係数更新モジュールは、メモリとプロセッサを有するコンピュータによって構成されてもよい。

【0062】

図3の歪補償装置20によれば、プリディスタータ22Aによって、増幅器50におけ

50

る歪のうち、時間的な変化分を除く歪成分を補償しつつ、プリディストータ 2 2 B によって、歪の時間的な変化にリアルタイムで追従し、歪補償をすることができる。しかも、プリディストータ 2 2 A が設けられていることで、プリディストータ 2 2 B の処理負荷の増大が抑えられ、ハードウェア規模の増大が抑えられる。

【 0 0 6 3 】

なお、図 3 では、プリディストータ 2 2 B とプリディストータ 2 2 A との間に、D A C 2 2 C が設けられている。プリディストータ 2 2 B から出力されたデジタル歪補償信号は、D A C 2 2 C によって、アナログ信号に変換される。プリディストータ 2 2 A には、アナログ歪補償信号が与えられる。プリディストータ 2 2 A の出力は、アナログ信号であるため、図 1 において歪補償装置 2 0 とアップコンバータ 4 0 との間に設けられている D A C 3 0 は、図 3 においては不要である。

10

【 0 0 6 4 】

図 4 は、歪補償装置 2 0 のさらに他の例を示している。図 4 に示す歪補償装置 2 0 は、カスケード接続されたプリディストータ A 及びプリディストータ B を備える。図 4 では、プリディストータ A 及びプリディストータ B の配置が図 1 とは逆になっており、プリディストータ B は、プリディストータ A の出力側に接続されている。

【 0 0 6 5 】

図 4 の歪補償装置 2 0 においても、プリディストータ A によって、I d q ドリフト等による瞬時的な歪の変化が生じるとき以外の通常動作時の歪を補償しつつ、プリディストータ B によって、I d q ドリフト等による瞬時的な歪の変化にリアルタイムで追従し、歪補償をすることができる。しかも、プリディストータ A が設けられていることで、プリディストータ B の処理負荷の増大が抑えられ、ハードウェア規模の増大が抑えられる。

20

【 0 0 6 6 】

図 5 は、歪補償装置 2 0 のさらに他の例を示している。図 5 に示す歪補償装置 2 0 は、パラレル接続されたプリディストータ A 及びプリディストータ B を備える。図 5 では、ベースバンド信号  $x_t$  は、プリディストータ A 及びプリディストータ B に与えられる。プリディストータ A は、I d q ドリフト等による瞬時的な歪の変化が生じるとき以外の通常動作時の歪を補償し、第 1 歪補償信号  $y^1_t$  を出力する。プリディストータ B は、I d q ドリフト等による瞬時的な歪に変化に対処し、第 2 歪補償信号  $y^2_t$  を出力する。第 1 歪補償信号  $y^1_t$  と第 2 歪補償信号  $y^2_t$  とは、加算器によって加算される。歪補償装置 2 0 は、加算された歪補償信号  $y_t$  を出力する。

30

【 0 0 6 7 】

図 5 の歪補償装置 2 0 においても、プリディストータ A によって、I d q ドリフト等による瞬時的な歪の変化が生じるとき以外の通常動作時の歪を補償しつつ、プリディストータ B によって、I d q ドリフト等による瞬時的な歪の変化にリアルタイムで追従し、歪補償をすることができる。しかも、プリディストータ A が設けられていることで、プリディストータ B の処理負荷の増大が抑えられ、ハードウェア規模の増大が抑えられる。

【 0 0 6 8 】

[ 3 . 付記 ]

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味、及び範囲内でのすべての変更が含まれることが意図される。

40

【 符号の説明 】

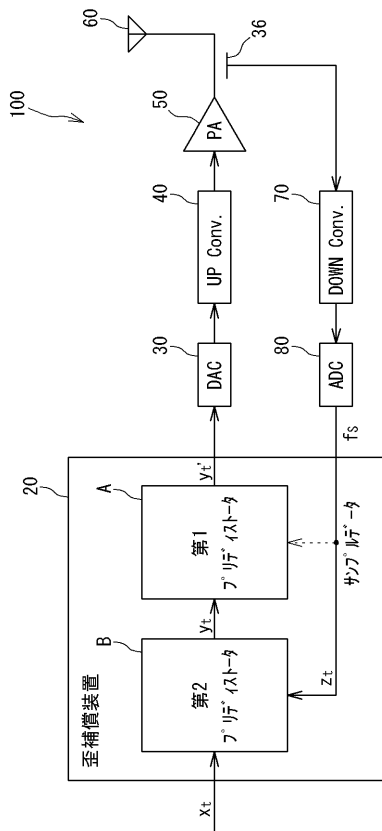
【 0 0 6 9 】

2 0 歪補償装置  
 2 1 A 第 1 プリディストータ  
 2 1 B 第 2 プリディストータ  
 2 2 A 第 1 プリディストータ  
 2 2 B 第 2 プリディストータ

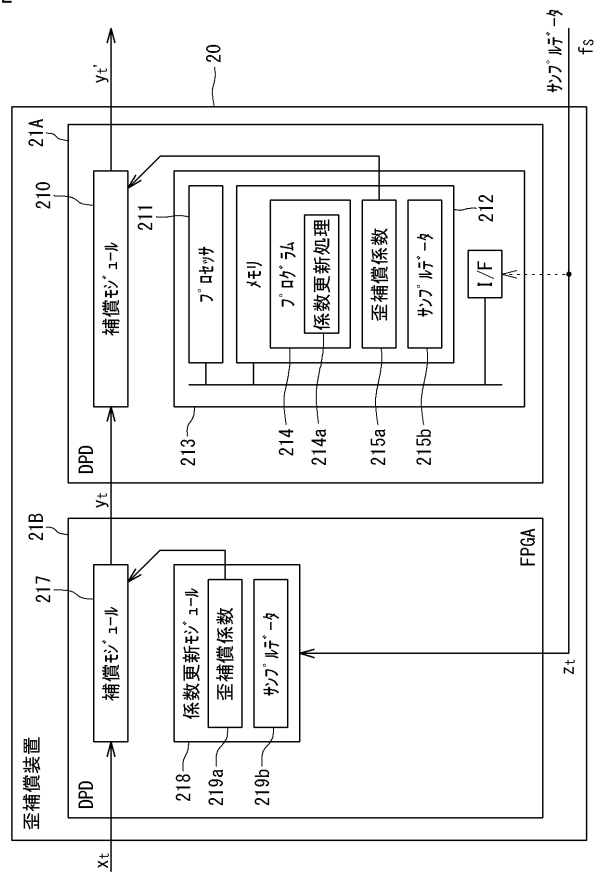
50

- 30 DAC
- 40 アップコンバータ
- 50 電力増幅器
- 60 アンテナ
- 70 ダウンコンバータ
- 80 ADC
- A 第1プリディストータ
- B 第2プリディストータ

【図1】  
図1

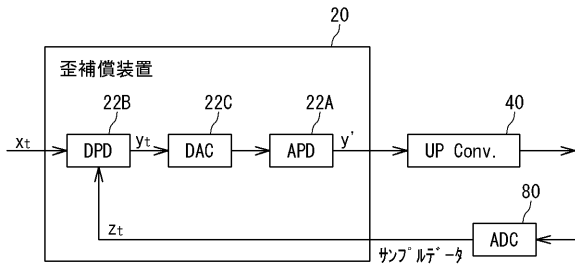


【図2】  
図2



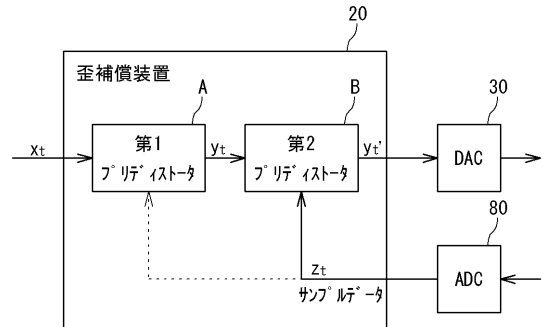
【 図 3 】

図 3



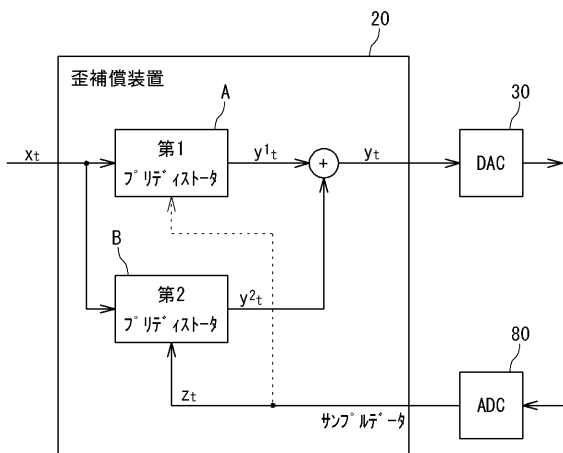
【 図 4 】

図 4



【 図 5 】

図 5



## 【手続補正書】

【提出日】平成30年5月16日(2018.5.16)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

増幅器における非線形性歪を補償する第1プリディストータと、  
前記増幅器における前記非線形性歪を補償し、かつ、前記第1プリディストータよりも高い頻度で、歪補償特性を更新する第2プリディストータと、  
を備える歪補償装置。

【請求項2】

前記第2プリディストータは、前記第1プリディストータよりも低次の前記非線形性歪を補償する

請求項1に記載の歪補償装置。

【請求項3】

前記第2プリディストータは、前記第1プリディストータよりも短い周期で前記歪補償特性を更新する

請求項1又は請求項2に記載の歪補償装置。

【請求項4】

前記第2プリディストータは、前記歪補償特性の更新に用いるサンプルデータの数、前記第1プリディストータよりも少ない

請求項1～3のいずれか1項に記載の歪補償装置。

【請求項5】

前記第1プリディストータは、前記歪補償特性を更新するためのコンピュータプログラムを実行するプロセッサを有する

請求項1～4のいずれか1項に記載の歪補償装置。

【請求項6】

前記第1プリディストータは、アナログプリディストータである

請求項1～4のいずれか1項に記載の歪補償装置。

【請求項7】

前記第2プリディストータは、前記非線形性歪を補償するためのワイヤードロジック回路を有する

請求項1～6のいずれか1項に記載の歪補償装置。

【請求項8】

前記第1プリディストータ及び第2プリディストータは、カスケード接続されている

請求項1～7のいずれか1項に記載の歪補償装置。

【請求項9】

前記第2プリディストータは、前記第1プリディストータの入力側に接続されている

請求項8に記載の歪補償装置。

【請求項10】

前記第1プリディストータ及び第2プリディストータは、パラレル接続されている

請求項1～7のいずれか1項に記載の歪補償装置。

【請求項11】

増幅器における非線形性歪の補償特性を更新するためのコンピュータプログラムを実行するプロセッサを有する第1プリディストータと、

前記第1プリディストータでは補償しきれない前記非線形性歪の変化に対処すべく歪補償特性を更新することで、前記第1プリディストータで補償されない非線形性歪を補償す

るワイヤードロジック回路と、  
を備える歪補償装置。

【請求項 1 2】

増幅器における非線形性歪を補償するためのアナログプリディストータと、  
前記アナログプリディストータでは補償しきれない前記非線形性歪の変化に対処すべく  
歪補償特性を更新することで、前記アナログプリディストータで補償されない非線形性歪  
を補償するデジタルプリディストータと、  
を備える歪補償装置。

【請求項 1 3】

第 1 プリディストータによって増幅器における非線形性歪を補償するとともに、第 2 プリ  
ディストータによって増幅器における非線形性歪を補償し、  
前記第 1 プリディストータよりも高い頻度で、前記第 2 プリディストータの歪補償特性  
を更新する  
歪補償方法。

【請求項 1 4】

第 1 プリディストーションを実行することによって増幅器における非線形性歪を補償する  
とともに、第 2 プリディストーションを実行することによって増幅器における非線形性歪  
を補償し、  
前記第 1 プリディストーションでは補償しきれない前記非線形性歪の変化に対処すべく、  
前記第 2 プリディストーションの歪補償特性を更新する  
歪補償方法。

【手続補正書】

【提出日】平成30年7月24日(2018.7.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

G a N を用いた増幅器の出力に生じる非線形性歪に含まれる、所定次数の第 1 非線形性  
歪及び前記第 1 非線形性歪よりも低次の第 2 非線形性歪のうち、前記第 1 非線形性歪を補  
償する第 1 プリディストータと、  
前記第 2 非線形性歪を前記第 1 プリディストータとは個別に補償する第 2 プリディスト  
ータと、  
を備える歪補償装置。

【請求項 2】

前記第 1 プリディストータは、前記第 1 非線形性歪の補償に用いる第 1 歪補償特性を所  
定の頻度で更新し、

前記第 2 プリディストータは、前記第 2 非線形性歪の補償に用いる第 2 歪補償特性を、  
前記第 1 プリディストータよりも高い頻度で更新する

請求項 1 に記載の歪補償装置。

【請求項 3】

前記 G a N を用いた増幅器の出力であって前記第 1 プリディストータ及び前記第 2 プリ  
ディストータによって補償された出力をモニタしたモニタ信号が、前記第 1 プリディスト  
ータ及び前記第 2 プリディストータそれぞれに与えられ、

前記第 1 プリディストータ及び前記第 2 プリディストータは、前記モニタ信号に基づい  
て各々の歪補償特性を更新する  
請求項 2 に記載の歪補償装置。

【請求項 4】

前記第2プリディストータは、前記第2歪補償特性の更新に用いるサンプルデータの数が、前記第1プリディストータよりも少ない

請求項2又は3に記載の歪補償装置。

【請求項5】

前記第1プリディストータは、前記第1歪補償特性を更新するためのコンピュータプログラムを実行するプロセッサを有する

請求項2～4のいずれか1項に記載の歪補償装置。

【請求項6】

前記第1プリディストータは、アナログプリディストータである

請求項1～4のいずれか1項に記載の歪補償装置。

【請求項7】

前記第2プリディストータは、前記第2非線形性歪を補償するためのワイヤードロジック回路を有する

請求項1～6のいずれか1項に記載の歪補償装置。

【請求項8】

前記第1プリディストータ及び第2プリディストータは、カスケード接続されている

請求項1～7のいずれか1項に記載の歪補償装置。

【請求項9】

前記第2プリディストータは、前記第1プリディストータの入力側に接続されている

請求項8に記載の歪補償装置。

【請求項10】

前記第1プリディストータ及び第2プリディストータは、パラレル接続されている

請求項1～7のいずれか1項に記載の歪補償装置。

【請求項11】

G a Nを用いた増幅器の出力に生じる非線形性歪に含まれる、所定次数の第1非線形性歪及び前記第1非線形性歪よりも低次の第2非線形性歪のうち、第1プリディストータによって、前記第1非線形性歪を補償するとともに、第2プリディストータによって、前記第2非線形性歪を前記第1プリディストータとは個別に補償する

歪補償方法。

【請求項12】

G a Nを用いた増幅器の出力に生じる非線形性歪に含まれる、所定次数の第1非線形性歪及び前記第1非線形性歪よりも低次の第2非線形性歪のうち、前記第1非線形性歪を補償する第1プリディストータ及び前記第2非線形性歪を前記第1プリディストータとは個別に補償する第2プリディストータを備えた歪補償装置において、前記第2プリディストータが前記第2非線形性歪の補償に用いる第2歪補償特性を更新する処理をコンピュータに実行させるためのコンピュータプログラムであって、

コンピュータに、

前記第1プリディストータによって前記第1非線形性歪の補償に用いられる第1歪補償特性とは別個の前記第2歪補償特性を更新する処理を実行させるためのコンピュータプログラム。

【請求項13】

G a Nを用いた増幅器の出力に生じる非線形性歪に含まれる、所定次数の第1非線形性歪及び前記第1非線形性歪よりも低次の第2非線形性歪のうち、前記第1非線形性歪を補償する第1プリディストータ及び前記第2非線形性歪を前記第1プリディストータとは個別に補償する第2プリディストータを備えた歪補償装置において、前記第2プリディストータが前記第2非線形性歪の補償に用いる第2歪補償特性を更新する処理をコンピュータに実行させるためのコンピュータプログラムを記憶した記憶媒体であって、

前記コンピュータプログラムは、

コンピュータに、

前記第1プリディストータによって前記第1非線形性歪の補償に用いられる第1歪補償

特性とは別個の前記第2歪補償特性を更新する処理を実行させるためのコンピュータプログラムである  
記憶媒体。