



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월14일
 (11) 등록번호 10-1394157
 (24) 등록일자 2014년05월07일

(51) 국제특허분류(Int. Cl.)
 H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
 H01L 21/336 (2006.01) H01L 29/78 (2006.01)
 (21) 출원번호 10-2008-0032816
 (22) 출원일자 2008년04월08일
 심사청구일자 2013년03월05일
 (65) 공개번호 10-2009-0107346
 (43) 공개일자 2009년10월13일
 (56) 선행기술조사문헌
 KR100288494 B1*
 KR1020070009140 A*
 US05792690 A
 US06077745 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
윤재만
 경기도 화성시 효행로 1076-9, 안화마을우남퍼스트빌2단지아파트 207동 1702호 (병점동)
오용철
 경기도 수원시 영통구 청명로 100, 청명마을건영APT 426동 702호 (영통동)
 (뒷면에 계속)
 (74) 대리인
박영우

전체 청구항 수 : 총 9 항

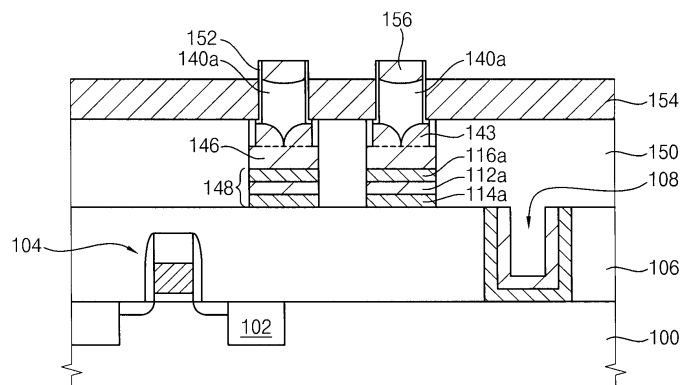
심사관 : 손희수

(54) 발명의 명칭 **수직 필러 트랜지스터, 이를 포함하는 디램 소자, 수직필러 트랜지스터 형성 방법 및 반도체 박막 형성 방법.**

(57) 요약

수직 필러 트랜지스터, 이를 포함하는 디램 소자, 수직 필러 트랜지스터 형성 방법 및 반도체 박막 형성 방법에서, 상기 수직 필러 트랜지스터는 제1 기판을 덮는 절연막, 상기 절연막 상에 구비되고, 적어도 한층의 금속 실리콘사이드막을 포함하는 도전성 구조물, 상기 도전성 구조물 상에 구비되고 필러 형상을 갖는 반도체 패턴, 상기 도전성 구조물과 이격되어 반도체 패턴의 중심 부위를 감싸는 게이트 및 상기 게이트 양측에 위치하는 반도체 패턴 표면 아래에 구비되는 불순물 영역들을 포함한다. 상기 수직 필러 트랜지스터는 반도체 패턴 하부와 전기적으로 연결되는 도전성 구조물이 구비되므로 소자가 고집적화된다.

대표도 - 도9



(72) 발명자

김희중

서울특별시 마포구 독막로42길 2, 엘지 아파트 10
9동 1801호 (염리동, 마포자이)

정현우

서울특별시 중랑구 상봉로16가길 25 (망우동)

김현기

경기도 화성시 동탄중앙로 189, 시범다운마을 월드
메르디앙반도유보라아파트 336동 1001호 (반송동)

김강욱

서울특별시 성동구 마조로12길 3, 1층 1호 (마장동)

특허청구의 범위

청구항 1

제1 기판을 덮는 절연막;

상기 절연막 상에 구비되고, 적어도 한층의 금속 실리사이드막을 포함하는 도전성 구조물;

상기 도전성 구조물 상에 구비되고 필러 형상을 갖는 반도체 패턴;

상기 도전성 구조물과 이격되어 반도체 패턴의 중심 부위를 감싸는 게이트; 및

상기 게이트 양측에 위치하는 반도체 패턴 표면 아래에 구비되는 제1 및 제2 불순물 영역들을 포함하고, 상기 게이트 하부에 위치하는 상기 제1 불순물 영역은 상기 도전성 구조물과 전기적으로 연결되는 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 2

제1항에 있어서, 상기 도전성 구조물 상부면에 상기 도전성 구조물과 동일한 평판 형상을 갖는 하부 반도체 구조물이 더 구비되는 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 도전성 구조물은 폴리실리콘 및 금속 중 적어도 하나의 박막이 더 포함되는 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 6

제1항에 있어서, 상기 제1 기판은 반도체 물질로 이루어지고, 상기 제1 기판 상에는 전기적 소자들이 형성된 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 7

삭제

청구항 8

제1 기판을 덮는 절연막을 형성하는 단계;

상기 절연막 상에 버퍼 폴리실리콘막 및 금속막을 위치시키는 단계;

상기 버퍼 폴리실리콘막 및 금속막을 반응시키면서 상기 절연막 상에 반도체 물질을 접합시켜, 상기 절연막 상에 금속 실리사이드를 포함하는 도전막 및 반도체막을 형성하는 단계;

상기 반도체막 및 도전막을 1차 패터닝하여, 적어도 한층의 금속 실리사이드막을 포함하는 도전성 구조물을 형성하는 단계;

상기 패터닝된 반도체막을 2차 패터닝하여 도전성 구조물 상에 구비되고 필러 형상을 갖는 반도체 패턴을 형성하는 단계;

상기 반도체 패턴의 상, 하부에 제1 및 제2 불순물 영역을 형성하고, 하부에 위치하는 상기 제1 불순물 영역은 상기 도전성 구조물과 전기적으로 연결되도록 형성하는 단계; 및

상기 반도체 패턴의 중심부를 둘러싸는 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 필러 트랜지스터 형성 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제1 기판을 덮는 절연막;

상기 절연막 상에 구비되고, 적어도 한층의 금속 실리사이드막을 포함하고, 제1 방향으로 연장되는 라인 형상을 갖는 도전성 구조물;

상기 도전성 구조물 상에 구비되고, 필러 형상을 갖는 반도체 패턴들;

상기 도전성 구조물과 이격되어 각 반도체 패턴의 중심 부위를 감싸는 게이트들; 및

상기 게이트들 양측에 위치하는 반도체 패턴 표면 아래에 구비되는 제1 및 제2 불순물 영역들을 포함하고, 상기 게이트들 하부에 위치하는 상기 제1 불순물 영역은 상기 도전성 구조물과 전기적으로 연결되는 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 15

제14항에 있어서, 상기 도전성 구조물은 서로 이격되면서 평행하게 배치되도록 다수개가 구비되는 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 16

제15항에 있어서, 상기 게이트들은 상기 제1 방향과 수직하는 제2 방향으로 연장되는 라인 형상을 갖고, 상기 제2 방향으로 반복 배치된 반도체 패턴들을 감싸는 것을 특징으로 하는 수직형 필러 트랜지스터.

청구항 17

삭제

청구항 18

삭제

청구항 19

제14항에 있어서,

상기 도전성 구조물의 일부 영역 상에 구비되고, 플래너 트랜지스터 형성을 위한 평탄한 상부면을 갖는 제2 반도체 패턴;

상기 제2 반도체 패턴 상에 구비되고 게이트 산화막 및 게이트 전극이 적층된 게이트 구조물; 및

상기 게이트 구조물 양측의 제2 반도체 패턴 표면 아래에 구비되는 소오스/드레인을 더 포함하는 것을 특징으로

하는 수직형 필러 트랜지스터.

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 수직 필러 트랜지스터, 이를 포함하는 디램 소자, 수직 필러 트랜지스터 형성 방법 및 반도체 박막 형성 방법에 관한 것이다. 보다 상세하게는, 수직 방향으로 복수의 층으로 적층할 수 있는 수직 필러 트랜지스터, 이를 형성하는 방법, 반도체 박막의 형성 방법 및 디램 소자에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체 소자가 고집적화됨에 따라, 액티브 영역의 크기가 감소하게 되었고, 상기 액티브 영역에 형성되는 MOS 트랜지스터의 채널 길이가 줄어들게 되었다. 상기 MOS 트랜지스터의 채널 길이가 감소되면, 채널 영역에서의 전계나 전위에 미치는 소스 및 드레인의 영향이 현저해지는데 이러한 현상을 단채널 효과(short channel effect)라 한다. 상기와 같이 단채널 효과가 발생하게 되면, 누설 전류가 증가되고, 항복 전압이 낮아지게 되며, 드레인 전압에 따른 전류가 증가하게 된다. 때문에, 상기 MOS트랜지스터가 게이트에 의해 제어되기가 어려워지게 된다.

[0003] 따라서, 기판 상에 형성되는 소자들의 크기를 축소시키면서 소자의 성능을 극대화시키기 위한 여러 가지 방법들이 연구 개발되고 있다. 최근에는, 필러 형상을 갖는 반도체 패턴을 형성함으로써 기판에 대해 수직인 방향으로 채널이 형성되는 수직형 필러 트랜지스터를 개발하고 있다. 상기 수직형 필러 트랜지스터는 기판의 수평 면적이 넓어지지 않더라도 필러 형상의 반도체 패턴 높이를 증가시킴으로써 원하는 채널 길이를 갖도록 조절할 수 있다.

[0004] 그런데, 상기 수직형 필러 트랜지스터는 벌크 기판 상에 형성되는 것이 아니라 반도체 패턴 상에 형성되기 때문에 상기 반도체 패턴의 특성이 트랜지스터의 성능에 매우 중요한 역할을 하게 된다. 그러나, 상기 벌크 기판과 같이 결정 결함이 거의 없는 반도체 패턴을 형성하는 것이 용이하지 않다.

[0005] 또한, 상기 수직형 필러 트랜지스터를 형성하더라도 반도체 소자를 집적화시키는데는 한계가 있다. 때문에, 상기 수직형 필러 트랜지스터를 수직 방향을 복수의 층으로 적층되는 것이 요구되고 있다. 그러나, 수직형 필러 트랜지스터를 적층하기 위하여 절연막 상에 반도체 패턴을 형성하여야 하지만, 이러한 공정이 용이하지 않다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명의 제1 목적은 절연막 상에 적층되는 수직형 필러 트랜지스터를 제공하는데 있다.
- [0007] 본 발명의 제2 목적은 상기한 수직형 필러 트랜지스터의 제조 방법을 제공하는데 있다.
- [0008] 본 발명의 제3 목적은 상기한 수직형 필러 트랜지스터 형성에 적합한 반도체 박막 형성 방법을 제공하는데 있다.
- [0009] 본 발명의 제4 목적은 상기한 수직형 필러 트랜지스터를 포함하는 디램 소자를 제공하는데 있다.

과제 해결수단

- [0010] 상기한 제1 목적을 달성하기 위한 본 발명의 일 실시예에 따른 수직형 필러 트랜지스터는, 제1 기판을 덮는 절연막과, 상기 절연막 상에 구비되고, 적어도 한층의 금속 실리사이드막을 포함하는 도전성 구조물과, 상기 도전성 구조물 상에 구비되고 필러 형상을 갖는 반도체 패턴과, 상기 도전성 구조물과 이격되어 반도체 패턴의 중심 부위를 감싸는 게이트 및 상기 게이트 양측에 위치하는 반도체 패턴 표면 아래에 구비되는 불순물 영역들을 포함한다.
- [0011] 일 실시예에 따르면, 상기 도전성 구조물 상부면에 상기 도전성 구조물과 동일한 평판 형상을 갖는 하부 반도체 구조물이 더 구비될 수 있다. 상기 하부 반도체 구조물은 상기 반도체 패턴과 동일한 물질로 이루어질 수 있다.
- [0012] 일 실시예에 따르면, 상기 반도체 패턴은 단결정 실리콘 및 단결정 실리콘 게르마늄 중에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- [0013] 일 실시예에 따르면, 상기 도전성 구조물은 폴리실리콘 및 금속 중 적어도 하나의 박막이 더 포함될 수 있다.

- [0014] 일 실시예에 따르면, 상기 제1 기판은 반도체 물질로 이루어지고, 상기 제1 기판 상에는 전기적 소자들이 형성될 수 있다.
- [0015] 일 실시예에 따르면, 상기 반도체 패턴 하부에 위치하는 불순물 영역은 상기 도전성 구조물과 전기적으로 연결될 수 있다.
- [0016] 상기한 제1 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 수직형 필터 트랜지스터는, 제1 기판을 덮는 절연막과, 상기 절연막 상에 구비되고, 적어도 한층의 금속 실리사이드막을 포함하고, 제1 방향으로 연장되는 라인 형상을 갖는 도전성 구조물과, 상기 도전성 구조물 상에 구비되고, 필터 형상을 갖는 반도체 패턴들과, 상기 도전성 구조물과 이격되어 각 반도체 패턴의 중심 부위를 감싸는 게이트들 및 상기 게이트들 양측에 위치하는 반도체 패턴 표면 아래에 구비되고, 상기 도전성 구조물과 전기적으로 연결되는 불순물 영역들을 포함한다.
- [0017] 일 실시예에 따르면, 상기 도전성 구조물은 서로 이격되면서 평행하게 배치되도록 다수개가 구비될 수 있다.
- [0018] 일 실시예에 따르면, 상기 게이트들은 상기 제1 방향과 수직하는 제2 방향으로 연장되는 라인 형상을 갖고, 상기 제2 방향으로 반복 배치된 반도체 패턴들을 감싸게 될 수 있다.
- [0019] 일 실시예에 따르면, 상기 도전성 구조물은 폴리실리콘 및 금속 중 적어도 하나의 박막이 더 포함될 수 있다.
- [0020] 일 실시예에 따르면, 상기 제1 기판은 반도체 물질로 이루어지고, 상기 제1 기판 상에는 전기적 소자들이 형성될 수 있다.
- [0021] 일 실시예에 따르면, 상기 도전성 구조물의 일부 영역 상에 구비되고, 플레너 트랜지스터 형성을 위한 평탄한 상부면을 갖는 제2 반도체 패턴과, 상기 제2 반도체 패턴 상에 구비되고 게이트 산화막 및 게이트 전극이 적층된 게이트 구조물, 및 상기 게이트 구조물 양측의 제2 반도체 패턴 표면 아래에 구비되는 소오스/드레인을 더 포함할 수 있다.
- [0022] 일 실시예에 따르면, 상기 절연막의 일부 영역에는 얼라인 키가 구비될 수 있다.
- [0023] 상기한 제1 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 수직형 필터 트랜지스터는, 제1 기판을 덮는 절연막, 상기 절연막 상에 구비되고 금속 물질을 포함하는 하부 배선, 상기 하부 배선 상에 구비되고 필터 형상을 갖는 반도체 패턴, 상기 하부 배선과 이격되어 반도체 패턴의 중심 부위를 감싸는 게이트, 상기 게이트 제1 측의 반도체 패턴 표면 아래에 구비되고, 상기 하부 배선과 전기적으로 연결되는 제1 불순물 영역 및 상기 게이트 제2 측의 반도체 패턴 표면 아래에 구비되는 제2 불순물 영역이 포함된다.
- [0024] 일 실시예에 따르면, 상기 하부 배선은 금속, 금속 실리사이드 및 금속 질화물에서 적어도 하나의 물질을 포함할 수 있다.
- [0025] 일 실시예에 따르면, 상기 하부 배선은 도전성을 갖는 반도체 물질을 더 포함할 수 있다.
- [0026] 상기한 제2 목적을 달성하기 위한 본 발명의 일 실시예에 따른 수직형 필터 트랜지스터의 제조 방법으로, 제1 기판을 덮는 절연막을 형성한다. 상기 절연막 상에 버퍼 폴리실리콘막 및 금속막을 위치시킨다. 상기 버퍼 폴리실리콘막 및 금속막을 반응시키면서 상기 절연막 상에 반도체 물질을 접합시켜, 상기 절연막 상에 금속 실리사이드를 포함하는 도전막 및 반도체막을 형성한다. 상기 반도체막 및 도전막을 패터닝하여 적어도 한층의 금속 실리사이드막을 포함하는 도전성 구조물을 형성한다. 상기 반도체막을 패터닝하여 도전성 구조물 상에 구비되고 필터 형상을 갖는 반도체 패턴을 형성한다. 상기 반도체 패턴의 상,하부에 불순물 영역을 형성한다. 다음에, 상기 반도체 패턴의 중심부를 둘러싸는 게이트를 형성한다.
- [0027] 일 실시예에 따르면, 상기 절연막 상에 버퍼 폴리실리콘막 및 금속막을 위치시키기 위하여, 상기 절연막 상에 버퍼 폴리실리콘막을 증착한다. 다음에, 상기 버퍼 폴리실리콘막 상에 금속막을 증착한다.
- [0028] 일 실시예에 따르면, 상기 버퍼 폴리실리콘막을 증착하기 이 전에 얼라인 키부위를 식각하는 단계를 더 포함할 수 있다.
- [0029] 일 실시예에 따르면, 상기 금속 실리사이드막 및 반도체막을 형성하기 위하여, 상기 버퍼 폴리실리콘막 및 금속막이 반응하도록 열을 가하면서 상기 절연막 상에 단결정 실리콘 기판을 접합시킨다. 다음에, 상기 단결정 실리콘 기판의 일부를 절단하여 상기 단결정 실리콘 기판보다 얇은 두께의 반도체막을 형성한다.
- [0030] 상기 단결정 실리콘 기판이 절단되는 부위에 수소 이온주입 영역을 형성하는 단계를 더 포함할 수 있다.

- [0031] 일 실시예에 따르면, 상기 버퍼 폴리실리콘막 및 금속막은 각 박막의 계면 부위만을 반응시키거나 또는 각 박막 전부를 반응시킬 수 있다.
- [0032] 상기한 제2 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 수직형 필러 트랜지스터의 제조 방법으로, 제1 기판을 덮는 절연막을 형성한다. 상기 절연막 상에 버퍼 폴리실리콘막 및 금속막을 위치시킨다. 상기 버퍼 폴리실리콘막 및 금속막을 반응시키면서 상기 절연막 상에 단결정 실리콘 물질을 접합시켜, 상기 절연막 상에 금속 실리사이드를 포함하는 도전막 및 반도체막을 형성한다. 상기 반도체막 및 도전막을 패터닝하여 적어도 한층의 금속 실리사이드막을 포함하고 제1 방향으로 연장되는 라인 형상의 도전성 구조물을 형성한다. 상기 반도체막을 패터닝하여 도전성 구조물 상에 구비되고 필러 형상을 갖는 반도체 패턴들을 형성한다. 상기 반도체 패턴들의 상,하부에 상기 도전성 구조물 상부면과 전기적으로 연결되는 불순물 영역을 형성한다. 다음에, 상기 반도체 패턴의 중심부를 둘러싸는 게이트를 형성한다.
- [0033] 일 실시예에 따르면, 상기 도전성 구조물은 서로 이격되면서 평행하게 배치되도록 다수개가 구비되도록 패터닝함으로써 형성될 수 있다.
- [0034] 일 실시예에 따르면, 상기 게이트들은 상기 제1 방향과 수직하는 제2 방향으로 연장되는 라인 형상을 갖고, 상기 제2 방향으로 반복 배치된 반도체 패턴들을 감싸도록 형성될 수 있다.
- [0035] 일 실시예에 따르면, 상기 도전성 구조물의 일부 영역 상에, 평탄한 상부면을 갖는 제2 반도체 패턴을 형성한다. 상기 제2 반도체 패턴 상에 게이트 산화막 및 게이트 전극을 적층한다. 다음에, 상기 게이트 구조물 양측의 제2 반도체 패턴 표면 아래에 불순물을 주입시켜 소오스/드레인을 형성할 수 있다.
- [0036] 상기한 제2 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 수직형 필러 트랜지스터의 제조 방법으로, 제1 기판을 덮는 절연막 및 금속 물질을 포함하는 하부 도전막을 형성한다. 상기 하부 도전막이 형성된 제1 기판 상에 반도체 물질을 접합시켜, 상기 도전막 상에 반도체막을 형성한다. 상기 반도체막 및 도전막을 1차 패터닝하여 하부 배선을 형성한다. 상기 반도체막을 패터닝하여 상기 하부 배선 상에 필러 형상을 갖는 반도체 패턴을 형성한다. 상기 반도체 패턴의 상, 하부에 위치하고, 적어도 하나가 상기 하부 배선과 전기적으로 연결되는 불순물 영역들을 형성한다. 다음에, 상기 반도체 패턴의 중심부를 둘러싸는 게이트를 형성한다.
- [0037] 일 실시예에 따르면, 상기 하부 배선은 금속, 금속 실리사이드 및 금속 질화물 중에서 적어도 하나의 물질을 포함한다.
- [0038] 상기한 제3 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 박막 형성 방법으로, 제1 기판을 덮는 절연막을 형성한다. 상기 절연막 상에 버퍼 폴리실리콘막 및 금속막을 위치시킨다. 상기 버퍼 폴리실리콘막 및 금속막이 반응하도록 열을 가하면서 상기 절연막 상에 반도체 물질로 이루어진 제2 기판을 접합시킨다. 다음에, 상기 제2 기판의 일부를 절단하여 상기 제2 기판보다 얇은 두께의 반도체 박막을 형성한다.
- [0039] 일 실시예에 따르면, 상기 버퍼 폴리실리콘막 및 금속막은 상기 절연막 상에 순차적으로 형성된다.
- [0040] 일 실시예에 따르면, 상기 제2 기판을 접합시킬 때 400 내지 800℃의 열을 가할 수 있다.
- [0041] 상기한 제3 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 박막 형성 방법으로, 제1 기판을 덮는 절연막을 형성한다. 상기 절연막 상에 금속 물질을 포함하는 하부 도전막을 형성한다. 상기 하부 도전막 상에 반도체 물질로 이루어진 제2 기판을 접합시킨다. 다음에, 상기 제2 기판의 일부를 절단하여 상기 제2 기판보다 얇은 두께의 반도체 박막을 형성한다.
- [0042] 상기한 제4 목적을 달성하기 위한 본 발명의 일 실시예에 따른 디램 소자는, 제1 기판을 덮는 절연막과, 상기 절연막 상에 구비되고, 적어도 한층의 금속 실리사이드막을 포함하는 도전성 구조물과, 상기 도전성 구조물 상에 구비되고 필러 형상을 갖는 반도체 패턴과, 상기 도전성 구조물과 이격되어 반도체 패턴의 중심 부위를 감싸는 게이트와, 상기 게이트 양측에 위치하는 반도체 패턴 표면 아래에 구비되는 불순물 영역들 및 상기 반도체 패턴 상부면과 접하는 커패시터를 포함한다.

효 과

- [0043] 설명한 것과 같이, 본 발명에 따른 수직형 필러 트랜지스터는 필러 형상의 반도체 패턴 아래에 저저항의 금속 실리사이드를 포함하는 도전성 구조물이 구비된다. 그러므로, 상기 도전성 구조물을 상기 수직형 필러 트랜지스터에 전기적 신호를 인가하기 위한 배선으로 사용할 수 있어, 상기 수직형 필러 트랜지스터가 고속으로 동작될 수 있고 집적화될 수 있다. 또한, 제1 기판 상에 위치하는 절연막과 제2 기판으로부터 제공되는 반도체 패턴 사

이에 도전성 구조물이 개재됨으로써, 상기 반도체 패턴의 접착력이 향상된다. 이로인해, 상기 수직형 필러 트랜지스터는 높은 신뢰성을 갖게된다.

발명의 실시를 위한 구체적인 내용

- [0044] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- [0045] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.
- [0046] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0047] 반도체 박막
- [0048] 도 1은 본 발명의 실시예 1에 따른 반도체 박막을 나타내는 단면도이다.
- [0049] 도 1을 참조하면, 제1 기판(100) 상에 플레너 트랜지스터와 같은 전기적 소자(104)가 구비된다. 상기 제1 기판(100)에 형성된 전기적 소자(104)를 덮는 절연막(106)이 구비된다. 상기 절연막(106)은 평탄한 상부면을 갖는다.
- [0050] 상기 절연막(106) 상에는 적어도 한층의 금속 실리사이드를 포함하는 도전막(120)이 덮혀있다. 상기 도전막(120)에는 금속, 폴리실리콘 등과 같은 도전 물질이 더 포함될 수 있다. 본 실시예에서, 상기 도전막(120)은 제1 금속 실리사이드막(114), 금속막(112) 및 제2 금속 실리사이드막(116)이 순차적으로 적층된 형상을 갖는다.
- [0051] 상기 도전막(120) 상에는 반도체 박막(136)이 구비된다. 상기 반도체 박막(136)은 실리콘을 포함하는 단결정 반도체 물질로 이루어지며, 예를들어 단결정 실리콘, 단결정 실리콘 게르마늄과 같은 물질로 이루어질 수 있다.
- [0052] 도 2 내지 도 8은 도 1에 도시된 반도체 박막 형성 방법을 나타내는 단면도들이다.
- [0053] 도 2를 참조하면, 제1 기판(100)을 마련한다. 상기 제1 기판(100)은 단결정 실리콘과 같은 반도체 물질로 이루어진 기판일 수 있다. 이와는 달리, 상기 제1 기판(100)은 반도체 물질이 아니라 도전 물질 또는 절연 물질로 이루어질 수도 있다. 본 실시예에서는 상기 제1 기판(100)으로 단결정 실리콘 기판을 사용한다.
- [0054] 상기 제1 기판(100) 상에 전기적 소자를 형성한다. 예를들어, 상기 제1 기판(100)에 소자 분리막 패턴(102) 및 플레너형 트랜지스터(104)를 형성한다.
- [0055] 상기 제1 기판(100) 및 플레너형 트랜지스터(104)를 덮는 절연막(106)을 형성한다. 상기 절연막(106)은 화학기상 증착 공정을 통해 실리콘 산화물을 증착시켜 형성할 수 있다. 다음에, 상기 절연막(106)의 상부면이 평탄하게 되도록 평탄화 공정을 수행한다. 상기 평탄화 공정은 화학기계적 연마 공정, 에치백 공정 등을 포함한다.
- [0056] 도 3을 참조하면, 상기 절연막(106) 상에 포토레지스트 패턴(도시안됨)을 형성한다. 상기 포토레지스트 패턴은 얼라인 키 형성 부위를 선택적으로 노출시키는 형상을 갖는다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 절연막을 식각함으로써 얼라인 키(108)를 형성한다. 상기 얼라인 키(108)는 상기 제1 기판(100)의 표면을 노출시키는 개구 형상을 갖는다.
- [0057] 도 4를 참조하면, 상기 절연막(106) 상에 버퍼 폴리실리콘막(110)을 형성한다. 다음에, 상기 버퍼 폴리실리콘막(110) 상에 금속막(112)을 형성한다. 상기 금속막(112)으로 사용될 수 있는 물질의 예로는 티타늄, 니켈, 티타늄 질화물, 코발트 등을 들 수 있다. 이들은 단독으로 사용될 수도 있으며 2 이상을 적층시켜 사용될 수도 있다.
- [0058] 상기 버퍼 폴리실리콘막(110)은 이 후의 공정에서 금속과 실리콘을 반응시키기 위한 반응막으로써 제공된다. 때문에, 상기 절연막(106)으로 사용되는 실리콘 산화물과 반응하는 금속 물질로 금속막(112)을 형성하는 경우에는 상기 버퍼 폴리실리콘막(110)을 형성하지 않아도 된다.

- [0059] 도 5를 참조하면, 상기 제1 기판(100)과 접합되기 위한 제2 기판(130)을 마련한다. 상기 제2 기판(130)은 실리콘을 포함하는 단결정 반도체 물질로 이루어진다. 예를들어, 상기 제2 기판(130)은 단결정 실리콘, 단결정 실리콘 게르마늄 등과 같은 물질로 이루어질 수 있다. 본 실시예에서, 상기 제2 기판(130)은 단결정 실리콘으로 이루어진다.
- [0060] 상기 제2 기판(130) 상부면에 수소를 이온주입시켜 상기 제2 기판(130) 표면 아래에 수소 이온 주입 영역(132)을 형성한다. 상기 수소 이온 주입 영역(132)은 이 후의 공정에서 상기 제2 기판(130)이 절단되는 영역이다. 또한, 상기 제2 기판(130)이 절단됨으로써 반도체 박막이 형성된다. 때문에, 상기 제2 기판(130) 표면으로부터 상기 이온주입 영역까지의 깊이는 형성하고자하는 반도체 박막의 두께보다 더 깊은 것이 바람직하다.
- [0061] 도시하지는 않았지만, 상기 제2 기판(130) 전면에 제2 버퍼 폴리실리콘막을 형성할 수도 있다. 상기 제2 버퍼 폴리실리콘막은 후속의 금속 실리시테이션 반응이 활발해질 수 있도록 하기 위하여 제공된다.
- [0062] 이와는 다른 실시예로써, 상기 제1 기판(100) 상에 금속막(112)을 형성하지 않고, 상기 제2 기판(130) 상부면에 금속막을 형성할 수도 있다.
- [0063] 도 6을 참조하면, 상기 제1 기판(100) 상에 형성되어 있는 금속막(112)과 상기 제2 기판(130)이 서로 맞닿도록 한다. 이 때, 상기 제1 기판(100) 상에 형성되어 있는 얼라인 키(108)를 이용하여 보다 정확하게 상기 제1 기판(100)과 제2 기판(130)을 서로 얼라인하여 접촉시킬 수 있다.
- [0064] 도 7을 참조하면, 상기 제1 기판(100)과 상기 제2 기판(130)을 서로 압착시키면서 열을 가하여 버퍼 폴리실리콘막(110) 및 상기 제2 기판(130)의 실리콘과 상기 금속막(112)이 서로 반응하도록 한다. 상기와 같이, 실리콘과 상기 금속막(112)을 반응시켜 제1 및 제2 금속 실리사이드막(114, 116)을 형성한다. 또한, 상기 제1 및 제2 금속 실리사이드막(114, 116)이 형성됨으로써 상기 제1 기판(100)과 상기 제2 기판(130)이 서로 단단하게 본딩된다.
- [0065] 또한, 계속하여 열을 가하면서 상기 제2 기판(130)에 압력을 가함으로써 상기 수소 이온 주입 영역(132) 부위를 절단함으로써 예비 반도체 박막(134)을 형성한다.
- [0066] 상기 실리콘과 금속막(112)이 반응되도록 하기 위하여 400 내지 800℃ 정도의 열이 가해지게 된다. 종래의 실리시테이션 반응이 수반되지 않은 기판 본딩 공정에서는 약 1000℃의 높은 온도로 열이 가해진다. 그런데, 본 실시예의 방법에 의하면, 종래에 비해 낮은 온도 하에서 기판의 본딩이 수행될 수 있다. 때문에, 고온 열처리에 따라 발생하는 하부의 제1 기판(100)에 형성되어 있는 전기적 소자(104)의 열화를 감소시킬 수 있다.
- [0067] 이 때, 상기 열처리는 실리콘 및 금속막(112)의 일부분 또는 전부가 실리사이드화되도록 할 수 있다.
- [0068] 일 예로, 상기 버퍼 폴리실리콘막(110) 전부가 실리사이드화되도록 할 수 있다. 또한, 상기 금속막(112) 전부가 금속 실리사이드화 되도록 할 수 있다. 이 경우에는 상기 절연막(106) 상에는 금속 실리사이드막 및 예비 반도체 박막이 적층된다.
- [0069] 다른 예로, 상기 버퍼 폴리실리콘막(110) 전부가 실리사이드화되지만 상기 금속막(112)은 전부가 금속 실리사이드화가 되지 않고 일부 남아있도록 할 수 있다. 이 경우에는, 도시된 것과 같이, 상기 절연막(106) 상에 제1 금속 실리사이드막(114), 금속막(112), 제2 금속 실리사이드막(116) 및 예비 반도체 박막(134)이 적층된다.
- [0070] 또 다른 예로, 상기 버퍼 폴리실리콘막(110) 일부가 실리사이드화되면서 상기 금속막(112) 전부가 금속 실리사이드화 될 수 있다. 이 경우에는 상기 절연막(106) 상에 버퍼 폴리실리콘막, 금속 실리사이드막, 및 예비 반도체 박막이 적층된다.
- [0071] 또 다른 예로, 상기 버퍼 폴리실리콘막(110)의 일부와 금속막(112) 일부가 실리사이드화되도록 할 수 있다. 이 경우에는, 상기 절연막(106) 상에 버퍼 폴리실리콘막, 금속 실리사이드막, 금속막, 금속 실리사이드막 및 예비 반도체 박막이 적층된다.
- [0072] 이와는 다른 실시예로, 상기 제2 기판(130) 표면에 제2 버퍼 폴리실리콘막(도시안됨)이 형성되어 있는 경우에는 본딩 공정이 수행된 이 후에 상기 금속 실리사이드막 및 예비 반도체 박막 사이에 상기 제2 버퍼 폴리실리콘막이 일부 남아있을 수도 있다. 즉, 상기 절연막 상에 버퍼 폴리실리콘막, 금속 실리사이드막, 제2 버퍼 폴리실리콘막 및 예비 반도체 박막이 적층될 수 있다.
- [0073] 설명한 것과 같이, 상기 절연막(106)과 상기 예비 반도체 박막(134) 사이에는 적어도 한 층의 금속 실리사이드(114, 116)를 포함하는 도전막(120)이 개재된다. 또한, 상기 도전막(120)에는 폴리실리콘, 금속 등이 남아있을

수 있다.

- [0074] 도 8을 참조하면, 상기 예비 반도체 박막(134) 표면을 평탄화함으로써 반도체 박막(136)을 완성한다.
- [0075] 본 실시예에 따르면, 절연막 상에 반도체 기판을 저온으로 본딩시킬 수 있다. 또한, 실리시테이션을 통해 반도체 기판을 접합하기 때문에, 절연막 상에 형성되는 반도체 박막의 본딩 접착력이 향상된다.
- [0076] 수직형 필러 트랜지스터
- [0077] 도 9는 본 발명의 실시예 2에 따른 수직형 필러 트랜지스터를 나타내는 단면도이다. 도 10은 도 9에서 수직형 필러 트랜지스터 부위를 나타내는 사시도이다.
- [0078] 도 9 및 도 10을 참조하면, 제1 기관(100)이 마련된다. 상기 제1 기관(100)은 단결정 실리콘, 단결정 실리콘 게르마늄 등과 같은 반도체 물질로 이루어질 수 있다. 이와는 달리, 상기 제1 기관(100)은 절연 물질 또는 금속 물질로 이루어질 수도 있다. 본 실시예에서, 상기 제1 기관(100)은 단결정 실리콘으로 이루어진다. 또한, 상기 제1 기관(100) 상에는 트랜지스터(104)와 같은 전기적 소자들이 구비된다.
- [0079] 상기 제1 기관(100)에 형성된 전기적 소자를 덮는 절연막(106)이 구비된다. 상기 절연막(106)은 실리콘 산화물과 같은 절연 물질로 이루어진다. 상기 절연막(106)은 평탄한 상부면을 갖는다.
- [0080] 상기 절연막(106)의 일부 영역에는 얼라인 키(108)가 구비된다. 상기 얼라인 키(108)는 저면에 상기 제1 기관(100)이 노출되어 있는 개구부의 형상을 갖는다.
- [0081] 상기 절연막(106) 상에는 제1 방향으로 연장되는 라인 형상을 갖는 도전성 구조물(148)들이 구비된다. 상기 도전성 구조물(148)들은 서로 간격을 가지면서 서로 평행하게 배치된다. 상기 도전성 구조물(148)은 적어도 한층의 금속 실리사이드막(114a, 116a)을 포함한다. 또한, 상기 도전성 구조물(148)은 폴리실리콘막 및 금속막(112a) 중에서 적어도 하나를 더 포함할 수 있다.
- [0082] 일 예로, 상기 도전성 구조물(148)은 금속 실리사이드막만으로 이루어질 수 있다. 다른 예로, 상기 도전성 구조물(148)은, 도식된 것과 같이, 제1 금속 실리사이드막(114a), 금속막(112a), 제2 금속 실리사이드막(116a)이 적층될 수 있다. 또 다른 예로, 상기 도전성 구조물(148)은 폴리실리콘막 및 금속 실리사이드막이 적층될 수 있다. 또 다른 예로, 상기 도전성 구조물(148)은 폴리실리콘막, 제1 금속 실리사이드막, 금속막, 제2 금속 실리사이드막이 적층될 수 있다. 또 다른 예로, 상기 도전성 구조물(148)은 제1 폴리실리콘막, 금속 실리사이드막, 제2 폴리실리콘막이 적층될 수 있다.
- [0083] 상기 도전성 구조물(148)은 수직 필러 트랜지스터의 불순물 영역에 전기적 신호를 인가하는 버리드 비트 라인으로 제공된다. 이와같이, 상기 수직 필러 트랜지스터 하부에 저저항의 버리드 비트 라인이 구비됨으로써 상기 수직 필러 트랜지스터에 빠른 속도로 전기적 신호를 인가할 수 있다.
- [0084] 상기 도전성 구조물(148) 상에는 하부 반도체 라인(146)이 구비된다. 상기 하부 반도체 라인(146)은 상기 도전성 구조물(148) 상부면을 덮는 형상을 갖는다. 상기 하부 반도체 라인(146)은 실리콘을 포함하는 단결정 반도체 물질로 이루어진다. 상기 하부 반도체 라인(146)은 단결정 실리콘, 단결정 실리콘 게르마늄 등과 같은 물질로 이루어질 수 있다.
- [0085] 상기 하부 반도체 라인(146) 상에 필러 형상의 반도체 패턴(140a)들이 구비된다. 즉, 상기 반도체 패턴(140a)들은 상기 하부 반도체 라인(146) 상부면으로부터 수직하게 돌출되는 형상을 가지면서 반복 배치된다. 상기 반도체 패턴(140a)은 상기 하부 반도체 라인(146)과 동일한 물질로 이루어진다. 상기 반도체 패턴(140a)은 수직 필러 트랜지스터를 형성하기 위한 액티브 영역으로 제공된다.
- [0086] 상기 반도체 패턴(140a)의 하부 측벽은 계단 형상을 가질 수 있다. 즉, 상기 반도체 패턴(140a)의 하부 지름이 상기 반도체 패턴(140a)의 상부 지름보다 더 넓은 형상을 갖는다. 이와는 달리, 상기 반도체 패턴(140a)의 측벽은 전체가 동일한 지름을 갖도록 할 수도 있다.
- [0087] 상기 하부 반도체 라인(146)은 불순물이 도핑되어 있으며, 이로 인해 도전성을 갖는다.
- [0088] 상기 반도체 패턴(140a)의 하부 및 상부에는 불순물이 도핑되어 있다. 상기 반도체 패턴(140a)에 도핑된 불순물은 상기 하부 반도체 라인(146)에 도핑된 불순물과 동일한 도전형을 갖는다. 본 실시예에서, 상기 반도체 패턴(140a)의 하부에 구비되는 불순물 영역을 제1 불순물 영역(143)이라 하고, 상기 반도체 패턴(140a)의 상부에 구

비되는 불순물 영역을 제2 불순물 영역(156)이라 한다. 상기 제1 및 제2 불순물 영역(143, 156)은 수직 필러 트랜지스터의 소오스/드레인으로 사용된다.

- [0089] 상기 제1 불순물 영역(143)의 일 단부는 상기 하부 반도체 라인(146) 상부면까지 연장된다. 따라서, 상기 제1 불순물 영역(143)은 상기 도전성 구조물(148)과 전기적으로 연결된다. 상기 제2 불순물 영역(156)은 상기 반도체 패턴(140a)의 상부면까지 연장된다.
- [0090] 도시하지는 않았지만, 상기 제1 및 제2 불순물 영역(143, 156)은 각각 고농도 도핑 영역 및 저농도 도핑 영역을 포함하는 LDD 구조를 가질 수 있다.
- [0091] 상기 제1 및 제2 불순물 영역(143, 156)의 사이에 위치하는 상기 반도체 패턴(140a) 표면 상에는 게이트가 구비된다. 상기 게이트는 상기 반도체 패턴의 중심 부위를 감싸는 형상을 갖는다. 본 실시예에서, 상기 게이트는 반도체 패턴(140a)에서 상대적으로 좁은 지름을 갖는 부위의 측벽에 위치한다.
- [0092] 상기 게이트는 상기 제1 방향과 수직인 제2 방향으로 연장되는 라인 형상을 갖는다. 또한, 상기 게이트는 상기 제2 방향으로 배치되어 있는 각 반도체 패턴(140a)들을 감싸도록 형성된다. 따라서, 상기 게이트는 워드 라인으로 기능하게 된다.
- [0093] 상기 게이트는 상기 반도체 패턴(140a) 상에 위치하는 게이트 절연막(152) 및 상기 게이트 절연막(152) 상에 위치하는 게이트 전극(154)을 포함한다.
- [0094] 상기 게이트 전극(154)은 불순물이 도핑된 폴리실리콘, 금속, 금속 질화물, 금속 실리사이드 등을 포함할 수 있다. 상기 게이트 전극(154)으로 사용될 수 있는 물질의 예로는 텅스텐, 티타늄, 탄탈륨, 텅스텐 질화물, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 실리사이드, 티타늄 실리사이드, 탄탈륨 실리사이드 등을 들 수 있다.
- [0095] 상기 도전성 구조물(148) 사이 및 상기 게이트 전극(154)의 하부에는 층간 절연막(150)이 구비된다. 상기 층간 절연막(150)은 실리콘 산화물로 이루어질 수 있다. 또한, 도시되지는 않았지만, 상기 게이트들 사이 및 게이트들 상부에도 층간 절연막이 구비될 수 있다.
- [0096] 도 11 내지 도 20은 도 9 및 도 10에 도시된 수직형 필러 트랜지스터의 제조 방법을 나타내는 단면도이다.
- [0097] 도 11을 참조하면, 먼저 도 2 내지 도 8을 참조로 설명한 것과 동일한 공정을 수행하여 도 8에 도시된 것과 같이 제1 기관(100) 상에 절연막(106), 금속 실리사이드를 포함하는 도전막(120) 및 반도체 박막(136)을 형성한다. 상기 반도체 박막(136)은 실리콘을 포함하는 단결정 반도체 물질로 이루어진다.
- [0098] 다음에, 상기 반도체 박막(136) 상에 제1 하드 마스크 패턴(138)을 형성한다. 상기 제1 하드 마스크 패턴(138)은 패드 산화막 패턴 및 실리콘 질화막 패턴이 적층된 형상을 가질 수 있다. 상기 제1 하드 마스크 패턴(138)을 형성하기 위한 패터닝 공정은 상기 절연막(106)에 형성되어 있는 얼라인 키를 이용하여 정확하게 얼라인하면서 수행될 수 있다.
- [0099] 상기 제1 하드 마스크 패턴(138)은 필러 형상의 반도체 패턴을 형성하기 위한 마스크 패턴으로 사용된다. 때문에, 상기 제1 하드 마스크 패턴(138)은 고립된 섬 형상을 가지면서 규칙적으로 배치된다.
- [0100] 도 12를 참조하면, 상기 제1 하드 마스크 패턴(138)을 식각 마스크로 사용하여 상기 반도체 박막을 일부 두께만큼 식각함으로써 예비 반도체 패턴(140)을 형성한다.
- [0101] 상기 예비 반도체 패턴(140)의 측벽 및 잔류 반도체 박막(136a)을 열산화시켜 산화막(도시안됨)을 형성한다. 이후, 상기 노출된 잔류 반도체 박막 표면에 수직 방향으로 불순물을 주입하여 저농도 도핑 영역(도시안됨)을 형성할 수도 있다.
- [0102] 상기 예비 반도체 패턴(140), 잔류 반도체 박막(136a) 및 제1 하드 마스크 패턴(138) 표면 상에 스페이서막(도시안됨)을 형성한다. 이후, 상기 스페이서막을 이방성 식각함으로써 상기 예비 반도체 패턴(140) 및 제1 하드 마스크 패턴(138)의 측벽에 스페이서(142)를 형성한다. 상기 스페이서(142)는 상기 예비 반도체 패턴(140)에서 채널 형성 부위에 소오스/드레인으로 제공되는 불순물이 도핑되지 않도록 하기 위해 제공된다.
- [0103] 도 13을 참조하면, 상기 스페이서(142) 및 제1 하드 마스크 패턴(138)을 식각 마스크로 사용하여 잔류 반도체 박막(136a)의 일부분을 식각한다. 상기 식각 공정을 수행하면, 하부 측벽이 계단 형상을 갖는 반도체 패턴(140a)이 형성된다. 상기 반도체 패턴(140a)은 하부 지름이 상부 지름보다 넓은 기둥 형상을 갖게된다.

- [0104] 이와는 달리, 상기 잔류 반도체 박막(136a)의 일부분을 식각하는 공정은 생략할 수도 있다. 이 경우에는, 상기 예비 반도체 패턴(140)의 상, 하부 지름이 동일하다. 또는, 상기 잔류 반도체 박막(136a)의 일부분을 이방성 식각한 후, 상기 예비 반도체 패턴(140)의 상, 하부 지름이 동일하도록 트리밍할 수도 있다.
- [0105] 도 14를 참조하면, 상기 스페이서(142) 및 제1 하드 마스크 패턴(138)을 이온주입 마스크로 사용하여 노출된 잔류 반도체 박막(136b) 및 반도체 패턴(140a)에 고농도의 불순물을 주입한다. 상기 이온주입 공정은 상기 잔류 반도체 박막(136b) 전체가 불순물로 도핑되도록 수행되는 것이 바람직하다. 상기 잔류 반도체 박막(136b)에 도핑되는 불순물에 의해 상기 잔류 반도체 박막(136b)은 도전성을 갖게된다. 또한, 상기 잔류 반도체 박막(136b)은 하부의 도전막과 전기적으로 연결된다.
- [0106] 또한, 상기 스페이서(142) 저면 아래로 불순물이 확산됨으로써 상기 반도체 패턴(140a)의 하부에 제1 불순물 영역(143)이 형성된다. 상기 제1 불순물 영역(143)은 트랜지스터의 소오스 및 드레인 중 어느 하나로 사용된다.
- [0107] 도 15를 참조하면, 상기 스페이서(142)들 사이의 갭들을 매립하는 하드 마스크막(도시안됨)을 형성한다. 상기 하드 마스크막은 실리콘 산화물과 같은 절연막을 사용할 수 있다. 이 후, 상기 하드 마스크막의 상부면이 평탄해지도록 상기 하드 마스크막의 상부면을 연마한다. 상기 연마는 화학기계적 연마를 통해 수행될 수 있다.
- [0108] 본 실시예에서는 상기 스페이서 사이의 갭들을 매립하는 하드 마스크막으로써 절연막을 사용하였다. 그러나, 상기 절연막 이외에도 스페이서 및 잔류 반도체막과의 식각 선택비를 갖는 다른 막들을 상기 하드 마스크막으로 사용할 수 있다. 상기 절연막 이외의 막을 하드 마스크막으로 사용한 경우에는, 도전성 구조물을 패터닝한 다음 하드 마스크 패턴을 제거하는 공정이 더 추가되어야 한다.
- [0109] 다음에, 상기 하드 마스크막을 사진 식각 공정을 통해 식각함으로써 제1 방향으로 연장되는 라인 형상을 갖는 제2 하드 마스크 패턴(144)을 형성한다. 또한, 상기 각 제2 하드 마스크 패턴(144)은 상기 제1 방향으로 배치된 반도체 패턴(140a)들을 감싸도록 형성된다. 도시된 것과 같이, 상기 제2 하드 마스크 패턴(144)은 상기 반도체 패턴(140a) 양 측벽의 스페이서(142)들을 덮을 정도의 폭을 가질 수도 있다. 이와는 달리, 상기 제2 하드 마스크 패턴(144)은 상기 반도체 패턴(140a) 양 측벽의 스페이서들(142)과 맞닿도록 형성될 수도 있다.
- [0110] 도 16을 참조하면, 상기 제2 하드 마스크 패턴(144)을 사용하여 상기 잔류 반도체막(136b)을 식각함으로써 하부 반도체 라인(146)을 형성한다.
- [0111] 계속하여 상기 하부 반도체 라인(146) 아래의 도전막(120)을 식각함으로써 도전성 구조물(148)을 형성한다. 이 때, 상기 절연막(106) 상부면이 노출되도록 식각 공정이 수행되어야 한다. 상기 도전성 구조물(148)은 적어도 한층의 금속 실리사이드를 포함한다.
- [0112] 상기 공정에 의해 형성된 하부 반도체 라인(146)은 상기 필러 형상의 반도체 패턴(140a)의 저면 아래에 구비되어 상기 반도체 패턴(140a)을 지지한다. 또한, 상기 하부 반도체 라인(146) 아래에는 버리드 비트 라인으로 사용되는 도전성 구조물(148)이 형성된다.
- [0113] 상기 도전성 구조물(148) 및 상기 하부 반도체 라인(146)은 도 10에 도시된 것과 같이 제1 방향으로 연장되는 라인 형상을 갖게된다.
- [0114] 도 17을 참조하면, 상기 제2 하드 마스크 패턴(144) 사이의 갭 부위를 매립하도록 예비 층간 절연막(도시안됨)을 형성한다. 상기 예비 층간 절연막은 산화물을 포함한다. 상기 산화물의 예로는 BPSG, TOSZ, USG, SOG, FOX, TEPS, HDP-산화물을 들 수 있다.
- [0115] 다음에, 상기 제1 하드 마스크 패턴(138)의 상부면이 노출되도록 상기 예비 층간 절연막의 상부면을 평탄화한다. 상기 평탄화는 화학기계적연마 공정, 에치백 공정 등을 통해 수행될 수 있다.
- [0116] 이 후, 상기 예비 층간 절연막 및 제2 하드 마스크 패턴(144)의 일부를 식각함으로써 상기 예비 층간 절연막보다 얇은 두께를 갖고 상기 스페이서(142)의 측벽을 노출시키는 층간 절연막(150)을 형성한다. 후속 공정에서, 상기 층간 절연막(150)의 상부면에 워드 라인으로 제공되는 게이트가 형성된다. 그러므로, 상기 층간 절연막(150)의 상부면은 상기 스페이서(142)의 저면과 동일한 평면에 위치하거나 또는 상기 스페이서(142) 저면보다 높게 위치하는 것이 바람직하다.
- [0117] 도 18을 참조하면, 상기 반도체 패턴(140a)의 표면이 노출되도록 상기 스페이서(142) 및 스페이서(142) 아래의 산화막(도시안됨)을 제거한다. 상기 공정을 수행하면, 상기 반도체 패턴(140a)에서 채널 영역 및 제2 불순물 영역이 형성될 부위가 선택적으로 노출된다.

- [0118] 상기 반도체 패턴(140a)의 노출된 표면을 산화시켜 게이트 절연막(152)을 형성한다.
- [0119] 도 19를 참조하면, 상기 반도체 패턴(140a)들 사이의 갭 부위를 완전하게 매립하도록 도전막(도시안됨)을 형성한다. 상기 도전막은 불순물이 도핑된 폴리실리콘, 금속, 금속 질화물, 금속 산화물 등과 같은 도전 물질로 이루어질 수 있다. 일 예로, 상기 도전막은 텅스텐, 티타늄, 탄탈륨, 텅스텐 질화물, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 실리사이드, 티타늄 실리사이드, 티타늄 실리사이드 등과 같은 물질을 포함할 수 있다.
- [0120] 상기 제1 하드 마스크 패턴(138)의 상부면이 노출되도록 상기 도전막을 평탄화시킨다. 상기 평탄화 공정은 화학 기계적 연마, 에치백 등으로 수행될 수 있다.
- [0121] 다음에, 상기 반도체 패턴(140a)의 상부 측벽 일부가 노출되도록 상기 도전막의 일부를 식각하여 상기 도전막의 두께를 낮춘다. 이 때, 상기 식각 공정을 통해 노출된 반도체 패턴(140a)의 상부 측벽 부위는 후속 공정을 통해 제2 불순물 영역이 된다.
- [0122] 이 후, 상기 도전막을 패터닝함으로써 워드 라인으로 제공되는 게이트 전극(154)을 형성한다. 상기 게이트 전극(154)은 제1 방향으로 연장되는 라인 형상을 가진다. 또한, 상기 게이트 전극(154)은 상기 제1 방향으로 반복 배치되는 반도체 패턴(140a)들을 감싸도록 형성된다.
- [0123] 도 20을 참조하면, 노출된 상기 반도체 패턴(140a)의 상부 측벽에 불순물을 이온 주입함으로써 제2 불순물 영역(156)을 형성한다. 상기 반도체 패턴(140a)의 상부 측벽에 불순물이 충분히 주입되도록 하기 위하여, 상기 이온 주입 공정에서 불순물 이온들이 일정 각도로 틸트시켜 주입할 수 있다.
- [0124] 이 후에, 상기 제1 하드 마스크 패턴(138)을 제거하고 수직 방향으로 상기 불순물을 더 주입함으로써 고농도 도핑 영역을 더 형성할 수 있다.
- [0125]
- [0126] 도 21은 본 발명의 실시예 3에 따른 수직형 필러 트랜지스터를 나타내는 단면도이다.
- [0127] 본 실시예에서는 하부 반도체 라인이 구비되지 않고 도전성 구조물 (148)상에 상기 필러 형상의 반도체 패턴(140a)들이 구비되는 것을 제외하고는 실시예 1의 수직형 필러 트랜지스터와 동일하다. 그러므로 더 이상의 설명은 생략한다.
- [0128] 도 22 내지 도 25는 도 21에 도시된 수직형 필러 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- [0129] 도 22를 참조하면, 먼저 도 11 및 도 12를 참조로 설명한 것과 동일한 공정을 수행함으로써 도 12에 도시되어 있는 구조를 완성한다.
- [0130] 다음에, 상기 스페이서(142) 및 제1 하드 마스크 패턴(138)을 식각 마스크로 사용하여 상기 도전막이 노출되도록 상기 예비 반도체 패턴(140)을 식각한다. 상기 식각 공정을 수행하면 상기 도전막 상에는 필러 형상의 반도체 패턴(140a)이 형성된다. 상기 반도체 패턴(140a)은 상부 지름에 비해 하부 지름이 더 넓은 형상을 갖는다.
- [0131] 이와는 달리, 상기 반도체 패턴(140a)은 상, 하부 지름이 동일하게 형성될 수도 있다. 이를 위해, 상기 반도체 패턴(140a)의 측벽을 트리밍할 수 있다.
- [0132] 도 23을 참조하면, 상기 스페이서(142) 및 제1 하드 마스크 패턴(138)을 이온주입 마스크로 사용하여 노출된 반도체 패턴(140a)에 불순물을 주입한다. 상기 반도체 패턴(140a) 측벽으로 불순물이 주입되도록 상기 이온 주입 공정 시에 불순물을 일정 각도로 틸트시킬 수 있다. 이 때, 상기 노출된 반도체 패턴(140a) 부위 전체가 불순물로 도핑된다. 즉, 상기 불순물 도핑 영역의 저면이 상기 도전막(120)과 접하도록 하여야 한다.
- [0133] 상기 이온주입 공정을 통해, 상기 반도체 패턴(140a)의 하부에 필러 트랜지스터의 소오스/드레인으로 사용되는 제1 불순물 영역(143)이 형성된다.
- [0134] 도 24를 참조하면, 상기 스페이서(142)들 사이의 갭들을 매립하는 하드 마스크막을 형성하고 패터닝함으로써, 제1 방향으로 연장되는 라인 형상을 갖는 제2 하드 마스크 패턴(144)을 형성한다. 상기 각 제2 하드 마스크 패턴(144)은 상기 제1 방향으로 배치된 반도체 패턴(140a)들을 감싸도록 형성된다.
- [0135] 상기 제2 하드 마스크 패턴(144)을 사용하여 상기 도전막(120)을 식각함으로써 제1 방향으로 연장되는 라인 형

상의 도전성 구조물(148)을 형성한다. 상기 도전성 구조물(148)은 적어도 한층의 금속 실리사이드를 포함한다.

- [0136] 상기 공정에 의해, 상기 필러 형상의 반도체 패턴(140a) 아래에 버리드 비트 라인으로 사용되는 도전성 구조물(148)이 형성된다.
- [0137] 도 25를 참조하면, 도 17 내지 도 20에서 설명한 것과 동일한 공정을 수행하여, 층간 절연막(150), 게이트 절연막(152), 워드 라인으로 제공되는 게이트 전극(154) 및 제2 불순물 영역(156)을 순차적으로 형성한다.
- [0138] 반도체 소자
- [0139] 도 26은 본 발명의 실시예 4에 따른 수직 필러 트랜지스터를 포함하는 반도체 소자를 나타내는 단면도이다.
- [0140] 본 실시예의 반도체 소자는 절연막 상에 수직 필러 트랜지스터 및 플레너 트랜지스터를 포함한다.
- [0141] 도 26을 참조하면, 제1 기판(100)이 마련된다. 상기 제1 기판(100)은 반도체 물질로 이루어질 수도 있고, 절연 물질 및 금속 물질과 같은 비 반도체 물질로 이루어질 수도 있다. 상기 제1 기판(100)이 반도체 물질로 이루어지는 경우 상기 제1 기판(100)에는 트랜지스터(104)와 같은 전기적 소자가 구비될 수 있다.
- [0142] 상기 제1 기판(100) 상에 절연막(106)이 구비된다. 상기 절연막(106)은 상부면이 평탄한 형상을 갖는다. 상기 절연막(106)의 일부 영역에는 얼라인 키(108)가 구비된다.
- [0143] 상기 절연막(106) 상부면은 수직 필러 트랜지스터를 형성하기 위한 제1 영역과 플레너 트랜지스터를 형성하기 위한 제2 영역으로 구분된다. 예컨대, 상기 제1 영역은 반도체 메모리 셀 영역이 될 수 있고, 상기 제2 영역은 페리 회로 영역이 될 수 있다.
- [0144] 상기 제1 영역의 절연막(106) 상에는 상기 실시예 2에 개시되어 있는 것과 동일한 구조의 수직 필러 트랜지스터가 구비된다. 즉, 제1 영역의 절연막(106) 상에는 제1 방향으로 연장되고 금속 실리사이드를 포함하는 제1 도전성 구조물(148a), 상기 제1 도전성 구조물(148a) 상부면을 덮는 하부 반도체 라인(146), 하부 반도체 라인(146)으로부터 돌출되는 필러 형상의 제1 반도체 패턴(140a), 상기 제1 반도체 패턴(140a)의 필러 중심 부위에서 상기 제1 방향과 수직인 제2 방향으로 연장되는 형상의 제1 게이트(154) 및 상기 제1 게이트(154) 양측으로 제1 반도체 패턴(140a)의 하부 및 상부에 구비되는 제1 및 제2 불순물 영역(143, 156)들이 구비된다. 상기 제1 반도체 패턴(140a)의 하부에 위치하는 제1 불순물 영역(143)은 하부 반도체 라인(146)까지 연장되어 있다. 상기 하부 반도체 라인(146)은 상기 제1 불순물 영역(143)과 동일한 도전형의 불순물로 도핑되어 있다. 때문에, 상기 제1 불순물 영역(143)은 상기 제1 도전성 구조물(148a)과 전기적으로 연결된다.
- [0145] 상기 제2 영역의 절연막(106) 상에는 플레너 트랜지스터가 구비된다.
- [0146] 구체적으로, 상기 제2 영역의 절연막(106) 상에는 제2 도전성 구조물(148b)이 구비된다. 상기 제2 도전성 구조물(148b)은 상기 제1 영역의 제1 도전성 구조물(148a)과 동일한 적층 구조를 갖는다. 그러나, 상기 제2 도전성 구조물(148b)은 상기 제1 도전성 구조물(148a)과는 달리 전기적 신호를 전달하는 기능을 수행하지는 않는다. 때문에, 상기 제2 영역의 절연막(106) 전면에 제2 도전성 구조물(148b)이 구비될 수 있다.
- [0147] 상기 제2 도전성 구조물(148b) 상에는 제2 반도체 패턴(162)이 구비된다. 상기 제2 반도체 패턴(162)은 상기 제1 반도체 패턴(140a) 및 하부 반도체 라인(146)과 동일한 물질로 이루어진다. 또한, 상기 제2 반도체 패턴(162)의 상부면은 상기 제1 반도체 패턴(140a)의 상부면과 동일한 평면에 위치한다. 상기 제2 반도체 패턴(162)은 상기 제2 도전성 구조물(148b) 상부면 전체를 덮는 형상을 갖는다.
- [0148] 상기 제2 반도체 패턴(162)의 일부 영역에는 소자 분리용 트렌치가 생성되어 있고, 상기 소자 분리용 트렌치 내부에는 소자 분리막 패턴(164)이 구비된다. 상기 제2 반도체 패턴(162) 상에는 게이트 절연막(168) 및 제2 게이트 전극(170)이 적층되어 있는 제2 게이트가 구비된다. 상기 제2 게이트 양측의 제2 반도체 패턴(162) 표면 아래에는 제3 및 제4 불순물 영역(174a, 174b)이 구비된다. 상기 제3 및 제4 불순물 영역(174a, 174b)은 플레너 트랜지스터의 소오스/드레인으로 제공된다. 상기 제3 및 제4 불순물 영역(174a, 174b)은 저농도 도핑 영역 및 고농도 도핑 영역을 포함하는 LDD 구조를 가질 수도 있다.
- [0149] 상기 절연막(106) 상에는 상기 수직 필러 트랜지스터 및 플레너 트랜지스터를 덮는 제3 층간 절연막(176)이 구비된다. 상기 제3 층간 절연막(176)은 다층으로 구비될 수 있다. 상기 제3 층간 절연막(176)의 최 상부면은 평탄한 형상을 갖는다.

- [0150] 상기 제3 내지 제1 층간 절연막(176, 166, 150) 및 절연막(106) 내에는 다수의 콘택 플러그들이 구비된다. 구체적으로, 상기 제1 기판(100) 상에 형성되어 있는 전기적 소자와 연결되는 제1 콘택 플러그들(180)이 구비된다. 상기 제1 영역의 절연막(106) 상에 형성된 수직 필러 트랜지스터의 제1 도전성 구조물(148a), 제1 게이트(154) 및 제2 불순물 영역(156)과 각각 전기적으로 연결되는 제2 콘택 플러그들(182)이 구비된다. 또한, 상기 제2 영역의 절연막(106) 상에 형성된 플레너 트랜지스터의 제3 및 제4 불순물 영역(174a, 174b), 제2 게이트와 전기적으로 연결되는 제3 콘택 플러그(184)들이 구비된다. 도시되지는 않았지만, 상기 각 콘택 플러그들은 2 이상의 콘택들이 수직 방향으로 적층된 구조를 가질 수도 있다.
- [0151] 상기 제1 내지 제3 콘택 플러그(180, 182, 184) 상에는 상기 각 콘택 플러그들과 연결되는 도전성 라인들(186)이 구비된다. 상기 도전성 라인(186)은 저저항을 갖는 금속 물질을 포함할 수 있다.
- [0152] 도 27 내지 도 29는 도 26에 도시된 반도체 소자의 제조 방법을 나타내는 단면도들이다.
- [0153] 본 실시예에 따른 반도체 소자는 먼저 수직 필러 트랜지스터를 한 이 후에 플레너 트랜지스터를 형성함으로써 제조된다.
- [0154] 도 27을 참조하면, 먼저 절연막의 제1 영역에서 실시예 2에서 설명한 방법을 동일하게 수행하여 절연막(106) 상에 수직 필러 트랜지스터(160)를 형성한다. 다음에, 상기 수직 필러 트랜지스터를 덮는 제2 층간 절연막(166)을 형성한다.
- [0155] 그런데, 상기 제1 영역에 수직 필러 트랜지스터(160)가 형성되면, 상기 제2 영역에는 소자 분리막 패턴(164)이 포함된 제2 반도체 패턴(162)도 함께 형성되어야 한다. 그러므로, 상기 실시예 2의 방법을 통해 수직 필러 트랜지스터(160)를 형성할 때 상기 제2 영역에서도 상기 소자 분리막 패턴 및 제2 반도체 패턴을 형성하기 위한 증착 및 패터닝 공정이 수반되어야 한다.
- [0156] 이하에서는 보다 구체적으로 상기 공정들을 설명한다.
- [0157] 상기 제1 영역에 제1 하드 마스크 패턴(도시안됨)을 형성할 때, 상기 제2 영역의 액티브 영역을 덮는 제2 하드 마스크 패턴(도시안됨)을 함께 형성한다. 또한, 상기 제1 하드 마스크 패턴을 식각 마스크로 제1 영역의 반도체막을 식각할 때 동시에 상기 제2 하드 마스크 패턴을 식각 마스크로 상기 제2 영역의 제2 반도체 패턴에 소자 분리용 트렌치를 형성한다.
- [0158] 상기 제1 영역에 대해 상기 도 12 내지 도 20에서 설명한 것과 동일한 공정을 수행함으로써 도전성 구조물(148), 하부 반도체 라인(146), 제1 반도체 패턴(140a) 및 제1 불순물 영역(143)을 형성한다. 이 때, 상기 제2 영역은 마스크로 덮혀 있도록 하여 상기 공정들에 의해 상기 제2 반도체 패턴의 형상이 변화되지 않도록 한다.
- [0159] 다음에, 상기 제1 영역에서 도전성 구조물, 하부 반도체 라인 및 제1 반도체 패턴 사이의 갭 부위를 매립하는 예비 층간 절연막을 형성한다. 상기 공정에서 상기 제2 영역의 소자 분리용 트렌치에도 절연 물질을 매립시킨다. 상기 예비 층간 절연막을 연마함으로써 상기 제2 영역에 소자 분리막 패턴(164)을 완성한다.
- [0160] 계속하여, 상기 제1 영역의 예비 층간 절연막의 일부를 식각함으로써 제1 층간 절연막(150)을 형성한다.
- [0161] 이 후, 도 17 내지 도 19를 참조로 설명한 공정을 동일하게 수행한다. 그리고, 상기 도전성 구조물(148) 사이를 매립하는 제2 층간 절연막(166)을 형성하고 평탄화한다.
- [0162] 다음에, 도 20에 도시된 것과 같이, 상기 제1 하드 마스크 패턴을 제거한다. 상기 제1 하드 마스크 패턴을 제거하는 공정에서 상기 제2 하드 마스크 패턴도 제거된다. 상기 제1 층간 절연막(150) 및 소자 분리막 패턴(164)의 높이가 다소 낮아지도록 상기 제1 층간 절연막(150) 및 소자 분리막 패턴(164) 상부를 일부 제거함으로써 상부면이 평탄해지도록 한다.
- [0163] 도 28을 참조하면, 상기 제2 반도체 패턴(162) 상에 게이트 절연막(168), 제2 게이트 전극(170) 및 마스크 패턴(172)이 적층된 게이트 구조물을 형성한다. 상기 제2 게이트 전극(170)의 양측의 제2 반도체 패턴(162)에 선택적으로 불순물을 주입함으로써 상대적으로 저농도를 갖는 제3 및 제4 불순물 영역을 형성한다. 이 때, 형성하고자 하는 플레너형의 트랜지스터의 도전형에 따라 N형 또는 P형 불순물이 주입될 수 있다. 또한, 상기 제2 반도체 패턴(162)에는 N형 트랜지스터 및 P형 트랜지스터가 각각 형성될 수도 있다. 한편, 상기 저농도 불순물 영

역을 형성하기 위한 이온 주입공정은 경우에 따라 생략될 수도 있다.

- [0164] 또한, 상기 제2 게이트 전극(170) 양측에 제2 스페이서(175)를 형성한다. 다음에, 상기 제2 스페이서(175) 양측의 제2 반도체 패턴에 선택적으로 불순물을 주입함으로써 농도를 갖는 제3 및 제4 불순물 영역(174a, 174b)을 형성한다. 상기 공정을 수행함으로써, 플레너 트랜지스터를 완성한다.
- [0165] 도 29를 참조하면, 상기 제2 층간 절연막(166), 제1 반도체 패턴(140a) 및 플레너 트랜지스터를 덮는 제3 층간 절연막(176)을 형성한다.
- [0166] 다음에, 상기 제3 층간 절연막(176)의 일부분을 식각함으로써 제1 기판(100)의 전기적 소자(104)의 게이트 및 불순물 영역을 노출하는 제1 콘택홀들을 형성한다. 그리고, 상기 제1 영역의 절연막(106) 상에 형성되는 수직 필러 트랜지스터의 제1 게이트 전극(154) 및 제1 및 제2 불순물 영역(143, 156)을 노출하는 제2 콘택홀들과 상기 제2 영역의 절연막(106) 상에 형성되는 플레너 트랜지스터의 제3 및 제4 불순물 영역(174a, 174b)을 노출하는 제3 콘택홀들을 각각 형성한다. 상기 제1 내지 제3 콘택홀들은 1회의 식각 공정을 통해 형성될 수도 있고, 2회 이상의 식각 공정을 통해 형성될 수도 있다.
- [0167] 이 후, 상기 제1 내지 제3 콘택홀들 내부에 도전 물질을 매립하여 제1 도전막(도시안됨)을 형성한다. 상기 제1 내지 제3 콘택홀들 내부에만 도전 물질이 남아있도록 제1 도전막을 연마함으로써 제1 내지 제3 콘택 플러그(180, 182, 184)들을 형성한다.
- [0168] 상기 제1 내지 제3 콘택 플러그(180, 182, 184) 및 제3 층간 절연막(176) 상에 제2 도전막(도시안됨)을 형성한다. 상기 제2 도전막은 금속 물질을 증착시켜 형성할 수 있다. 이 후, 상기 제1 내지 제3 콘택 플러그들(180, 182, 184)과 각각 접촉하는 도전성 라인(186)을 형성한다.
- [0169] 상기 설명한 공정들을 수행함에 따라 본 실시예에 따른 반도체 소자가 완성된다.

[0170] 디램 소자

- [0171] 도 30은 본 발명의 실시예 5에 따른 디램 소자를 나타내는 단면도이다.
- [0172] 본 실시예에 따른 디램 소자는 도 9 및 10에 도시된 수직 필러 트랜지스터 각각에 커패시터가 더 포함된 형상을 갖는다.
- [0173] 도 30을 참조하면, 도 9 및 10에 도시된 것과 같이 절연막(106) 상에 수직 필러 트랜지스터가 구비된다.
- [0174] 상기 수직 필러 트랜지스터에서 게이트들 사이와 상기 게이트 상에 제2 층간 절연막(166)이 구비된다. 상기 제2 층간 절연막(166)의 상부면은 상기 반도체 패턴(140a)의 상부면과 동일한 평면에 위치하는 것이 바람직하다. 따라서, 상기 제2 층간 절연막(166)들 사이에서 상기 반도체 패턴(140a)의 상부면이 노출된다.
- [0175] 상기 필러 형상의 반도체 패턴(140a)의 상부면과 접촉하는 커패시터(200)가 구비된다. 도시된 것과 같이, 상기 커패시터(200)는 하부 전극막(200a), 유전막(200b), 상부 전극막(200c)이 순차적으로 적층된 형상을 가질 수 있다. 이와는 달리, 상기 커패시터(200)는 실린더 형상의 하부 전극, 상기 하부 전극 표면 상에 구비되는 유전막 및 상기 유전막 상에 구비되는 상부 전극을 포함할 수 있다.
- [0176] 본 실시예에 따른 디램 소자는 다음과 같은 방법으로 형성할 수 있다.
- [0177] 우선, 도 11 내지 도 20을 참조로 설명한 것과 동일한 공정을 통해 수직 필러 트랜지스터를 형성한 다음 제2 층간 절연막(166)을 형성한다. 다음에, 하부 전극용 도전막, 유전막 및 상부 전극용 도전막을 형성하고 패터닝함으로써 상기 제1 반도체 패턴의 상부면과 접촉하는 커패시터(200)를 형성한다.
- [0178] 설명한 것과는 다른 방법으로, 실린더 형상의 하부 전극, 유전막 및 상부 전극을 순차적으로 형성함으로써 상기 제1 반도체 패턴의 상부면과 접촉하는 실린더형 커패시터를 형성할 수 있다.
- [0179] 이하에서는 본 발명의 실시예 6에 따른 디램 소자를 설명한다.
- [0180] 본 실시예에 따른 디램 소자는 절연막이 셀 영역 및 페리 회로 영역으로 구분된다. 또한, 상기 셀 영역에는 수직 필러 트랜지스터가 구비되고, 페리 회로 영역에는 플레너 트랜지스터가 구비된다. 이는 도 26에 도시된 반도체 소자에서, 제1 영역이 셀 영역에 해당되고 제2 영역이 페리 회로 영역에 해당되는 것이다.

[0181] 또한, 상기 셀 영역에 위치하는 수직 필러 트랜지스터 각각에는 커패시터가 연결된다. 상기 커패시터는 적층형 커패시터 또는 실린더 커패시터일 수 있다.

[0182] 이하에서는 본 발명의 실시예 7에 따른 반도체 소자를 설명한다.

[0183] 본 실시예에 따른 반도체 소자는 제1 기판이 절연 물질로 이루어져 있다. 상기 제1 기판에는 전기적 기계적 동작을 하는 스위칭 소자가 구비된다. 또한, 절연막 상에는 도 10에 도시된 것과 같은 수직형 필러 트랜지스터가 구비된다.

산업이용 가능성

[0184] 상기 설명한 것과 같이, 본 발명은 고집적화된 트랜지스터를 포함하는 각종 반도체 소자에 이용될 수 있다. 예를들어, 디램 소자, 에스램 소자 등에도 이용될 수 있다. 또한, 상기 게이트 구조를 전하 저장막 패턴 및 유전막을 더 포함하는 구조로 변경함으로써 플래시 메모리 소자에도 이용될 수 있다.

도면의 간단한 설명

[0185] 도 1은 본 발명의 실시예 1에 따른 반도체 박막을 나타내는 단면도이다.

[0186] 도 2 내지 도 8은 도 1에 도시된 반도체 박막 형성 방법을 나타내는 단면도들이다.

[0187] 도 9는 본 발명의 실시예 2에 따른 수직형 필러 트랜지스터를 나타내는 단면도이다.

[0188] 도 10은 도 9에서 수직형 필러 트랜지스터 부위를 나타내는 사시도이다.

[0189] 도 11 내지 도 20은 도 9 및 도 10에 도시된 수직형 필러 트랜지스터의 제조 방법을 나타내는 단면도이다.

[0190] 도 21은 본 발명의 실시예 3에 따른 수직형 필러 트랜지스터를 나타내는 단면도이다.

[0191] 도 22 내지 도 25는 도 21에 도시된 수직형 필러 트랜지스터의 제조 방법을 나타내는 단면도들이다.

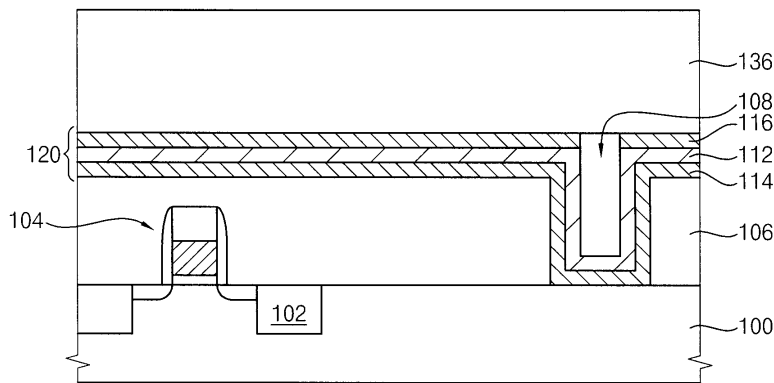
[0192] 도 26은 본 발명의 실시예 4에 따른 수직 필러 트랜지스터를 포함하는 반도체 소자를 나타내는 단면도이다.

[0193] 도 27 내지 도 29는 도 26에 도시된 반도체 소자의 제조 방법을 나타내는 단면도들이다.

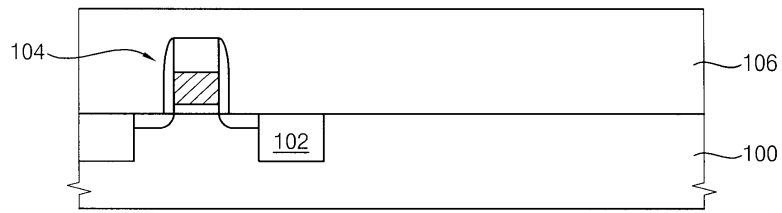
[0194] 도 30은 본 발명의 실시예 5에 따른 디램 소자를 나타내는 단면도이다.

도면

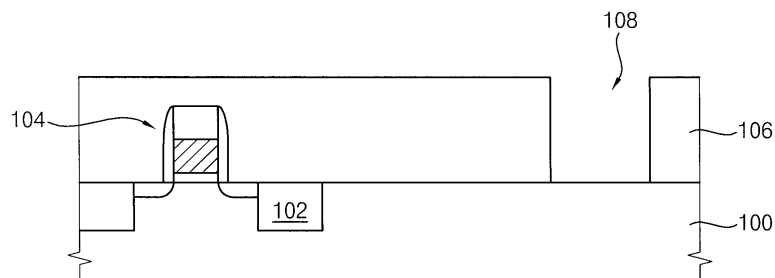
도면1



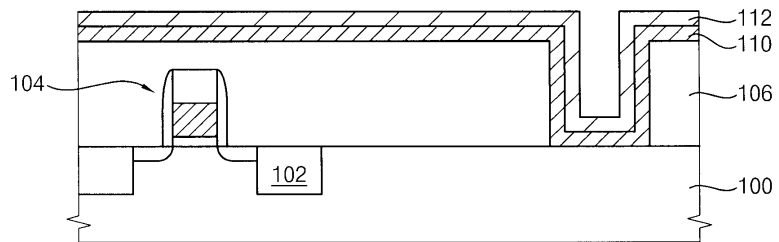
도면2



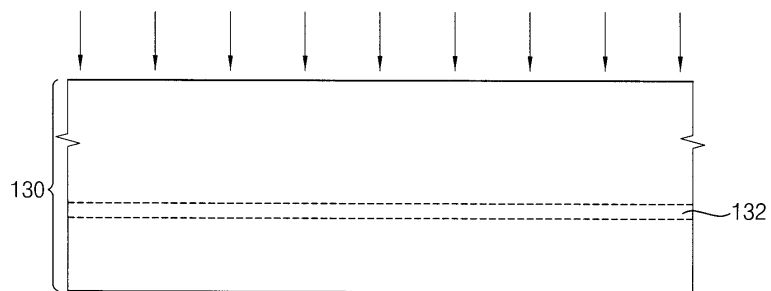
도면3



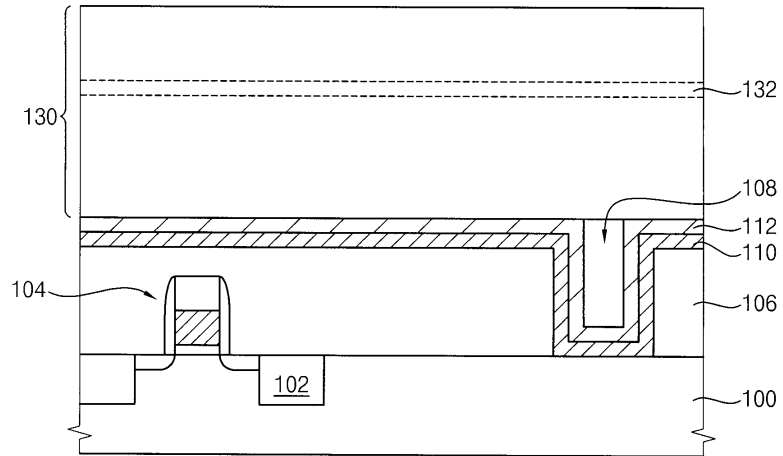
도면4



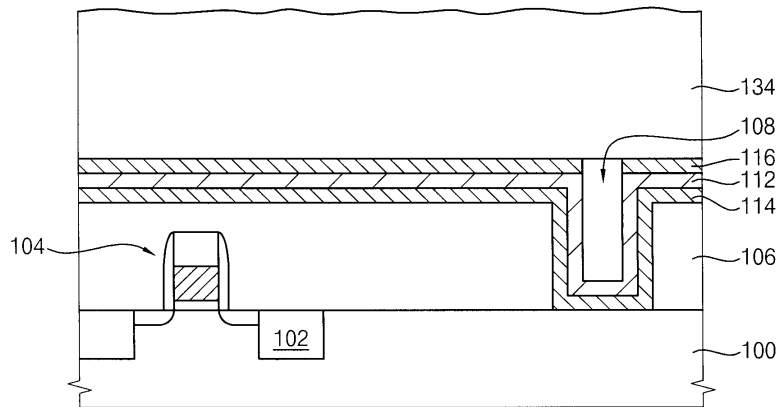
도면5



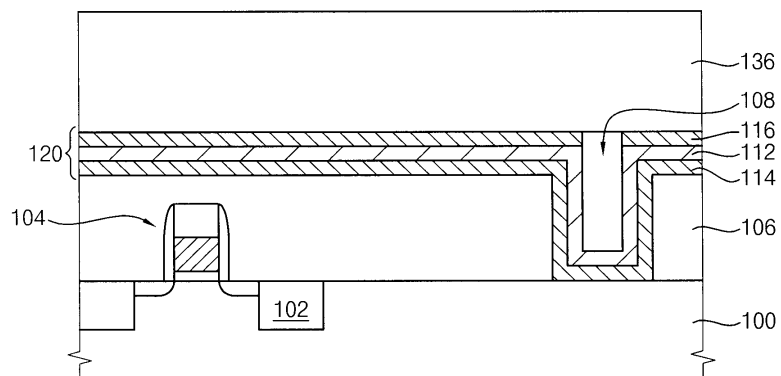
도면6



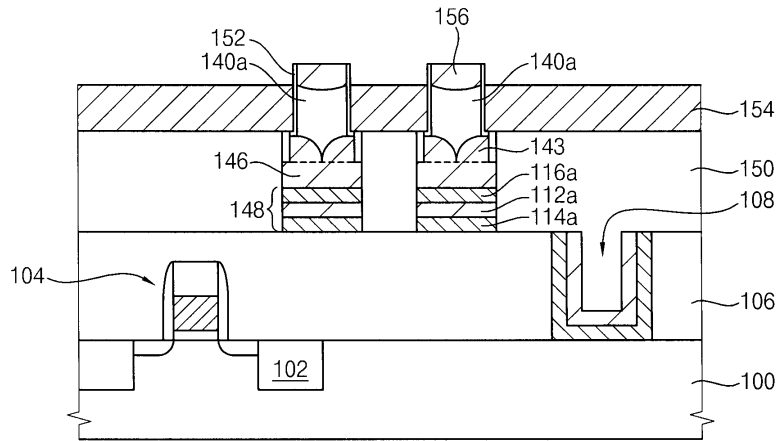
도면7



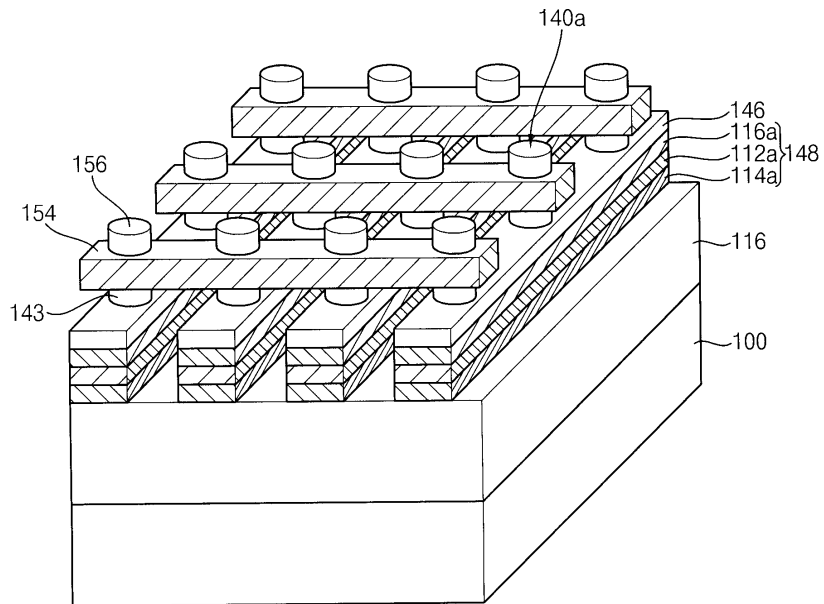
도면8



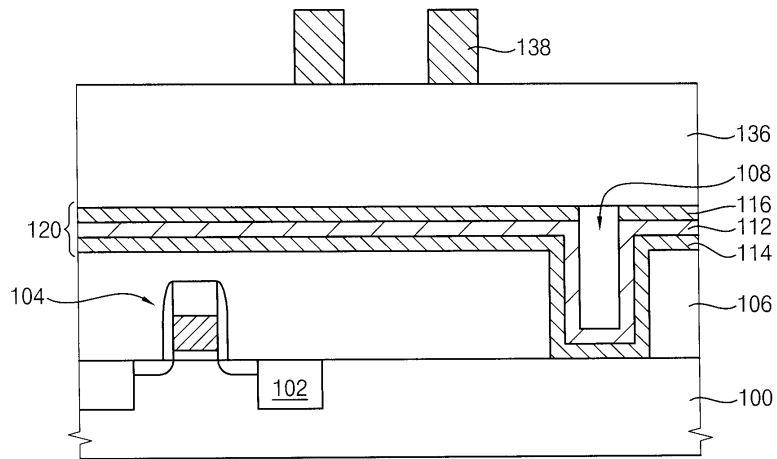
도면9



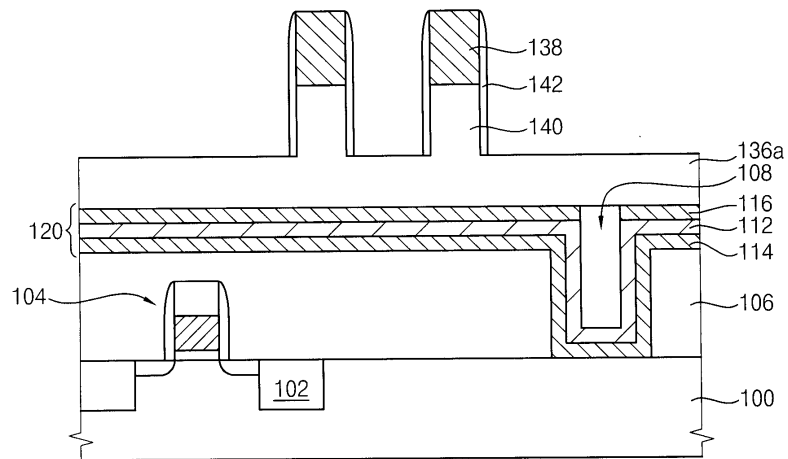
도면10



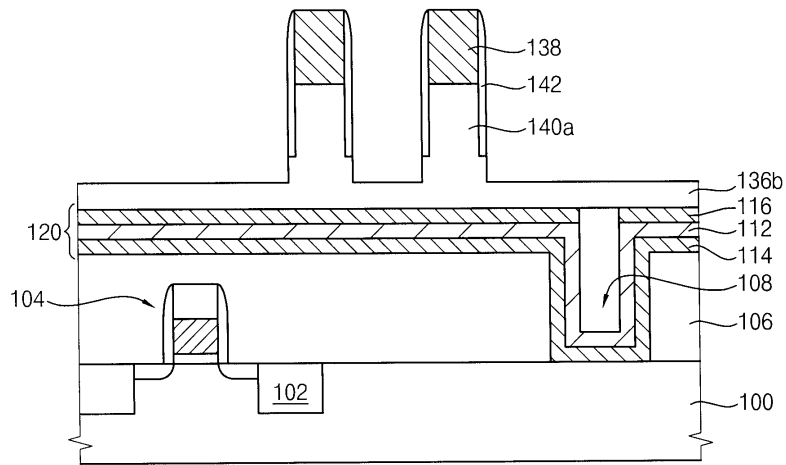
도면11



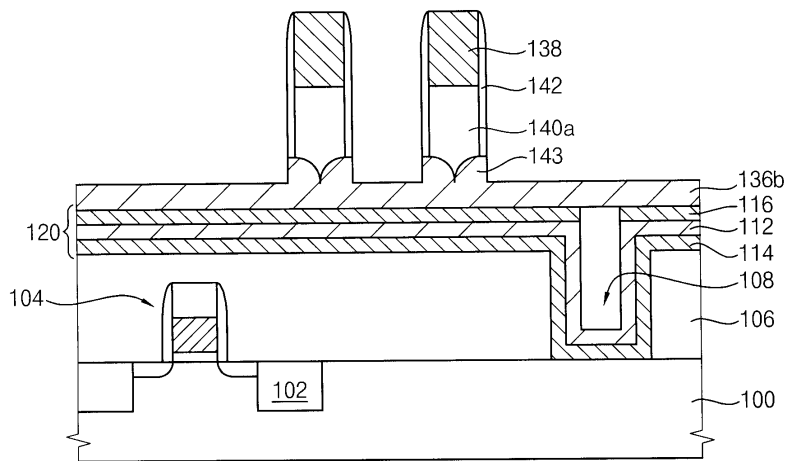
도면12



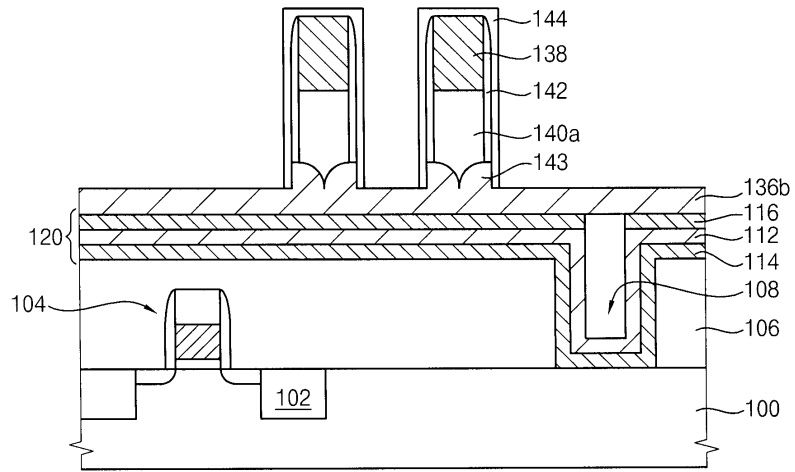
도면13



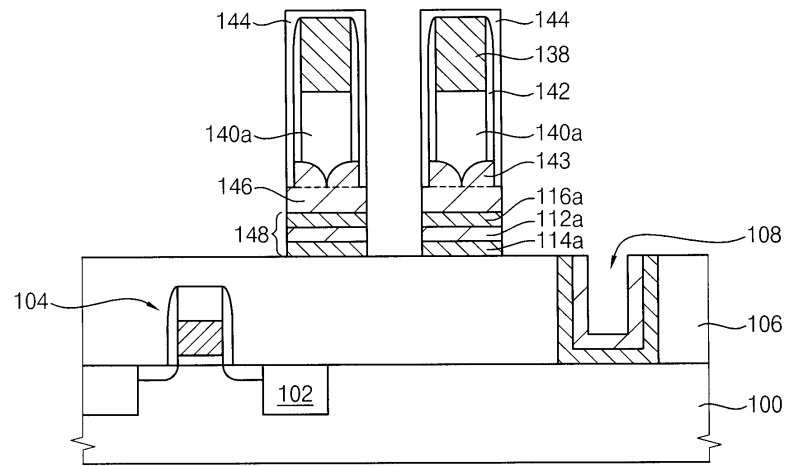
도면14



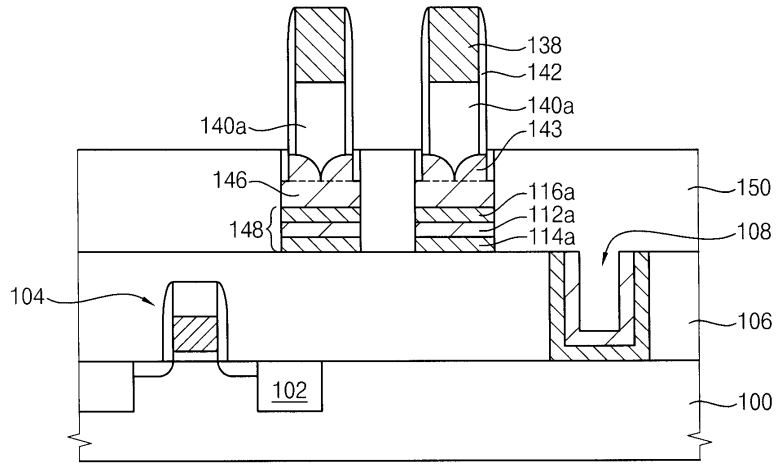
도면15



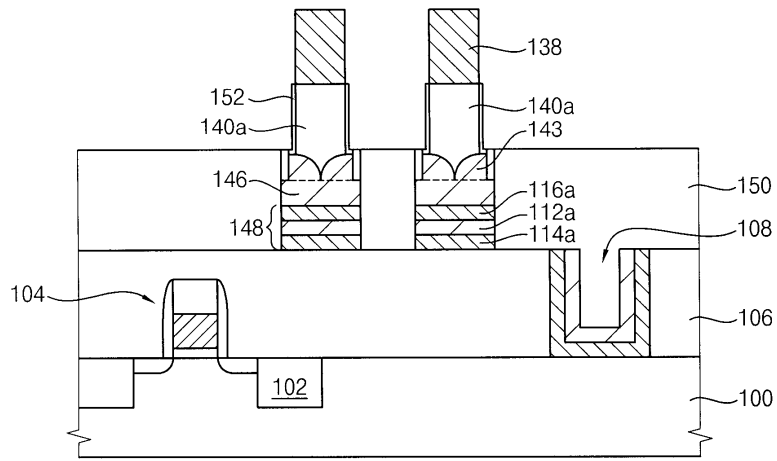
도면16



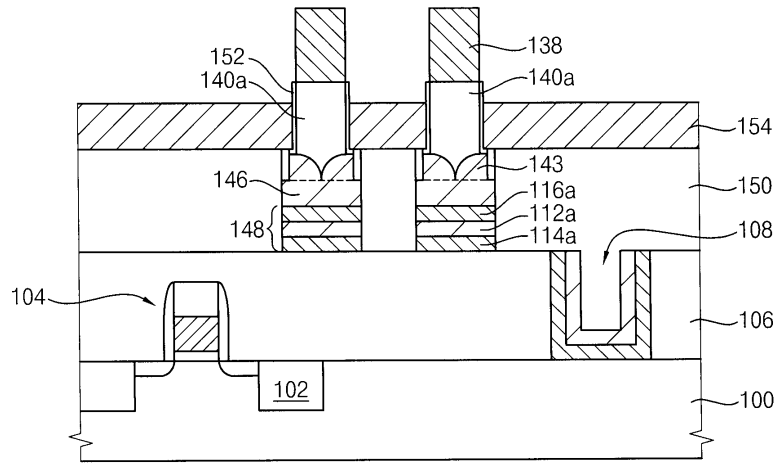
도면17



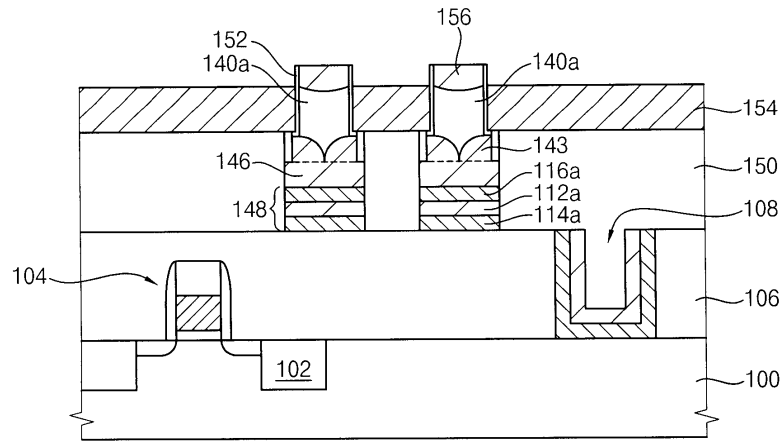
도면18



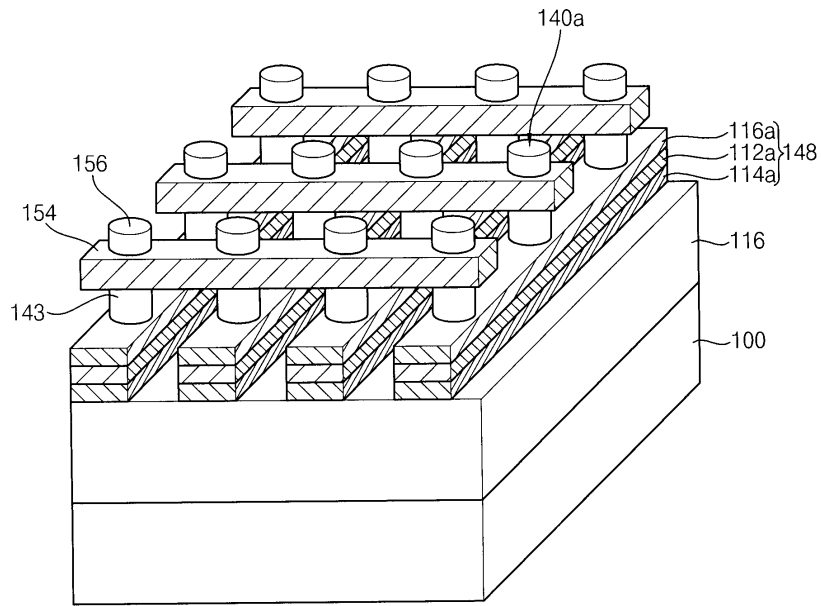
도면19



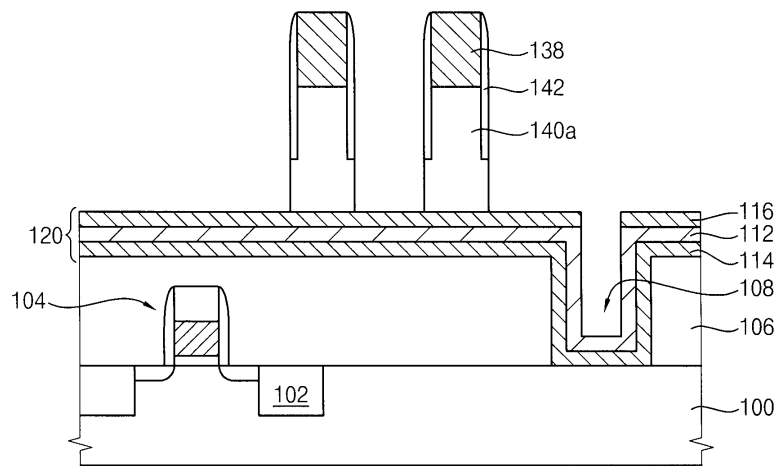
도면20



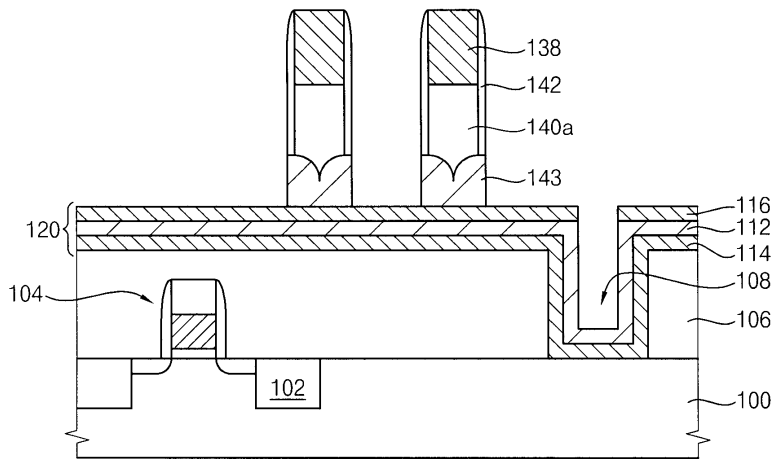
도면21



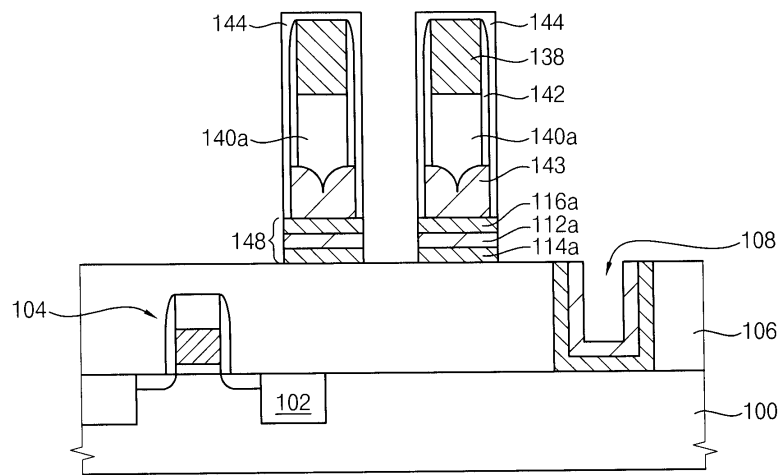
도면22



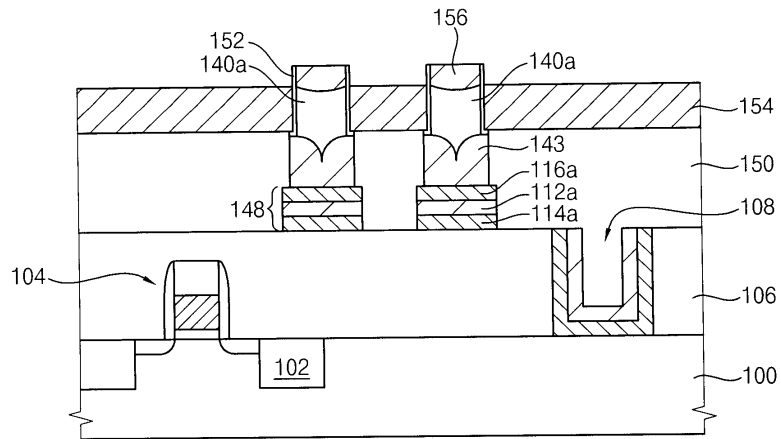
도면23



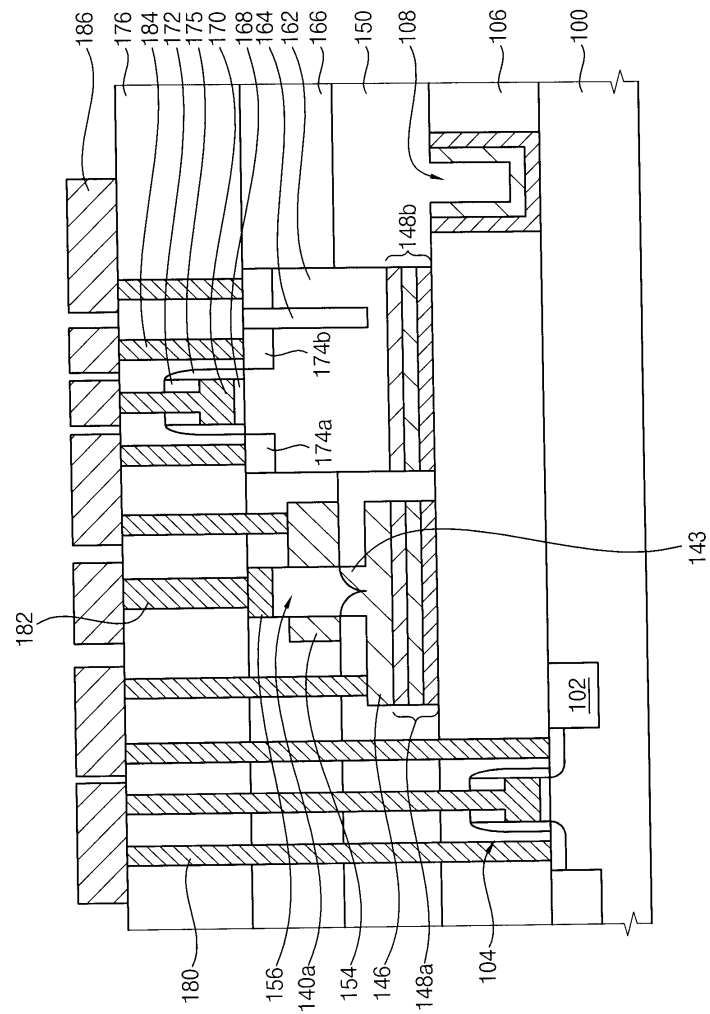
도면24



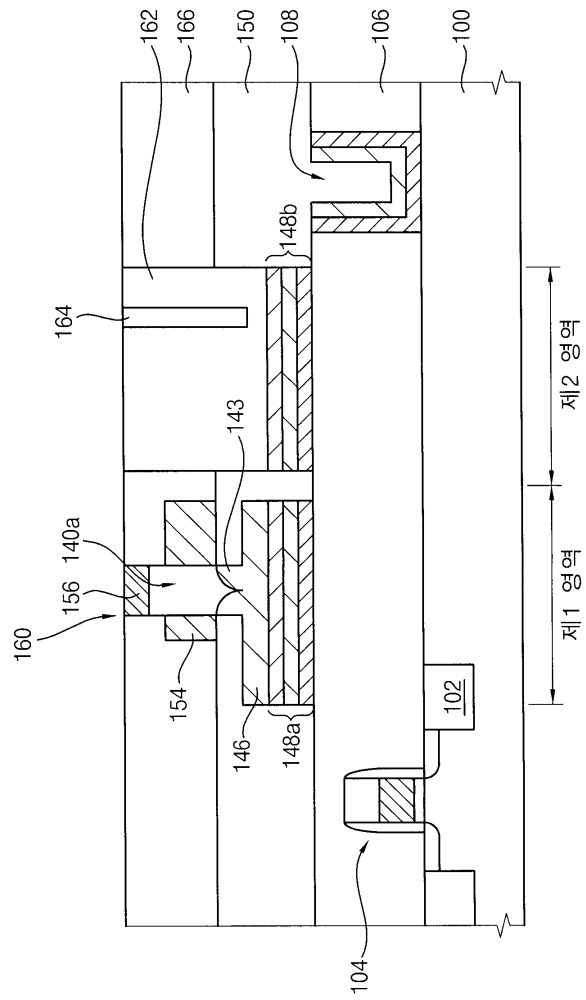
도면25



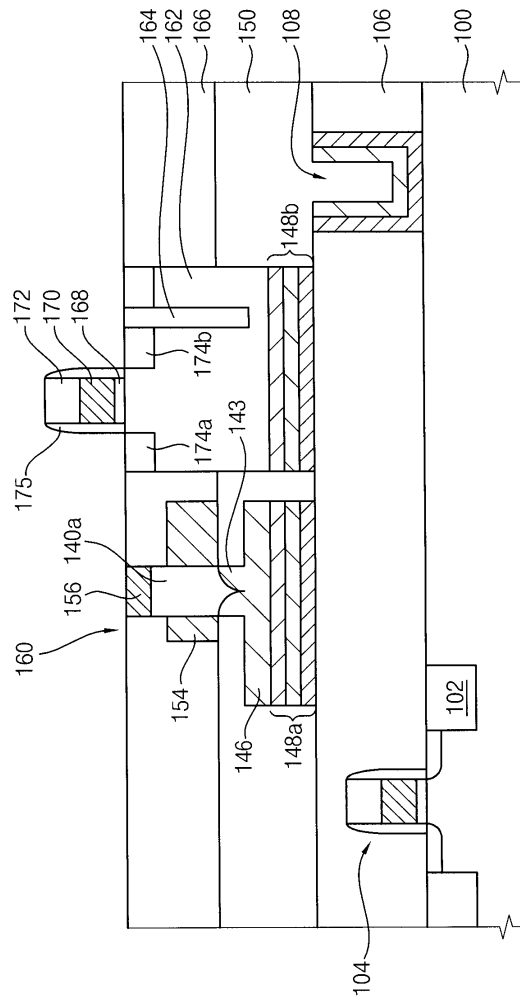
도면26



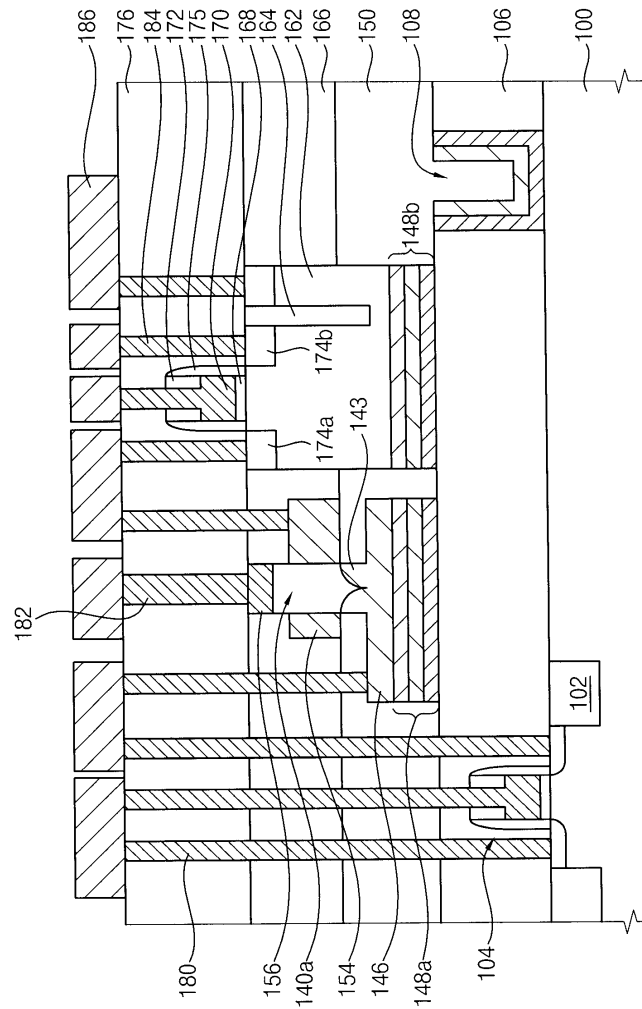
도면27



도면28



도면29



도면30

