



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0110527
(43) 공개일자 2009년10월22일

(51) Int. Cl.

H03K 17/22 (2006.01)

(21) 출원번호 10-2008-0036072

(22) 출원일자 2008년04월18일

심사청구일자 2008년04월18일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

텐소프성전자(주)

경상남도 창원시 외동 853-11

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

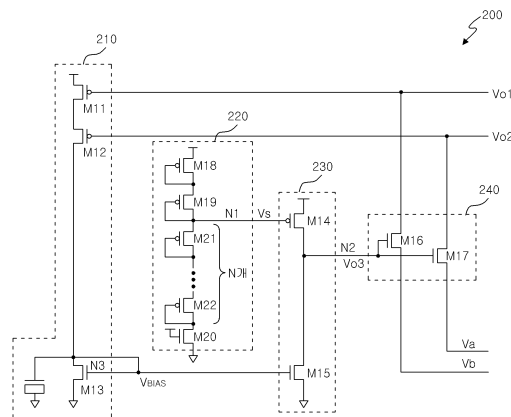
전체 청구항 수 : 총 3 항

(54) 스타트 업 회로

(57) 요약

본 발명은 기준전압회로에서의 중요한 노드 전압들을 초기화 때에는 빠른 시간 내에 정상적인 전압준위를 가지게 하고, 정상동작 시에는 제로 값을 갖지 않도록 하며 소비전력이 적은 스타트 업 회로를 개시한다. 본 발명에 따른 스타트 업 회로는, 바이어스 블록, 내부기준전압 생성블록, 증폭블록 및 전압변경블록을 구비한다. 상기 바이어스블록은 상기 제1응답전압 및 상기 제2응답전압에 응답하여 바이어스 전압을 생성한다. 상기 내부기준전압 생성블록은 스타트 업 기준전압을 생성한다. 상기 증폭블록은 상기 바이어스 전압 및 상기 스타트 업 기준전압에 응답하여 내부출력전압을 생성한다. 상기 전압변경블록은 상기 제1응답전압, 상기 제2응답전압 및 상기 내부출력전압을 이용하여 상기 제1입력전압 및 상기 제2입력전압을 변경시킨다.

대표도 - 도2



특허청구의 범위

청구항 1

제1입력전압(V_a) 및 제2입력전압(V_b)에 응답하여 제1응답전압(V_{o1}) 및 제2응답전압(V_{o2})을 출력하는 차동증폭블록(110);

일 단자가 제1전원전압에 연결되고 게이트에 상기 제1응답전압(V_{o1})이 인가된 제1모스트랜지스터(M1);

일 단자가 제1전원전압에 연결되고 게이트에 상기 제1응답전압(V_{o1})이 인가된 제2모스트랜지스터(M2);

일 단자가 상기 제1모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자가 상기 제1입력전압(V_a)을 출력하며 게이트에 상기 제2응답전압(V_{o2})이 인가된 제3모스트랜지스터(M3);

일 단자가 상기 제2모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자가 상기 제2입력전압(V_b)을 출력하며 게이트에 상기 제2응답전압(V_{o2})이 인가된 제4모스트랜지스터(M4);

일 단자가 상기 제1입력전압(V_a)을 출력하고 다른 일 단자 및 베이스가 접지된 제1바이폴라트랜지스터(Q1);

상기 제1입력전압(V_a) 및 접지전압 사이에 배치된 제1저항(R1);

일 단자가 상기 제2입력전압(V_b)을 출력하는 제2저항(R2);

일 단자가 상기 제2저항(R2)의 다른 일 단자에 연결되고 다른 일 단자 및 베이스가 접지된 제2바이폴라트랜지스터(Q2);

상기 제2입력전압(V_b) 및 접지전압 사이에 배치된 제2저항(R2); 및

상기 제1응답전압(V_{o1}) 및 상기 제2응답전압(V_{o2})에 응답하여 기준전압(V_{ref})을 생성하는 기준전압출력블록(130)을 구비하는 전압기준회로의 스타트 업 회로에 있어서,

상기 제1응답전압(V_{o1}) 및 상기 제2응답전압(V_{o2})에 응답하여 바이어스 전압(V_{BIAS})을 생성하는 바이어스블록(210);

스타트 업 기준전압(V_s)을 생성하는 내부기준전압 생성블록(220);

상기 바이어스 전압(V_{BIAS}) 및 상기 스타트 업 기준전압(V_s)에 응답하여 내부출력전압(V_{o3})을 생성하는 증폭블록(230); 및

상기 제1응답전압(V_{o1}), 상기 제2응답전압(V_{o2}) 및 상기 내부출력전압(V_{o3})을 이용하여 상기 제1입력전압(V_a) 및 상기 제2입력전압(V_b)을 변경시키는 전압변경블록(240)을 구비하는 것을 특징으로 하는 스타트 업 회로.

청구항 2

제1항에 있어서, 바이어스블록(210)은,

일 단자가 전원전압에 연결되고 게이트에 상기 제1응답전압(V_{o1})이 인가되는 제11모스트랜지스터(M11);

일 단자가 상기 제11모스트랜지스터(M11)의 다른 일 단자에 연결되고 다른 일 단자가 상기 바이어스 전압(V_{BIAS})을 출력하며 게이트에 상기 제2응답전압(V_{o2})이 인가되는 제12모스트랜지스터(M12); 및

일 단자 및 게이트가 상기 바이어스 전압(V_{BIAS})을 출력하며 다른 일 단자가 접지된 제13모스트랜지스터(M13)를 구비하며,

상기 증폭블록(230)은,

일 단자가 접지되고 다른 일 단자가 상기 내부출력전압(V_{o3})을 출력하며 게이트에 상기 바이어스 전압(V_{BIAS})이 인가된 제15모스트랜지스터(M15); 및

일 단자가 전원전압에 연결되고 다른 일 단자가 상기 내부출력전압(V_{o3})을 출력하며 게이트에 상기 스타트 업 기준전압(V_s)이 인가되는 제14모스트랜지스터(M14)를 구비하고,

상기 전압변경블록(240)은,

상기 제1응답전압(V_{o1}) 및 상기 제1입력전압(V_a) 사이에 설치되며 게이트에 상기 내부출력전압(V_{o3})이 인가되는 제16모스트랜지스터(M16); 및

상기 제2응답전압(V_{o2}) 및 상기 제2입력전압(V_b) 사이에 설치되며 게이트에 상기 내부출력전압(V_{o3})이 인가되는 제17모스트랜지스터(M17)를 구비하는 것을 특징으로 하는 스타트 업 회로.

청구항 3

제1항에 있어서, 상기 내부기준전압 생성블록(220)은,

일 단자가 전원전압에 연결되고 다른 일 단자 및 게이트가 공통으로 연결된 제18모스트랜지스터(M18);

일 단자가 상기 제18모스트랜지스터(M18)의 다른 일 단자에 연결되며 다른 일 단자 및 게이트가 공통으로 상기 스타트 업 기준전압(V_s)을 생성하는 제19모스트랜지스터(M19);

일 단자가 접지되고 게이트에 전원전압이 인가된 제20모스트랜지스터(M20); 및

상기 제19모스트랜지스터(M19)의 다른 일 단자 및 상기 제20모스트랜지스터(M20)의 다른 일 단자 사이에 병렬로 다이오드 연결된 N개의 모스트랜지스터들을 구비하는 것을 특징으로 하는 스타트 업 회로.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 스타트 업 회로에 관한 것으로, 특히 전압기준회로의 스타트 업 회로에 관한 것이다.

배경 기술

- <2> 아날로그 회로의 설계 시에는 여러 종류의 바이어스 회로가 사용되는데, 이러한 바이어스 회로에는 전원전압 공급의 초기에 발생하는 과도상태를 방지하기 위해 스타트 업 회로가 사용된다. 즉 스타트 업 회로란 전원전압의 초기 인가 시에만 동작하여 바이어스 회로가 빠른 시간 내에 안정적인 바이어스 전압을 생성하도록 하는 회로를 말한다.
- <3> 일반적으로 전원의 변동, 온도 및 공정파라미터의 변동 등과 같이 회로 자체가 아닌 회로가 구현된 장치의 외부 환경 변화에 의해 회로의 동작특성이 달라진다. 이러한 상황이 발생되지 않게 하기 위해 전원이나 온도가 변화 하더라도 변하지 않는 바이어스 전원을 사용하게 되는데, 상기의 조건을 만족하는 바이어스 전압을 생성하는 밴드 갭(band gap)을 이용한 기준전압 발생회로가 널리 사용되고 있다. 밴드 갭 기준바이어스 발생회로의 내부에 설치된 바이어스 회로는 공급전원이 제로(zero)가 아닌 정상동작인 경우에서도 기준바이어스 전압 또는 기준 바이어스 전류가 제로 상태에 빠지는 오동작을 일으키는 가능성이 있다. 따라서 기준바이어스 회로가 정상동작에서 기준바이어스 전압 또는 기준바이어스 전류가 제로상태에 빠지지 않도록 적절한 스타트 업 회로가 추가적으로 필요하다.
- <4> 도 1은 종래의 기준전압회로의 회로도이다.
- <5> 도 1을 참조하면, 기준전압회로(100)는, 차동증폭블록(110), 입력전압 생성블록(120) 및 기준전압출력블록(130)을 구비한다.
- <6> 차동증폭블록(110)은 입력전압 생성블록(120)에서 생성된 제1입력전압(V_a) 및 제2입력전압(V_b)에 응답하여 제1 응답전압(V_{o1}) 및 제2응답전압(V_{o2})을 출력한다.
- <7> 입력전압 생성블록(120)은 제1응답전압(V_{o1}) 및 제2응답전압(V_{o2})에 응답하여 제1입력전압(V_a) 및 제2입력전압(V_b)을 생성하며, 이를 위해, 4개의 모스트랜지스터(M1 ~ M4), 2개의 바이폴라트랜지스터(Q1, Q2) 및 3개의 저항(R11, R12, R2)를 구비한다.
- <8> 제1모스트랜지스터(M1)는 일 단자가 제1전원전압에 연결되고 게이트에 상기 제1응답전압(V_{o1})이 인가된다. 제2 모스트랜지스터(M2)는 일 단자가 제1전원전압에 연결되고 게이트에 상기 제1응답전압(V_{o1})이 인가된다. 제3모스

트랜지스터(M3)는 일 단자가 상기 제1모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자가 상기 제1입력 전압(Va)을 출력하며 게이트에 상기 제2응답전압(Vo2)이 인가된다. 제4모스트랜지스터(M4)는 일 단자가 상기 제2모스트랜지스터의 다른 일 단자에 연결되고 다른 일 단자가 상기 제2입력전압(Vb)을 출력하며 게이트에 상기 제2응답전압(Vo2)이 인가된다.

<9> 제1바이폴라트랜지스터(Q1)는 일 단자가 상기 제1입력전압(Va)을 출력하고 다른 일 단자 및 베이스가 접지된다. 제11저항(R11)은 상기 제1입력전압(Va) 및 접지전압 사이에 배치된다.

<10> 제2저항(R2)은 일 단자가 상기 제2입력전압(Vb)을 출력한다. 제2바이폴라트랜지스터(Q2)는 일 단자가 상기 제2저항(R2)의 다른 일 단자에 연결되고 다른 일 단자 및 베이스가 접지된다. 제12저항(R12)은 상기 제2입력전압(Vb) 및 접지전압 사이에 배치된다.

<11> 기준전압출력블록(130)은 상기 제1응답전압(Vo1) 및 상기 제2응답전압(Vo2)에 응답하여 기준전압(Vref)을 생성한다.

<12> 도 1에 도시된 기준전압회로에서 생성되는 기준전압은 수학적 식 1과 같이 표시할 수 있다.

수학적 식 1

<13>
$$V_{ref} = 2R_3 \left(\frac{V_{EB}}{R_1} + \frac{V_T \ln N}{R_2} \right)$$

<14> 여기서 V_T (Thermal Voltage)는 온도가 증가하면 증가하지만 에미터 및 베이스 사이의 전압(V_{EB})은 반대로 온도가 증가하면 감소하므로 서로 상쇄되어, 출력되는 기준전압(Vref)의 전압준위는 온도의 변화에 무관하게 된다. 여기서 N은 제2바이폴라 트랜지스터(Q2)와 제1바이폴라트랜지스터(Q1)의 에미터 면적의 비를 나타낸다.

<15> 도 1에 도시된 종래의 기준전압회로(100)에서의 중요한 노드 전압은 제1입력전압(Va), 제2입력전압(Vb), 제1응답전압(Vo1) 및 제2응답전압(Vo2)이 된다. 따라서 상기 4개의 노드 전압을 초기화 때에는 빠른 시간 내에 정상적인 전압준위를 가지게 하고, 정상동작 시에는 제로 값을 갖지 않도록 하는 스타트업 회로가 요구된다.

발명의 내용

해결 하고자하는 과제

<16> 본 발명이 해결하고자 하는 기술적 과제는, 기준전압회로(100)에서의 중요한 복수 개의 노드 전압들이 초기화 때에는 빠른 시간 내에 정상적인 전압준위를 가지고, 정상동작 시에는 제로 값을 갖지 않도록 하며 소비전력이 적은 스타트업 회로를 제공하는데 있다.

과제 해결수단

<17> 상기 기술적 과제를 이루기 위한 본 발명에 따른 스타트업 회로는, 바이어스 블록, 내부기준전압 생성블록, 증폭블록 및 전압변경블록을 구비한다. 상기 바이어스블록은 상기 제1응답전압 및 상기 제2응답전압에 응답하여 바이어스 전압을 생성한다. 상기 내부기준전압 생성블록은 스타트업 기준전압을 생성한다. 상기 증폭블록은 상기 바이어스 전압 및 상기 스타트업 기준전압에 응답하여 내부출력전압을 생성한다. 상기 전압변경블록은 상기 제1응답전압, 상기 제2응답전압 및 상기 내부출력전압을 이용하여 상기 제1입력전압 및 상기 제2입력전압을 변경시킨다.

효 과

<18> 본 발명에 따른 스타트업 회로는 기준전압회로에서의 중요한 복수 개의 노드 전압들이 초기화 때에는 빠른 시간 내에 정상적인 전압준위를 가지고, 정상동작 시에는 제로 값을 갖지 않도록 하며 소비전력이 적다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<19> 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

<20> 도 2는 본 발명에 따른 스타트업 회로의 회로도이다.

- <21> 도 2를 참조하면, 본 발명에 따른 스타트 업 회로(200)는 바이어스 블록(210), 내부기준전압 생성블록(220), 증폭블록(230) 및 전압변경블록(240)을 구비한다.
- <22> 바이어스블록(210)은 상기 제1응답전압(V_{o1}) 및 상기 제2응답전압(V_{o2})에 응답하여 바이어스 전압(V_{BIAS})을 생성하며, 3개의 MOST랜지스터(M11~M13)를 구비한다. 제11MOST랜지스터(M11)는 일 단자가 전원전압에 연결되고 게이트에 상기 제1응답전압(V_{o1})이 인가된다. 제12MOST랜지스터(M12)는 일 단자가 상기 제11MOST랜지스터(M11)의 다른 일 단자에 연결되고 다른 일 단자가 상기 바이어스 전압(V_{BIAS})을 출력하며 게이트에 상기 제2응답전압(V_{o2})이 인가된다. 제13MOST랜지스터(M13)는 일 단자 및 게이트가 상기 바이어스 전압(V_{BIAS})을 출력하며 다른 일 단자가 접지된다.
- <23> 상기 내부기준전압 생성블록(220)은 스타트 업 기준전압(V_s)을 생성하며, 복수 개의 MOST랜지스터들(M18~M21)을 구비한다. 제18MOST랜지스터(M18)는 일 단자가 전원전압에 연결되고 다른 일 단자 및 게이트가 공통으로 연결된다. 제19MOST랜지스터(M19)는 일 단자가 상기 제18MOST랜지스터(M18)의 다른 일 단자에 연결되며 다른 일 단자 및 게이트가 공통으로 상기 스타트 업 기준전압(V_s)을 생성한다. 제20MOST랜지스터(M20)는 일 단자가 접지되고 게이트에 전원전압이 인가된다. N개의 MOST랜지스터들(M21 ~ M22)은 제19MOST랜지스터(M19)의 다른 일 단자 및 제20MOST랜지스터(M20)의 다른 일 단자 사이에 병렬로 다이오드 연결된다.
- <24> 상기 증폭블록(230)은 상기 바이어스 전압(V_{BIAS}) 및 상기 스타트 업 기준전압(V_s)에 응답하여 내부출력전압(V_{o3})을 생성하며 2개의 MOST랜지스터(M14, M15)를 구비한다. 제14MOST랜지스터(M14)는 일 단자가 전원전압에 연결되고 다른 일 단자가 상기 내부출력전압(V_{o3})을 출력하며 게이트에 상기 스타트 업 기준전압(V_s)이 인가된다. 제15MOST랜지스터(M15)는 일 단자가 접지되고 다른 일 단자가 상기 내부출력전압(V_{o3})을 출력하며 게이트에 상기 바이어스 전압(V_{BIAS})이 인가된다.
- <25> 상기 전압변경블록(240)은 상기 제1응답전압(V_{o1}), 상기 제2응답전압(V_{o2}) 및 상기 내부출력전압(V_{o3})을 이용하여 상기 제1입력전압(V_a) 및 상기 제2입력전압(V_b)을 변경시키며, 2개의 MOST랜지스터들(M16, M17)을 구비한다. 제16MOST랜지스터(M16)는 상기 제1응답전압(V_{o1}) 및 상기 제1입력전압(V_a) 사이에 설치되며 게이트에 상기 내부출력전압(V_{o3})이 인가된다. 제17MOST랜지스터(M17)는 상기 제2응답전압(V_{o2}) 및 상기 제2입력전압(V_b) 사이에 설치되며 게이트에 상기 내부출력전압(V_{o3})이 인가된다.
- <26> 이하에서는 도 2에 도시된 본 발명에 따른 스타트 업 회로의 동작에 대해 설명한다.
- <27> 스타트 업 기준전압(V_s)을 생성하는 내부기준전압 생성블록(220)은 다이오드 연결된 복수 개의 MOST랜지스터들이 동작전원의 양단에 직렬로 연결되어 있다. 따라서 회로에 전원이 인가되는 순간 상기 스타트 업 기준전압(V_s)은 트랜지스터의 응답시간 정도의 지연시간 후에 자동적으로 셋업 된다. 기준전압회로(100)에서 생성되는 제1응답전압(V_{o1}) 및 제2응답전압(V_{o2})도 전원이 인가되는 순간 일정한 전압준위를 가지게 되므로, 제1응답전압(V_{o1}) 및 제2응답전압(V_{o2})에 대응하여 바이어스블록(210)에서 바이어스 전압(V_{BIAS})을 생성한다. 생성된 바이어스 전압(V_{BIAS}) 및 스타트 업 기준전압(V_s)에 응답하여 증폭블록(230)은 내부출력전압(V_{o3})의 전압준위를 결정한다. 내부출력전압(V_{o3})은 전압변경블록(240)에서 제1입력전압(V_a) 및 제2입력전압(V_b)의 전압준위를 변경시킨다. 변경된 제1입력전압(V_a) 및 제2입력전압(V_b)은 기준전압회로(100)에 전달되어 제1응답전압(V_{o1}) 및 제2응답전압(V_{o2})을 다시 변경시킨다. 이러한 폐 루프가 연속하면 최종적으로 안정된 기준전압(V_{ref})을 생성시킬 수 있다.
- <28> 내부기준전압 생성블록(220)은 다이오드 연결된 복수 개의 트랜지스터들이 스타트 업 기준전압(V_s)을 생성하며 회로가 정상적으로 동작하고 있는 동안에는 스타트 업 기준전압(V_s)의 전압준위가 변하지 않으므로, 상술한 바와 같이 각 노드의 전압준위가 제로상태가 되는 일은 방지된다.
- <29> 또한 스타트 업 기준전압(V_s)을 생성하는 노드와 접지전압 사이에 다이오드 연결된 N개의 MOST랜지스터가 직렬로 연결되어 있으므로, 내부기준전압 생성블록(220)의 소비전력은 적게 된다. 이 때 스타트 업 기준전압(V_s)의 전압준위는 높은 편이다. 따라서 스타트 업 기준전압(V_s)에 의해 동작하는 증폭블록(230)에서 소비하는 전력이 감소되어 스타트 업 전체 회로에서 소비하는 전력은 상당히 적게 된다.

<30> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

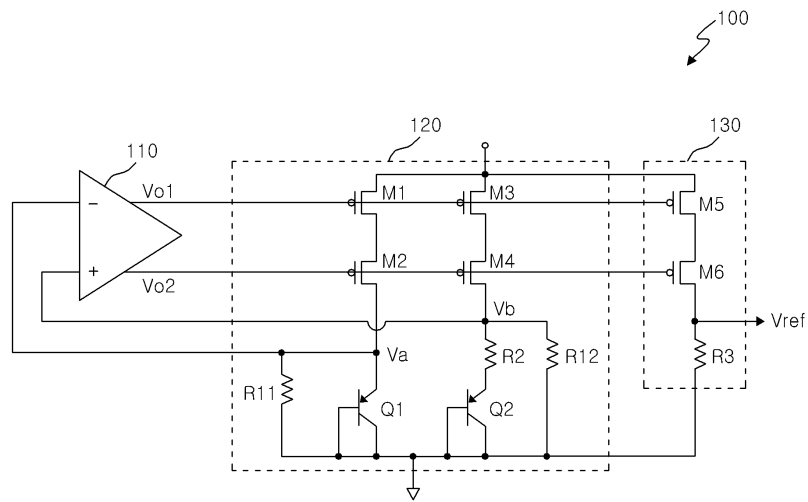
도면의 간단한 설명

<31> 도 1은 종래의 기준전압회로의 회로도이다.

<32> 도 2는 본 발명에 따른 스타트 업 회로의 회로도이다.

도면

도면1



도면2

