

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月17日(17.08.2023)



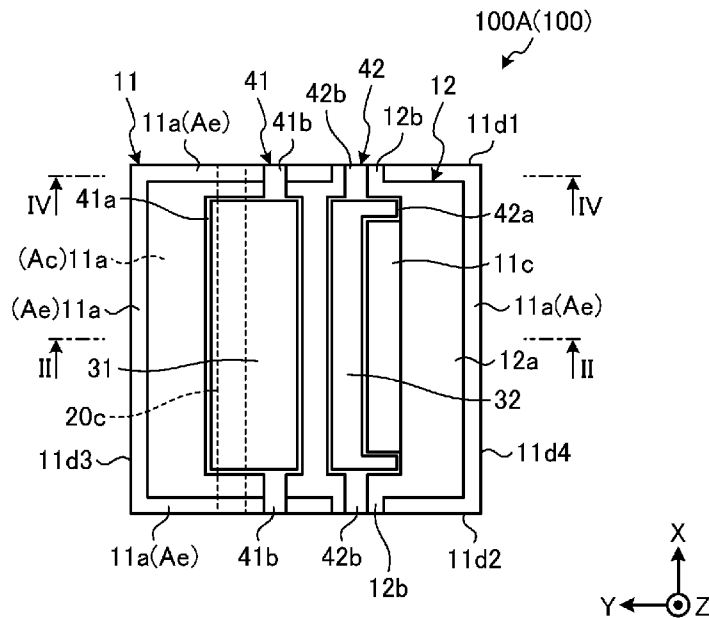
(10) 国際公開番号

WO 2023/153276 A1

- (51) 国際特許分類:
H01S 5/028 (2006.01) *H01S 5/227* (2006.01)
H01S 5/22 (2006.01)
- (21) 国際出願番号: PCT/JP2023/003110
- (22) 国際出願日: 2023年1月31日(31.01.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-018040 2022年2月8日(08.02.2022) JP
- (71) 出願人: 古河電気工業株式会社(FURUKAWA ELECTRIC CO., LTD.) [JP/JP]; 〒1008322 東京都千代田区大手町二丁目6番4号 Tokyo (JP).
- (72) 発明者: 八尾 健一郎 (YAO, Kenichiro); 〒1008322 東京都千代田区大手町二丁目6番4号 古河電気工業株式会社内 Tokyo (JP).
吉田 匡廣(YOSHIDA, Masahiro); 〒1008322 東京都千代田区大手町二丁目6番4号 古河電気工業株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR ELEMENT, SEMICONDUCTOR ELEMENT ARRAY AND WAFER

(54) 発明の名称: 半導体素子、半導体素子アレイ、およびウエハ



(57) Abstract: A semiconductor element according to the present invention is provided, for example, with: a substrate; a plurality of semiconductor layers that are stacked on the substrate in a first direction; a body that has an end face in the first direction and an edge that constitutes the peripheral edge when viewed in a direction opposite to the first direction; an insulating layer that covers the end face; an electrode that is provided on the end face on the reverse side from the substrate; and at least one wiring line that extends between the electrode and the edge, while being electrically connected

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

to the electrode. The end face is provided with a non-formation region for the insulating layer along the edge; and the insulating layer has an intervening part that intervenes between the end face and the wiring line in a position deviated from the non-formation region.

- (57) 要約: 半導体素子は、例えば、基板と、当該基板上に第一方向に積層された複数の半導体層と、第一方向の端面と、第一方向の反対方向に見た場合における周縁を構成するエッジと、を含むボディと、端面を覆う絶縁層と、端面に対して基板とは反対側に設けられた電極と、電極と電氣的に接続されるとともに当該電極とエッジとの間で延びた少なくとも一つの配線と、を備え、端面には、エッジに沿って絶縁層の不形成領域が設けられ、絶縁層は、不形成領域とずれた位置で端面と配線との間に介在した介在部位を有する。

明 細 書

発明の名称：半導体素子、半導体素子アレイ、およびウエハ
技術分野

[0001] 本発明は、半導体素子、半導体素子アレイ、およびウエハに関する。

背景技術

[0002] 従来、ウエハ上に半導体層や導体層等を積層して複数の光半導体素子部を形成し、当該複数の光半導体素子部をウエハから切り出すことにより、複数の光半導体素子を製造する技術が、知られている（例えば、特許文献1）。

[0003] 特許文献1では、ウエハ上で隣接する電極間が配線（導通線）によって電氣的に接続されている。これにより、光半導体素子の製造工程において当該光半導体素子のそれぞれに設けられる電極を電解メッキによって形成する際に、各部の電位差によって電極の厚さのばらつき（個体差）が生じるのが抑制されている。半導体層の上面と配線との間には、誘電体層のような絶縁層が設けられている。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-139996号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、絶縁層がウエハ上で複数の光半導体素子部の境界を跨ぐように設けられていると、当該絶縁層が障害となり、例えば、光半導体素子部がウエハから切り出され難くなったり、活性層を含む光半導体素子の切断された端面が荒れやすくなったりするなど、不都合な事象が生じる虞があった。また、これと同様の不都合な事象は、光半導体素子ではない半導体素子でも起こりうる。

[0006] そこで、本発明の課題の一つは、例えば、ウエハからの複数の半導体素子部の切り出しを、より容易に、より確実に、あるいはより精度良く実行する

ことが可能となるような、新規な改善された半導体素子、半導体素子アレイ、およびウエハを得ること、である。

課題を解決するための手段

- [0007] 本発明の半導体素子は、例えば、基板と、当該基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向の反対方向に見た場合における周縁を構成するエッジと、を含むボディと、前記端面を覆う絶縁層と、前記端面に対して前記基板とは反対側に設けられた電極と、前記電極と電氣的に接続されるとともに当該電極と前記エッジとの間で延びた少なくとも一つの配線と、を備え、前記端面には、前記エッジに沿って前記絶縁層の不形成領域が設けられ、前記絶縁層は、前記不形成領域とずれた位置で前記端面と前記配線との間に介在した介在部位を有する。
- [0008] 前記半導体素子は、前記半導体層としての活性層と、当該活性層に対して電流を供給する前記電極とを備えた、光半導体素子として構成されてもよい。
- [0009] 前記半導体素子は、前記配線として複数の配線を備え、前記配線は、前記不形成領域上に設けられた第一配線と、前記介在部位上に設けられた第二配線と、を含んでもよい。
- [0010] 前記半導体素子は、前記電極として互いに極性の異なる第一電極と第二電極とを備え、前記第一配線は、前記第一電極と電氣的に接続され、前記第二配線は、前記第二電極と電氣的に接続されてもよい。
- [0011] 前記半導体素子では、前記第二電極は、前記基板と電氣的に接続されてもよい。
- [0012] 前記半導体素子は、前記エッジとして、前記第一方向と交差した第二方向の前方および後方に位置した第一エッジと、前記第一方向および前記第二方向と交差した第三方向の前方および後方に位置した第二エッジと、を備え、前記配線として、前記電極と前記第一エッジとの間で延びた配線を備えとともに、前記電極と前記第二エッジとの間で延びた配線を備えなくてもよい。

- [0013] 前記半導体素子は、前記電極とは電氣的に接続されず、前記第一エッジと前記第二エッジとの間で延びた第三配線を備えてもよい。
- [0014] 本発明の半導体素子は、例えば、基板と、当該基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向の反対方向に見た場合における周縁を構成するエッジと、を含むボディと、前記端面を覆う絶縁層と、前記端面の上に設けられた電極と、前記電極と電氣的に接続されるとともに当該電極と前記エッジとの間で延びた少なくとも一つの配線と、を備え、前記端面には、前記エッジに沿った前記絶縁層の不形成領域が設けられ、前記エッジとして、前記第一方向と交差した第二方向の前方および後方に位置した第一エッジと、前記第一方向および前記第二方向と交差した第三方向の前方および後方に位置した第二エッジと、を備え、前記配線として、前記電極と前記第一エッジとの間で延びた配線を備えるとともに、前記電極と前記第二エッジとの間で延びた配線を備えない。
- [0015] 本発明の半導体素子アレイは、例えば、基板と、当該基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向の反対方向に見た場合に前記第一方向と交差した第二方向の前方および後方に位置した第一エッジと、を含むボディと、前記端面を覆う絶縁層と、前記端面上に設けられた複数の電極と、前記電極と電氣的に接続されるとともに当該電極と前記第一エッジとの間で延びた少なくとも一つの配線と、を備え、前記第一方向および前記第二方向と交差した第三方向に並ぶ複数の半導体素子部が構成された、半導体素子アレイであって、前記端面には、前記第一方向の反対方向に見た場合に、前記第一エッジに沿って絶縁層の不形成領域が設けられるとともに、前記絶縁層は、前記不形成領域とずれた位置で前記端面と前記配線との間に介在した介在部位を有する。
- [0016] 前記半導体素子アレイでは、前記複数の半導体素子部は、略同一の構成を有してもよい。
- [0017] 前記半導体素子アレイは、前記配線としての二つの第一配線であって、前記第二方向に互いに隣接した電極のそれぞれと、前記第二方向の前方および

後方のうち一方の前記第一エッジと、の間で延び、前記第三方向に間隔をあけて並んだ二つの第一配線と、前記第二方向の前方および後方のうち他方の第一エッジに位置するとともに互いに第三方向間隔をあけて並んだ二つの端部を有し、当該他方の第一エッジから離れた位置を経由して前記二つの端部間で延び、前記二つの第一配線と前記第二方向に並んだ第四配線と、を備えてもよい。

[0018] 前記半導体素子アレイでは、前記半導体素子部は、それぞれ、前記半導体層としての活性層と当該活性層に対して電流を供給する前記電極とを有した光半導体素子部として構成されてもよい。

[0019] 本発明のウエハは、例えば、基板と、前記基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向と交差した第二方向および前記第一方向および前記第二方向と交差した第三方向にマトリクス状に並んだ複数の半導体素子部を備えたウエハであって、当該ウエハから切り出した半導体素子部が、上記半導体素子、または請上記半導体素子アレイとなるよう構成されたウエハであって、前記電極としての複数の電極が前記配線を介して電氣的に接続される。

[0020] 前記ウエハでは、前記半導体素子部は、それぞれ、前記半導体層としての活性層と当該活性層に対して電流を供給する前記電極とを有した光半導体素子部として構成されてもよい。

発明の効果

[0021] 本発明によれば、新規な改善された半導体素子、半導体素子アレイ、およびウエハを得ることができる。

図面の簡単な説明

[0022] [図1]図1は、第1実施形態の半導体素子の例示的かつ模式的な平面図である。

[図2]図2は、図1のII-II断面図である。

[図3]図3は、第1実施形態の半導体素子となる半導体素子部が形成されたウエハおよびその一部を示す例示的かつ模式的な平面図である。

[図4]図4は、図1のIV-IV断面図である。

[図5]図5は、第2実施形態の半導体素子の例示的かつ模式的な平面図である。

[図6]図6は、第3実施形態のウエハの一部の例示的かつ模式的な平面図である。

[図7]図7は、第4実施形態の半導体素子の例示的かつ模式的な平面図である。

[図8]図8は、第5実施形態の半導体素子の例示的かつ模式的な平面図である。

[図9]図9は、第6実施形態の半導体素子の例示的かつ模式的な平面図である。

[図10]図10は、第7実施形態のウエハの一部の例示的かつ模式的な平面図である。

[図11]図11は、図10のXI部の例示的かつ模式的な平面図である。

[図12]図12は、第7実施形態のウエハから切り出された半導体素子アレイの例示的かつ模式的な平面図である。

発明を実施するための形態

[0023] 以下、本発明の例示的な実施形態が開示される。以下に示される実施形態の構成、ならびに当該構成によってもたらされる作用および結果（効果）は、一例である。本発明は、以下の実施形態が開示される構成以外によっても実現可能である。また、本発明によれば、構成によって得られる種々の効果（派生的な効果も含む）のうち少なくとも一つを得ることが可能である。

[0024] 以下に示される複数の実施形態は、同様の構成を備えている。よって、各実施形態の構成によれば、当該同様の構成に基づく同様の作用および効果が得られる。また、以下では、それら同様の構成には同様の符号が付与されるとともに、重複する説明が省略される場合がある。

[0025] 本明細書において、序数は、方向や、部材、部位等を区別するために便宜上付与されており、優先順位や順番を示すものではない。

[0026] 各図において、X方向を矢印Xで表し、Y方向を矢印Yで表し、Z方向を矢印Zで表す。X方向、Y方向、およびZ方向は、互いに交差するとともに互いに直交している。また、以下では、X方向を長手方向若しくは延び方向、Y方向を短手方向若しくは幅方向、Z方向を積層方向若しくは高さ方向と称する。

[0027] また、各図は説明を目的とした模式図であって、各図と実物とでスケールや比率は、必ずしも一致しない。

[0028] [第1実施形態]

図1は、第1実施形態の半導体素子100A(100)の平面図であり、図2は、図1のII-II断面図である。半導体素子100Aは、例えば、公知の半導体光増幅器として構成される。

[0029] 図1、2に示されるように、半導体素子100Aは、基板10と複数の半導体層とを含むボディ11と、ボディ11上に形成された絶縁層12および電極31、32と、当該電極31、32と電氣的に接続された導体層41、42と、を備えている。

[0030] また、ボディ11内には、X方向に延びた活性層としての第二層20cが含まれている。第二層20cは、Z方向における略一定の位置において、Y方向における所定幅およびZ方向における所定高さで、X方向に略沿って延びている。

[0031] 図2に示されるように、基板10は、Z方向に略一定の厚さを有し、Z方向と交差して広がっている。図2に示されるように、基板10は、面10aと、面10bと、を有している。面10aは、Z方向を向くとともに、Z方向と交差している。また、面10bは、面10aとは反対側に位置し、Z方向の反対方向を向くとともに、Z方向と交差している。基板10は、例えば、n-InPで作られている。

[0032] ボディ11において、基板10の面10a上には、例えば、第一層20b～第三層20d、電流阻止層20e、20f、およびクラッド層20gのような複数の半導体層が、Z方向に積層されている。Z方向は第一方向の一例

である。

- [0033] また、ボディ 11 は、第一層 20b～第三層 20d を含むメサ 21 を有している。上述したように、メサ 21 に含まれる第二層 20c は活性層であり、光導波路として機能する。ボディ 11 は、埋め込み導波路構造（BH 導波路構造）を有している。
- [0034] 第一層 20b は、例えば、n-InP で作られており、メサ 21 においては、クラッド層として機能する。
- [0035] 第二層 20c は、例えば、n-InGaAsP を含んだ積層構造を有しており、所謂四元層である。第二層 20c は、活性層として機能するため、例えば、波長 1.55 [μm] 帯の光に対して適切に機能する組成を有している。
- [0036] 第三層 20d は、例えば、p-InP で作られており、メサ 21 において、クラッド層として機能する。
- [0037] ボディ 11 内で、メサ 21 は、電流阻止層 20e、20f、ならびに Z 方向に隣接したクラッド層 20g によって囲まれている。電流阻止層 20e は、例えば、p-InP で作られ、電流阻止層 20f は、例えば、n-InP で作られている。また、クラッド層 20g は、例えば、p-InP で作られている。
- [0038] クラッド層 20g 上、すなわちクラッド層 20g に対して基板 10 とは反対側には、導体層 41、42 が設けられている。また、導体層 41 上、すなわち導体層 41 に対して基板 10 とは反対側には、電極 31 が設けられ、導体層 42 上、すなわち導体層 42 に対して基板 10 とは反対側には、電極 32 が設けられている。電極 31、32 は、互いに極性が異なる。
- [0039] 電極 31 は、活性層に対して Z 方向に離間し、P 側電極を構成している。なお、導体層 41 も、P 側電極の一部を構成していると言える。
- [0040] ボディ 11 の Y 方向および Y 方向の反対方向の端面（側面）、ならびに Z 方向の端面 11a（上面）は、ボディ 11 上で導体層 41 が貫通する開口部を除き、絶縁層 12 で覆われている。言い換えると、導体層 41 は、端面 11a と接しており、電極 31 は、導体層 41 を介して端面 11a と電氣的に接続されている。なお、絶縁層 12 は、例えば、SiN で作られる。

[0041] また、端面 1 1 a と導体層 4 2 および電極 3 2 との間には、絶縁層 1 2 が介在している。言い換えると、導体層 4 2 および電極 3 2 は、端面 1 1 a とは絶縁されている。また、導体層 4 2 は、Y 方向において、導体層 4 1 とは、離間するとともに、ボディ 1 1 上に設けられた凹部 1 1 c の側面および底面まで延びている。凹部 1 1 c の底面において、絶縁層 1 2 には開口が設けられており、当該開口において、導体層 4 2 は、基板 1 0 と電氣的に接続されている。

[0042] 電極 3 1, 3 2 間に電圧を印加することにより、複数の半導体層に電流を流すことができる。半導体素子 1 0 0 が、半導体光増幅器のような光半導体素子として構成されている場合、当該電流によって第二層 2 0 c を活性化することができる。

[0043] 図 1 に示されるように、ボディ 1 1 は、Z 方向の反対方向に見た場合の平面視において、四角形状の形状を有している。ボディ 1 1 は、当該平面視における周縁を形成するエッジ 1 1 d 1, 1 1 d 2, 1 1 d 3, 1 1 d 4 を有している。エッジ 1 1 d 1 は、X 方向の端部において、Y 方向に沿って延びている。エッジ 1 1 d 2 は、X 方向の反対方向の端部において、Y 方向に沿って延びている。エッジ 1 1 d 3 は、Y 方向の端部において、X 方向に沿って延びている。また、エッジ 1 1 d 4 は、Y 方向の反対方向の端部において、X 方向に沿って延びている。エッジ 1 1 d 1, 1 1 d 2 は、第一エッジの一例であり、エッジ 1 1 d 3, 1 1 d 4 は、第二エッジの一例である。また、X 方向は、第二方向の一例であり、Y 方向は、第三方向の一例である。

[0044] また、端面 1 1 a は、絶縁層 1 2 で覆われている。絶縁層 1 2 は、上述した導体層 4 1, 4 2 が貫通する開口部を除き端面 1 1 a 上を覆う被覆部 1 2 a を有している。被覆部 1 2 a の周縁部は、エッジ 1 1 d 1, 1 1 d 2, 1 1 d 3, 1 1 d 4 から離間している。言い換えると、端面 1 1 a は、被覆部 1 2 a によって覆われた被覆領域 A c と、エッジ 1 1 d 1, 1 1 d 2, 1 1 d 3, 1 1 d 4 に沿って被覆部 1 2 a (絶縁層 1 2) が形成されない不形成領域 A e と、を有している。不形成領域 A e は、エッジ 1 1 d 1, 1 1 d 2

， 1 1 d 3， 1 1 d 4 に沿って略一定幅で延びているが、幅は一定でなくてもよい。不形成領域 A e は、露出領域とも称されうる。

[0045] 図 3 は、ウエハ W および当該ウエハ W 上の一部を拡大して示す平面図である。図 3 に示されるようにウエハ W の基板 1 0 上に、半導体プロセスによって、マトリクス状に配置された複数の半導体素子部 S が一括して形成され、その後、当該ウエハ W から半導体素子部 S が X 方向に延びた切断線 C L x および Y 方向に延びた切断線 C L y で切り出されることにより、半導体素子 1 0 0 A (1 0 0) が得られる。すなわち、半導体素子部 S は、半導体素子 1 0 0 と略同じ構成を有している。切断線 C L x は、半導体素子 1 0 0 においてエッジ 1 1 d 1， 1 1 d 2 となり、切断線 C L y は、半導体素子 1 0 0 においてエッジ 1 1 d 3， 1 1 d 4 となる。なお、切断線 C L x， C L y は、切断予定線や、仮想境界線とも称されうる。

[0046] ここで、仮に、切断線 C L x， C L y 上が絶縁層 1 2 で覆われていると、当該絶縁層 1 2 が存在している分、例えば、ウエハ W を切断線 C L x， C L y に沿って切断し難くなったり、切り出された半導体素子 1 0 0 A の切断された端面としてのエッジ 1 1 d 1， 1 1 d 2， 1 1 d 3， 1 1 d 4 が荒れて凹凸が生じたり、といった不都合な事象が生じる虞がある。このため、本実施形態では、ウエハ W の端面 1 1 a 上には、切断線 C L x， C L y に沿って、当該切断線 C L x， C L y を中心とした帯状に、絶縁層 1 2 の不形成領域 A e が設けられている。これにより、切断線 C L x， C L y での切断において、絶縁層 1 2 による不都合な事象が生じるのを、回避することができる。

[0047] また、電極 3 1， 3 2 は、半導体素子 1 0 0 A (1 0 0) の他の構成要素と同様に、半導体素子部 S がウエハ W に一体化されている状態で形成される。電極 3 1， 3 2 は、電解メッキ法によって、各半導体素子部 S に設けられた導体層 4 1， 4 2 上の所定位置に、所定形状となるように形成される。ここで、電解メッキ法によって電極 3 1， 3 2 を形成する際に、ウエハ W 上の複数の導体層 4 1 間または複数の導体層 4 2 間での電位差が大きいと、電極 3 1， 3 2 の Z 方向の厚さ等に、ばらつき（個体差）が生じる虞がある。こ

のような電極 3 1, 3 2 の形状のばらつきは、半導体素子 1 0 0 の性能のばらつき（個体差）の一因となる虞がある。

[0048] そこで、本実施形態では、図 3 に示されるように、各半導体素子部 S（半導体素子 1 0 0）の導体層 4 1, 4 2 に、配線部 4 1 b, 4 2 b を設けている。配線部 4 1 b は、ウエハ W 上で X 方向に隣接した複数の被覆部 4 1 a 間を電氣的に接続している。また、配線部 4 2 b は、ウエハ W 上で X 方向に隣接した複数の被覆部 4 2 a 間を電氣的に接続している。これにより、ウエハ W 上では、X 方向に並ぶ複数の半導体素子部 S の列において、複数の被覆部 4 1 a が配線部 4 1 b を介して互いに電氣的に接続されるとともに、複数の被覆部 4 2 a が配線部 4 2 b を介して互いに電氣的に接続されることになる。よって、本実施形態によれば、電極 3 1, 3 2 を形成する電解メッキにおいて、複数の半導体素子部 S 間で複数の導体層 4 1 間、および複数の導体層 4 2 間での電位差をより小さくすることができ、これにより複数の半導体素子 1 0 0 間で、電極 3 1, 3 2 のスペックのばらつき、ひいては半導体素子 1 0 0 の性能のばらつきが生じるのを、抑制することができる。なお、半導体素子 1 0 0 において、配線部 4 1 b は、電極 3 1 とエッジ 1 1 d 1 またはエッジ 1 1 d 2 との間で延びており、配線部 4 2 b は、電極 3 2 とエッジ 1 1 d 1 またはエッジ 1 1 d 2 との間で延びている。配線部 4 1 b, 4 2 b は、配線の一例である。

[0049] また、上述したように、ウエハ W において、絶縁層 1 2 は、切断線 C L x, C L y に沿った不形成領域 A e には設けられていないのに対し、配線部 4 1 b, 4 2 b は、切断線 C L y を跨いでいる。ここで、仮に、互いに極性が異なる電極 3 1, 3 2 のそれぞれと電氣的に接続されている配線部 4 1 b, 4 2 b の双方が、端面 1 1 a の不形成領域 A e と接していたとすると、配線部 4 1 b, 4 2 b 間で電流の短絡が生じる虞がある。

[0050] そこで、本実施形態の半導体素子部 S（半導体素子 1 0 0）には、絶縁層 1 2 の不形成領域 A e を介した配線部 4 1 b, 4 2 b 間での電流の短絡を防止するための構成が、設けられている。図 4 は、図 1 の IV-IV 断面図である

。図4に示されるように、本実施形態では、不形成領域A_eにおいて、配線部41b, 42bのうち一方、本実施形態では一例として配線部42bに対応して、当該配線部42bと端面11aとの間に介在した介在部位12bが設けられている。図1に示されるように、介在部位12bは、配線部42bが設けられた位置において、絶縁層12の被覆部12aから、X方向の前方およびX方向の後方に延びており、不形成領域A_eを分断している。言い換えると、介在部位12bは、不形成領域A_eとずれた位置において、配線部42bと端面11aとの間に介在している。なお、配線部41bは、不形成領域A_e上に設けられており、第一配線の一例である。配線部42bは、介在部位12b上に設けられており、第二配線の一例である。また、電極31は、第一電極の一例であり、電極32は、第二電極の一例である。

[0051] 上述したように、本実施形態では、配線部42bが設けられた位置については、絶縁層12としての介在部位12bが設けられることになる。しかしながら、切断線C_{Lx}, C_{Ly}のうち、当該介在部位12bが設けられる区間は比較的短く、切断線C_{Lx}, C_{Ly}の他の区間については絶縁層12が設けられていないため、切断線C_{Lx}, C_{Ly}での切断において、上述したような絶縁層12による不都合な事象を回避することができる。

[0052] 以上説明したように、本実施形態によれば、切断線C_{Lx}, C_{Ly}に沿って絶縁層12の不形成領域A_eを設けることにより、ウエハWの切断において絶縁層12による不都合な事象が生じるのを回避しながら、配線部41b, 42bを設けることにより、ウエハWにおいて電解メッキ法によって形成する電極31, 32のばらつきを抑制することができる。さらに、配線部42bに対応して絶縁層12として介在部位12bを部分的に設けることにより、ウエハWの切断において絶縁層12による不都合な事象が生じるのを回避しながら、半導体素子100において電極31, 32のばらつきの抑制のために設けた配線部41b, 42b間での電流の短絡を防止することができる、という効果が得られる。

[0053] また、上述したように、本実施形態では、配線部42b（導体層42）は

、基板 1 0 と電氣的に接続されている。このような構成において、仮に、配線部 4 2 b が端面 1 1 a の不形成領域 A e と接すると、端面 1 1 a と基板 1 0 との間で、導体層 4 2 を介して、第二層 2 0 c を含む半導体層を迂回した不本意な電流の短絡が生じる。この点、本実施形態によれば、基板 1 0 と電氣的に接続された配線部 4 2 b と不形成領域 A e との間に介在部位 1 2 b が設けられることにより、端面 1 1 a と基板 1 0 との間の不本意な電流の短絡を防止することができる。

[0054] また、Y 方向に隣接した複数の半導体素子部 S を、それらが一体化された状態でウエハ W から切り出すことにより、半導体素子アレイ（不図示）を得ることができる。このような構成は、例えば、光マトリクススイッチのような、複数の半導体光増幅器を有する光学素子への適用に、適している。

[0055] [第 2 実施形態]

図 5 は、第 2 実施形態の半導体素子 1 0 0 B (1 0 0) の平面図である。図 5 に示されるように、本実施形態では、配線部 4 2 b と端面 1 1 a との間のみならず、配線部 4 1 b と端面 1 1 a との間にも、介在部位 1 2 b が設けられている。本実施形態によっても、上記第 1 実施形態と同様の効果が得られる。なお、ウエハ W の切断において絶縁層 1 2 による不都合な事象が生じるのを回避できる範囲内であれば、介在部位 1 2 b とは外れた位置に設けられてもよい。言い換えると、不形成領域 A e のエッジ 1 1 d 1 ~ 1 1 d 4 に沿う長さは、より短くてもよい。

[0056] [第 3 実施形態]

図 6 は、第 3 実施形態のウエハ W の平面図である。図 6 に示されるように、本実施形態のウエハ W には、上記実施形態と同様の配線部 4 1 b, 4 2 b に加えて、配線部 4 1 c, 4 2 c が設けられている。配線部 4 1 c, 4 2 c は、Y 方向に互いに隣接した二つの半導体素子部 S において Y 方向に互いに隣接した電極 3 1, 3 2 間を、電氣的に接続している。

[0057] 具体的に、配線部 4 1 c は、導体層 4 1 の被覆部 4 1 a から切断線 C L x まで Y 方向に延び、配線部 4 2 c は、導体層 4 2 の被覆部 4 2 a から切断線

C L x まで Y 方向の反対方向に延びている。ウエハ W 中で、切断線 C L x における配線部 4 1 c の端部と配線部 4 2 c の端部とは、互いに面するとともに互いに電氣的に接続されている。このような構成により、ウエハ W から切り出された半導体素子 1 0 0 C において、エッジ 1 1 d 3 における配線部 4 1 c の端部と、エッジ 1 1 d 4 における配線部 4 2 c の端部とは、Y 方向に並んでいる。

[0058] 本実施形態によれば、電極 3 1, 3 2 を形成する電解メッキにおいて、配線部 4 1 b, 4 2 b, 4 1 c, 4 2 c によって、より多くの被覆部 4 1 a, 4 2 a を電氣的に接続し、これら被覆部 4 1 a, 4 2 a 間での電位差をより小さくすることができる。したがって、本実施形態によれば、複数の半導体素子 1 0 0 間で、電極 3 1, 3 2 のスペックのばらつき、ひいては半導体素子 1 0 0 の性能のばらつきが生じるのを、より一層抑制することができる。なお、本実施形態では、配線部 4 1 c, 4 2 c は、いずれも介在部位 1 2 b 上に設けられており、第二配線の一例である。

[0059] [第 4 実施形態]

図 7 は、第 4 実施形態の半導体素子 1 0 0 D (1 0 0) の平面図である。図 7 に示されるように、本実施形態の半導体素子 1 0 0 D は、Z 方向における略同じ位置に配置された二つの第二層 2 0 c と一つの受動部 2 0 u とを含んだ U 字状の導波路を有している。二つの第二層 2 0 c は、いずれも X 方向に延びるとともに Y 方向に間隔をあけて略平行に配置されている。また、受動部 2 0 u は、X 方向の反対方向に凸となる形状で湾曲し、二つの第二層 2 0 c の X 方向の反対方向の端部間を接続している。

[0060] 本実施形態の半導体素子 1 0 0 D も、上記第 1 実施形態と同様の、不形成領域 A e、配線部 4 1 b, 4 2 b、および介在部位 1 2 b を有している。よって、本実施形態によっても、上記第 1 実施形態と同様の効果が得られる。

[0061] [第 5 実施形態]

図 8 は、第 5 実施形態の半導体素子 1 0 0 E (1 0 0) の平面図である。図 8 に示されるように、本実施形態の半導体素子 1 0 0 E は、二つの第二層

20cを有し、それぞれの第二層20cに対応して、図1および図2と同様の構成を有している。言い換えると、半導体素子100Eは、上記第1実施形態と同様の構成を、二組有している。二つの第二層20cは、それぞれ独立して作動させることができる。

[0062] 本実施形態の半導体素子100Eも、上記第1実施形態と同様の、不形成領域Ae、配線部41b、42b、および介在部位12bを有している。よって、本実施形態によっても、上記第1実施形態と同様の効果が得られる。なお、第二層20cおよび当該第二層20cに対応した構成を三組以上有した半導体素子100も、上記第1実施形態と同様に、不形成領域Ae、配線部41b、42b、および介在部位12bを有した場合にあっては、当該第1実施形態と同様の効果が得られる。

[0063] [第6実施形態]

図9は、第6実施形態の半導体素子100F（100）の平面図である。図9に示されるように、本実施形態の半導体素子100Fも、上記第5実施形態と同様に、二つの第二層20cを有している。ただし、本実施形態では、二つの第二層20cの作動について、電極32を共用している。よって、半導体素子100Fは、二つの電極31と、一つの電極31と、を有している。

[0064] 本実施形態の半導体素子100Eも、上記第1実施形態と同様の、不形成領域Ae、配線部41b、42b、および介在部位12bを有している。よって、本実施形態によっても、上記第1実施形態と同様の効果が得られる。

[0065] [第7実施形態]

図10は、第7実施形態のウエハWの平面図である。また、図11は、図10のXI部の拡大図である。

[0066] 図10に示されるように、ウエハWに形成される複数の半導体素子部S-1～S-4（半導体素子100G）は、上記第6実施形態の半導体素子100Fと略同様の構成を有している。ただし、本実施形態のウエハWには、上記実施形態と同様の配線部41b、42bに加えて、配線部41d、43が

設けられている。配線部41d, 43は、Y方向に互いに隣接した二つの半導体素子部S-1, S-2においてY方向に互いに隣接した電極31G(31)間を、電氣的に接続している。配線部41d, 43は、四つの半導体素子部S-1~S-4を通っている。

[0067] 図10, 11に示されるように、半導体素子部S-1, S-2に設けられた配線部41dは、それぞれ、電極31からX方向の反対方向に向けて、切断線CLy(エッジ11d2)まで延びている。他方、半導体素子部S-3, S-4に設けられた配線部43は、それぞれ、L字状の形状を有し、切断線CLy(エッジ11d1)と切断線CLx(エッジ11d3またはエッジ11d4)との間で延びている。ウエハW中で、切断線CLyにおける配線部41dの端部41d1と配線部43の端部43aとは、互いに面するとともに互いに電氣的に接続されている。また、切断線CLxにおける二つの配線部43の端部43b同士は、互いに面するとともに互いに電氣的に接続されている。このため、ウエハWから切り出された半導体素子100Gにおいて、エッジ11d1における配線部43の端部43aと、エッジ11d2における配線部41dの端部41d1とは、X方向に並ぶとともに、エッジ11d3における配線部43の端部43bと、エッジ11d4における配線部43の端部43bとは、Y方向に並んでいる。

[0068] 本実施形態によっても、電極31, 32を形成する電解メッキにおいて、上記第3実施形態と同様に、配線部41b, 42b, 41d, 43によって、より多くの被覆部41a, 42aを電氣的に接続してこれら被覆部41a, 42a間での電位差をより小さくすることができる。したがって、本実施形態によれば、複数の半導体素子100間で、電極31, 32のスペックのばらつき、ひいては半導体素子100の性能のばらつきが生じるのを、より一層抑制することができる。

[0069] 図12は、Y方向に並んだ複数の本実施形態の半導体素子部Sを一体に有した半導体素子アレイ200の平面図である。図12に示されるように、半導体素子アレイ200は、配線部41b, 42b, 41d, 43と、Y方向

に互いに隣接した配線部43を一体に有した配線部44と、を有している。配線部41b, 42b, 41dは、電極31または電極32と、エッジ11d1またはエッジ11d2との間で延びている。他方、配線部43, 44は、いずれの電極31, 32とも接続されず、U字状またはL字状の形状を有してエッジ11d1と、エッジ11d1またはエッジ11d3, 11d4との間で延びている。ここで、仮に、Y方向に並んだ複数の第3実施形態の半導体素子部S（図6参照）を一体に有した半導体素子アレイが構成された場合、Y方向に互いに隣接した電極31, 32が、配線部41c, 42cを介して電氣的に接続されて短絡されてしまうため、使用することができない。これは、ウエハWにおいて電極31, 32間を電氣的に接続している配線部41c, 42cが、半導体素子アレイを構成する場合には切断されない切断線CLxのみを経由しているからである。この点、本実施形態のウエハWでは、Y方向に隣接した電極31, 32間で延びる配線部41d, 43, 44は、図11に示されるように、半導体素子アレイ200を構成する場合に切断される切断線CLyを経由しており、当該切断線CLyにおいて分離されるため、電極31, 32が配線部41d, 43, 44によって短絡されない半導体素子アレイ200を得ることができる。

[0070] このような半導体素子アレイ200を構成可能とするため、本実施形態の半導体素子部S（半導体素子100G）は、電極31, 32とエッジ11d1, 11d2との間で延びた配線部41b, 42b, 41dは有するものの、電極31, 32とエッジ11d3, 11d4との間で延びた配線部は有していない。また、半導体素子100Gは、電極31, 32とは電氣的に絶縁され、エッジ11d1とエッジ11d3またはエッジ11d4との間で延びた配線部43を有している。配線部43は、第三配線の一例である。

[0071] また、本実施形態の半導体素子アレイ200は、エッジ11d1に臨むY方向に離れた二つの端部43a間で延びた（図11参照）U字状の配線部44を有している（図12参照）。配線部44は、エッジ11d2に臨む二つの配線部41dと、X方向に略並んでいる。配線部44は、第四配線の一例

である。

[0072] 以上、本発明の実施形態が例示されたが、上記実施形態は一例であって、発明の範囲を限定することは意図していない。上記実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、組み合わせ、変更を行うことができる。また、各構成や、形状、等のスペック（構造や、種類、方向、型式、大きさ、長さ、幅、厚さ、高さ、数、配置、位置、材質等）は、適宜に変更して実施することができる。

[0073] 例えば、光半導体素子は、例えばD F B型半導体レーザのようなレーザ発光素子や、光半導体素子ではない半導体素子等にも、適用することができる。

産業上の利用可能性

[0074] 本発明は、半導体素子、半導体素子アレイ、およびウエハに利用することができる。

符号の説明

[0075] 1 0 …基板
1 0 a …面
1 0 b …面
1 1 …ボディ
1 1 a …端面
1 1 c …凹部
1 1 d 1, 1 1 d 2 …エッジ（第一エッジ）
1 1 d 3, 1 1 d 4 …エッジ（第二エッジ）
1 2 …絶縁層
1 2 a …被覆部
1 2 b …介在部位
2 0 b …第一層（半導体層）
2 0 c …第二層（半導体層）

2 0 d …第三層（半導体層）
2 0 e …電流阻止層（半導体層）
2 0 f …電流阻止層（半導体層）
2 0 g …クラッド層（半導体層）
2 0 u …受動部
2 1 …メサ
3 1, 3 1 G, 3 2 …電極
4 1 …導体層
4 1 a …被覆部
4 1 b …配線部（配線、第一配線）
4 1 c …配線部（配線、第二配線）
4 1 d …配線部
4 1 d 1 …端部
4 2 …導体層
4 2 a …被覆部
4 2 b …配線部（配線、第二配線）
4 2 c …配線部（配線、第二配線）
4 3 …配線部（配線、第三配線）
4 3 a, 4 3 b …端部
4 4 …配線部（配線、第四配線）
1 0 0, 1 0 0 A ~ 1 0 0 G …半導体素子
2 0 0 …半導体素子アレイ
A c …被覆領域
A e …不形成領域
C L x, C L y …切断線
S, S - 1 ~ S - 4 …半導体素子部
W …ウエハ
X …方向（第二方向）

Y…方向（第三方向）

Z…方向（第一方向）

請求の範囲

- [請求項1] 基板と、当該基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向の反対方向に見た場合における周縁を構成するエッジと、を含むボディと、
- 前記端面を覆う絶縁層と、
- 前記端面に対して前記基板とは反対側に設けられた電極と、
- 前記電極と電氣的に接続されるとともに当該電極と前記エッジとの間で延びた少なくとも一つの配線と、
- を備え、
- 前記端面には、前記エッジに沿って前記絶縁層の不形成領域が設けられ、
- 前記絶縁層は、前記不形成領域とずれた位置で前記端面と前記配線との間に介在した介在部位を有した、半導体素子。
- [請求項2] 前記半導体素子は、前記半導体層としての活性層と、当該活性層に対して電流を供給する前記電極とを備えた、光半導体素子として構成された、請求項1に記載の半導体素子。
- [請求項3] 前記配線として複数の配線を備え、
- 前記配線は、前記不形成領域上に設けられた第一配線と、前記介在部位上に設けられた第二配線と、を含んだ、請求項1または2に記載の半導体素子。
- [請求項4] 前記電極として互いに極性の異なる第一電極と第二電極とを備え、
- 前記第一配線は、前記第一電極と電氣的に接続され、
- 前記第二配線は、前記第二電極と電氣的に接続された、請求項3に記載の半導体素子。
- [請求項5] 前記第二電極は、前記基板と電氣的に接続された、請求項4に記載の半導体素子。
- [請求項6] 前記エッジとして、前記第一方向と交差した第二方向の前方および後方に位置した第一エッジと、前記第一方向および前記第二方向と交

差した第三方向の前方および後方に位置した第二エッジと、を備え、

前記配線として、前記電極と前記第一エッジとの間で延びた配線を備えるとともに、前記電極と前記第二エッジとの間で延びた配線を備えない、請求項1～5のうちいずれか一つに記載の半導体素子。

[請求項7] 前記電極とは電氣的に接続されず、前記第一エッジと前記第二エッジとの間で延びた第三配線を備えた、請求項6に記載の半導体素子。

[請求項8] 基板と、当該基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向の反対方向に見た場合における周縁を構成するエッジと、を含むボディと、

前記端面を覆う絶縁層と、

前記端面の上に設けられた電極と、

前記電極と電氣的に接続されるとともに当該電極と前記エッジとの間で延びた少なくとも一つの配線と、

を備え、

前記端面には、前記エッジに沿った前記絶縁層の不形成領域が設けられ、

前記エッジとして、前記第一方向と交差した第二方向の前方および後方に位置した第一エッジと、前記第一方向および前記第二方向と交差した第三方向の前方および後方に位置した第二エッジと、を備え、

前記配線として、前記電極と前記第一エッジとの間で延びた配線を備えるとともに、前記電極と前記第二エッジとの間で延びた配線を備えない、半導体素子。

[請求項9] 基板と、当該基板上に第一方向に積層された複数の半導体層と、前記第一方向の端面と、前記第一方向の反対方向に見た場合に前記第一方向と交差した第二方向の前方および後方に位置した第一エッジと、を含むボディと、

前記端面を覆う絶縁層と、

前記端面上に設けられた複数の電極と、

前記電極と電氣的に接続されるとともに当該電極と前記第一エッジとの間で延びた少なくとも一つの配線と、

を備え、

前記第一方向および前記第二方向と交差した第三方向に並ぶ複数の半導体素子部が構成された、半導体素子アレイであって、

前記端面には、前記第一方向の反対方向に見た場合に、前記第一エッジに沿って絶縁層の不形成領域が設けられるとともに、

前記絶縁層は、前記不形成領域とずれた位置で前記端面と前記配線との間に介在した介在部位を有した、半導体素子アレイ。

[請求項10] 前記複数の半導体素子部は、略同一の構成を有した、請求項9に記載の半導体素子アレイ。

[請求項11] 前記配線としての二つの第一配線であって、前記第二方向に互いに隣接した電極のそれぞれと、前記第二方向の前方および後方のうち一方の前記第一エッジと、の間に延び、前記第三方向に間隔をあけて並んだ二つの第一配線と、

前記第二方向の前方および後方のうちの他方の第一エッジに位置するとともに互いに第三方向間隔をあけて並んだ二つの端部を有し、当該他方の第一エッジから離れた位置を経由して前記二つの端部間で延び、前記二つの第一配線と前記第二方向に並んだ第四配線と、

を備えた、請求項9または10に記載の半導体素子アレイ。

[請求項12] 前記半導体素子部は、それぞれ、前記半導体層としての活性層と当該活性層に対して電流を供給する前記電極とを有した光半導体素子部として構成された、請求項9～11のうちいずれか一つに記載の半導体素子アレイ。

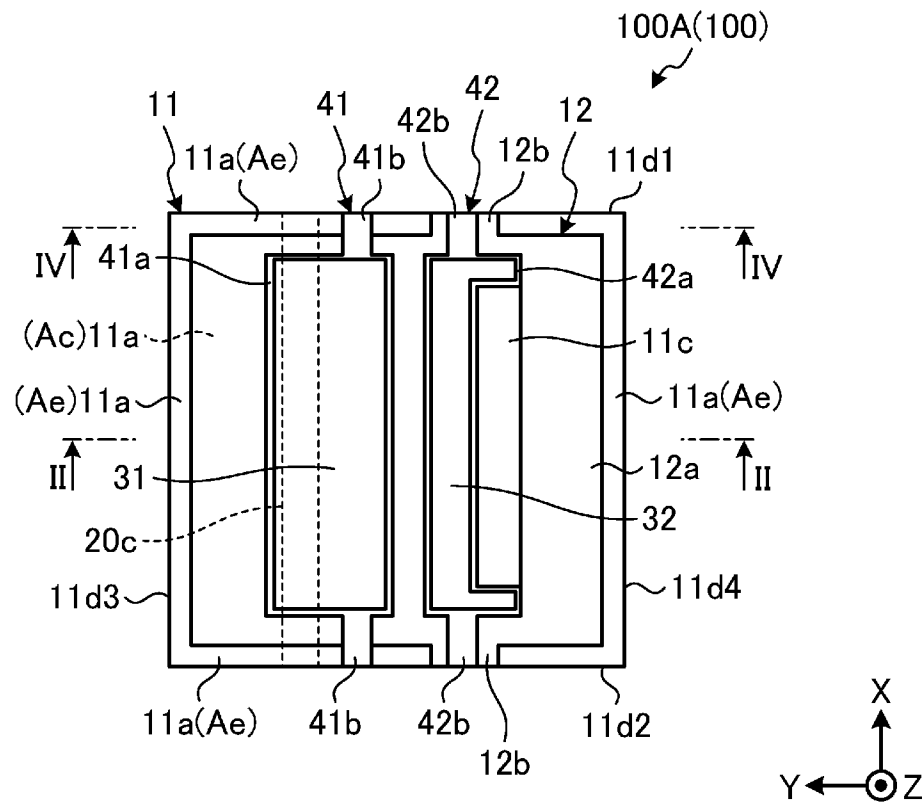
[請求項13] 前記第一方向と交差した第二方向および前記第一方向および前記第二方向と交差した第三方向にマトリクス状に並んだ複数の半導体素子部を備えたウエハであって、当該ウエハから切り出した半導体素子部が、請求項1～8のうちいずれか一つに記載の半導体素子、または請

求項 9 ～ 1 2 のうちいずれか一つに記載の半導体素子アレイとなるよう構成されたウエハであって、

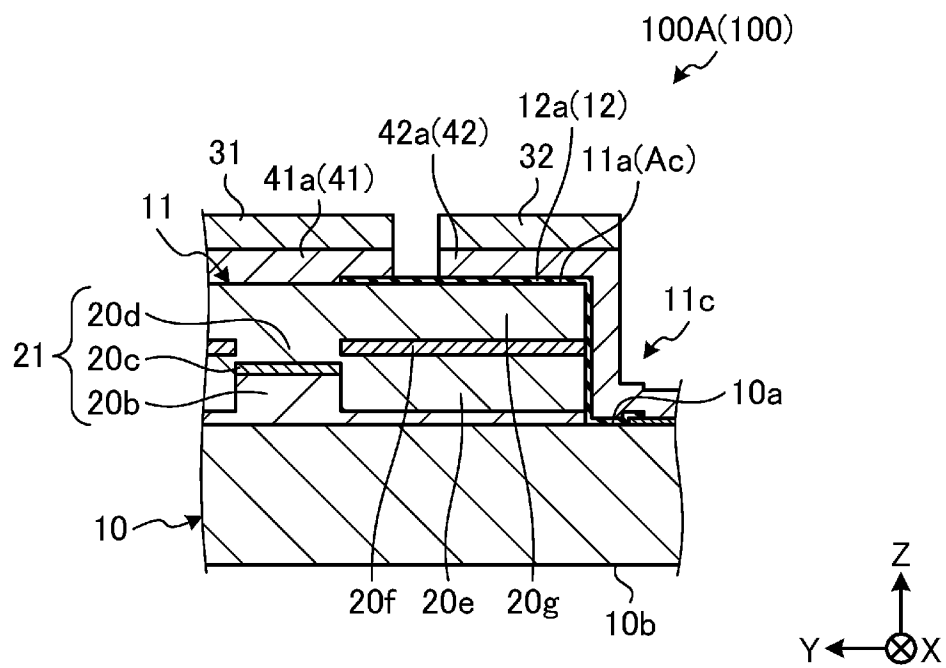
前記電極としての複数の電極が前記配線を介して電氣的に接続された、ウエハ。

[請求項14] 前記半導体素子部は、それぞれ、前記半導体層としての活性層と当該活性層に対して電流を供給する前記電極とを有した光半導体素子部として構成された、請求項 1 3 に記載のウエハ。

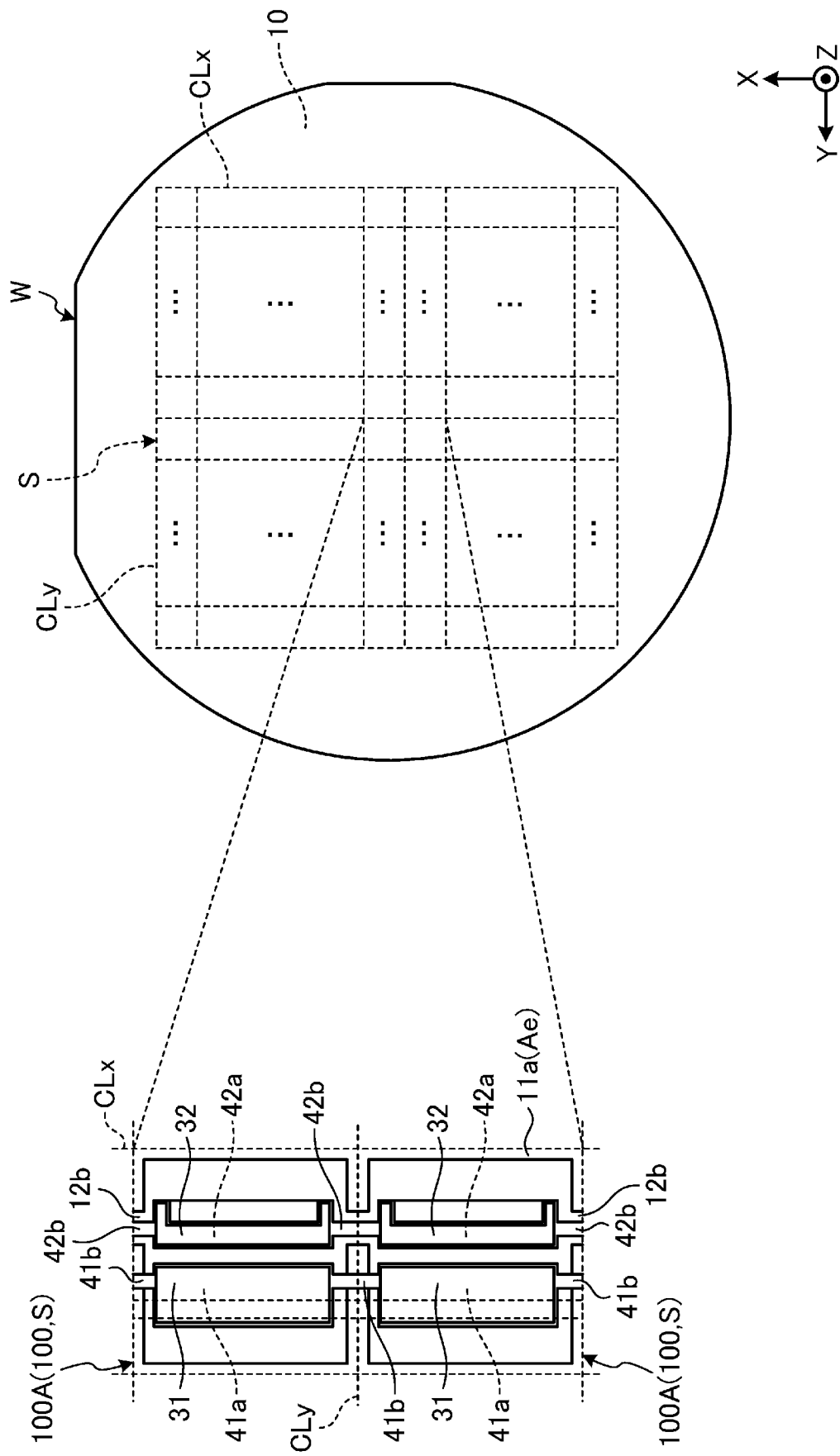
[図1]



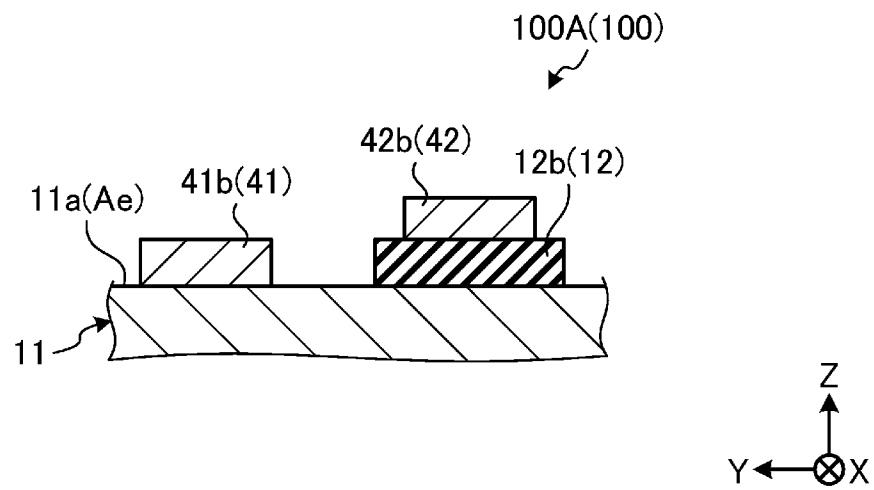
[図2]



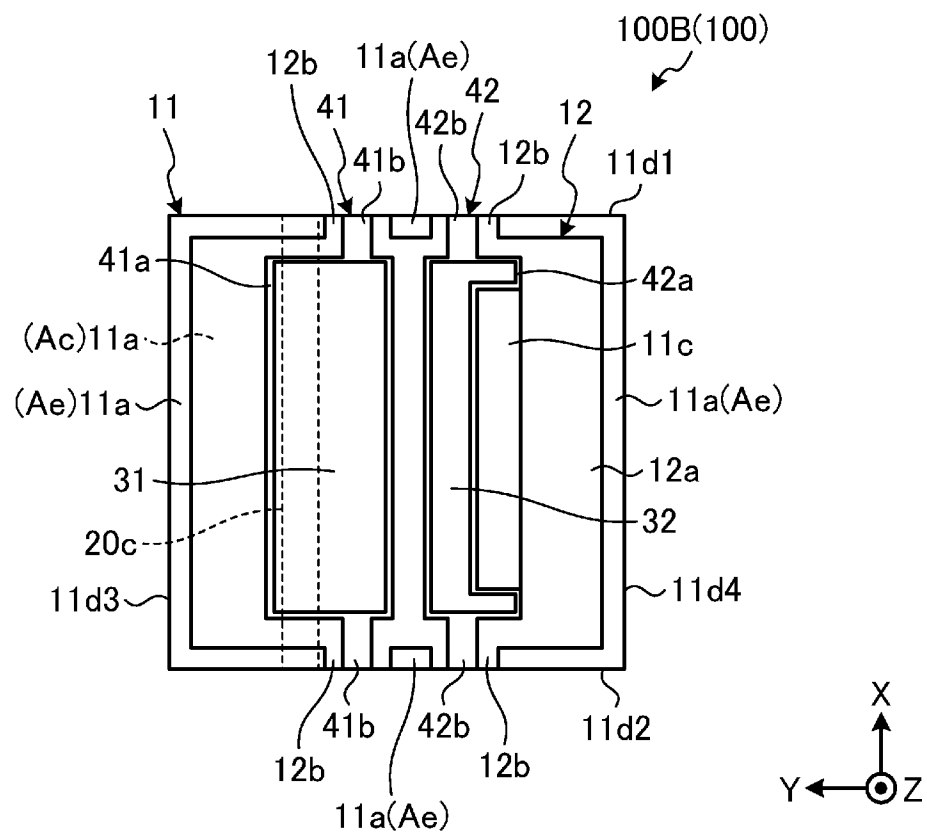
[図3]



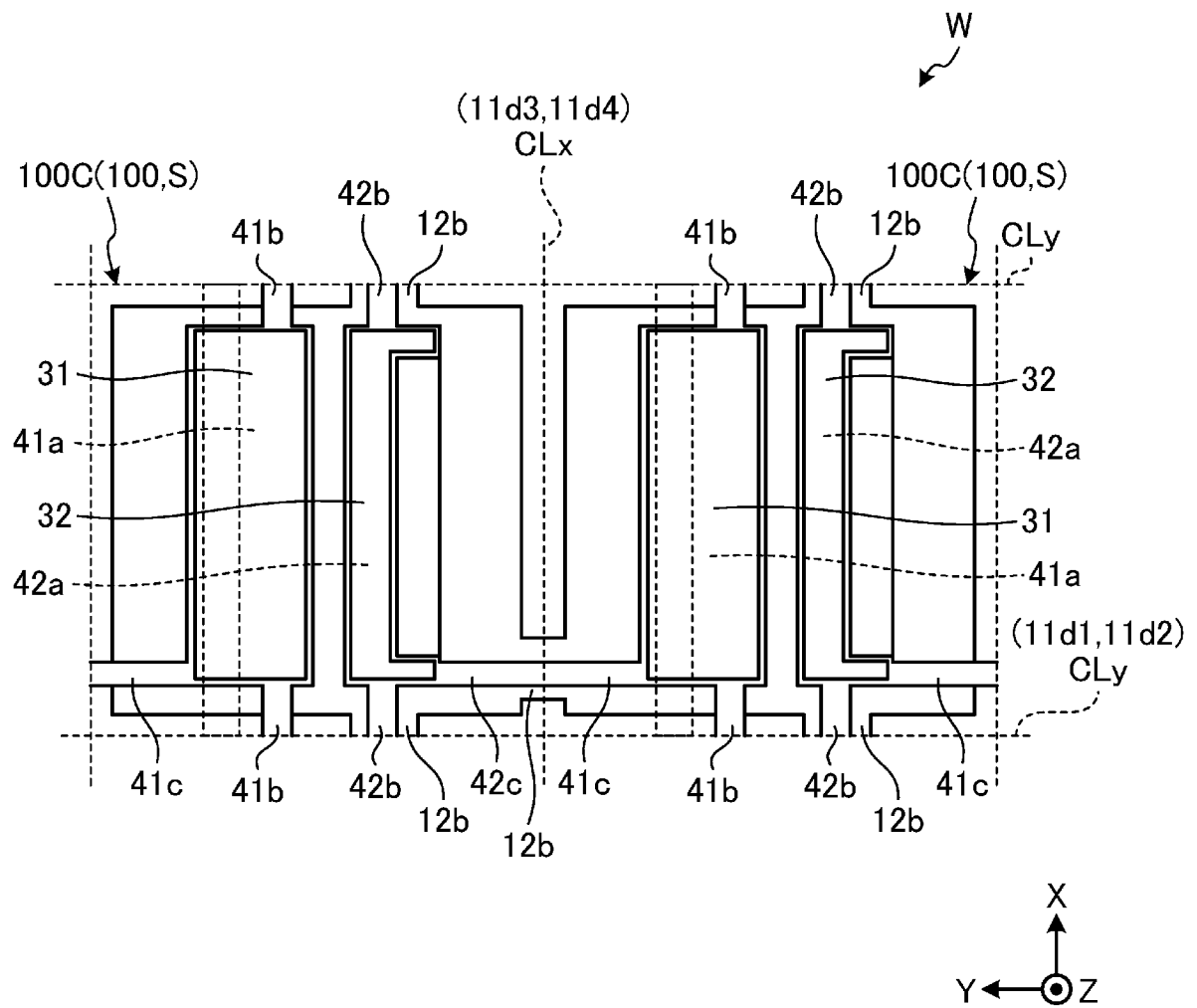
[図4]



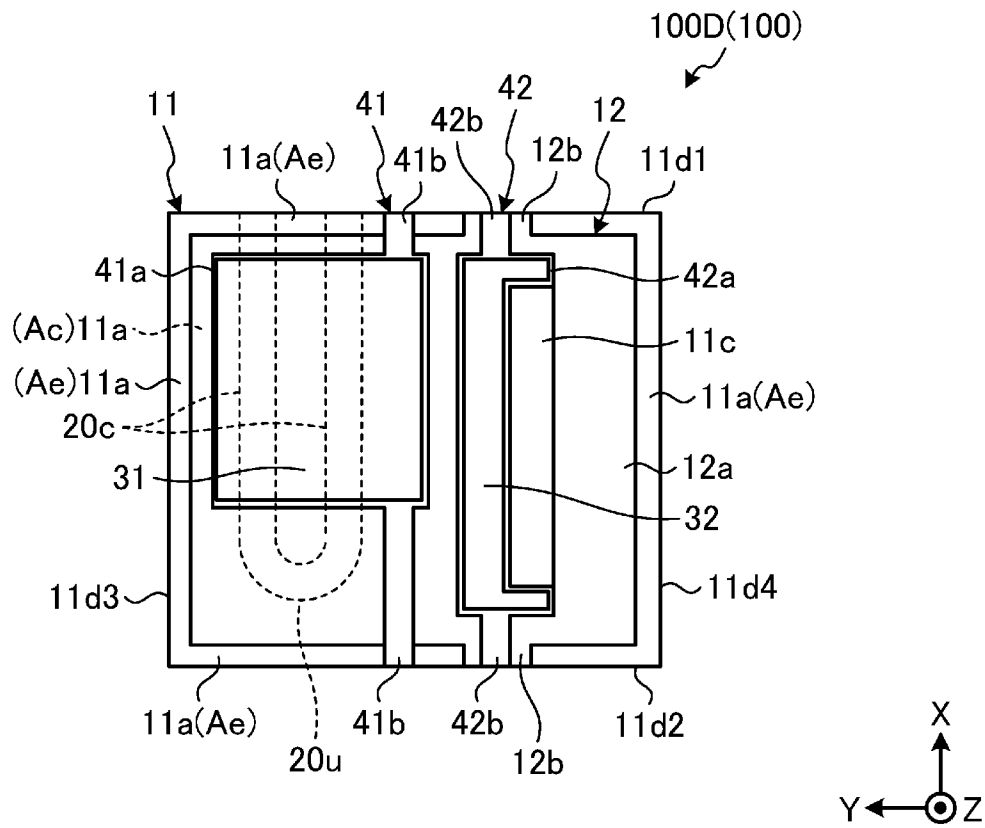
[図5]



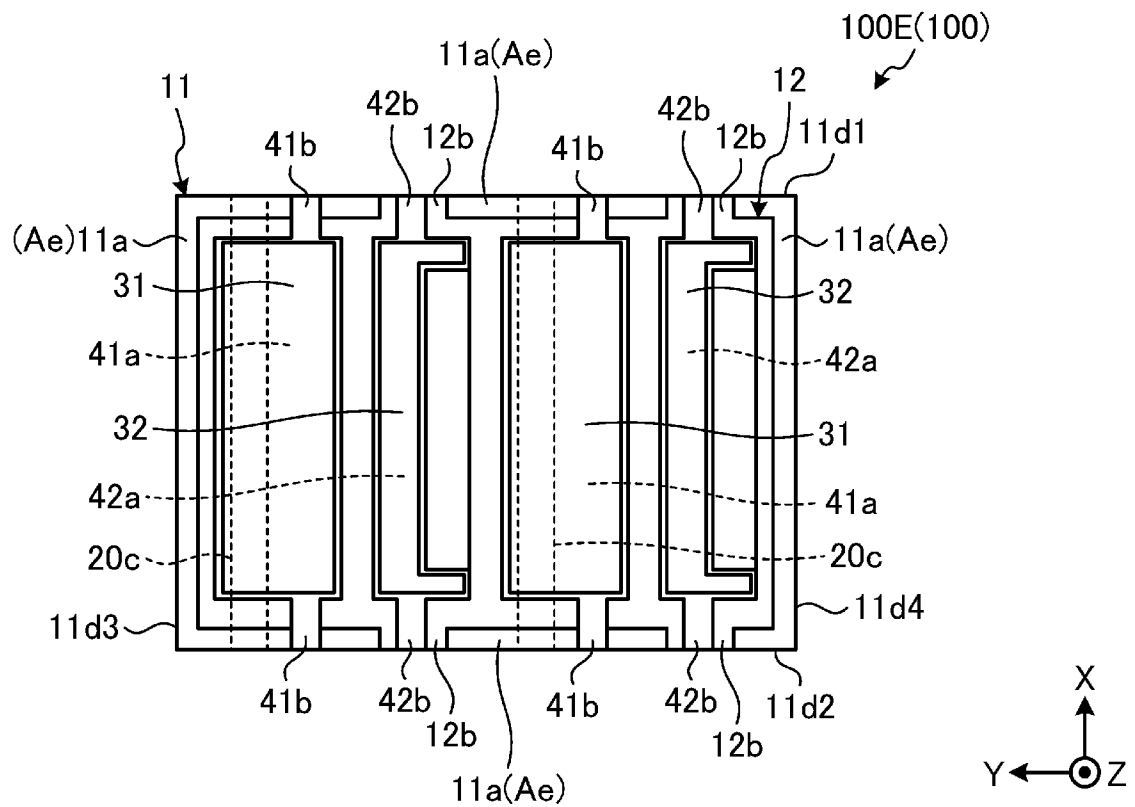
[図6]



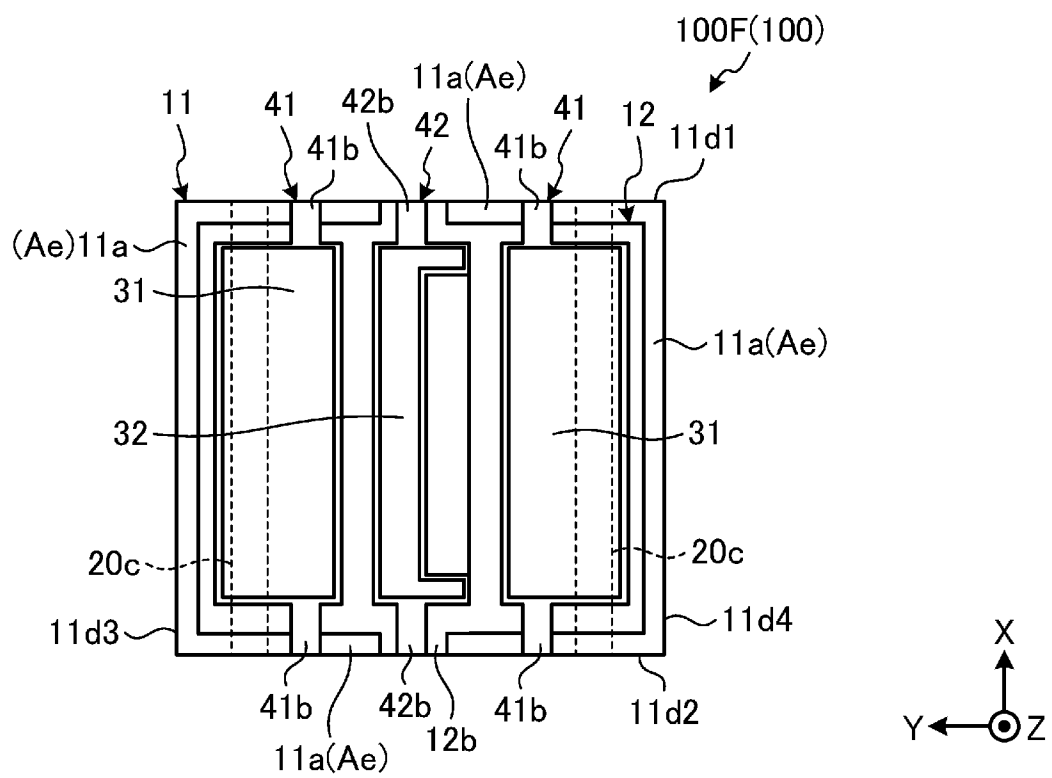
[図7]



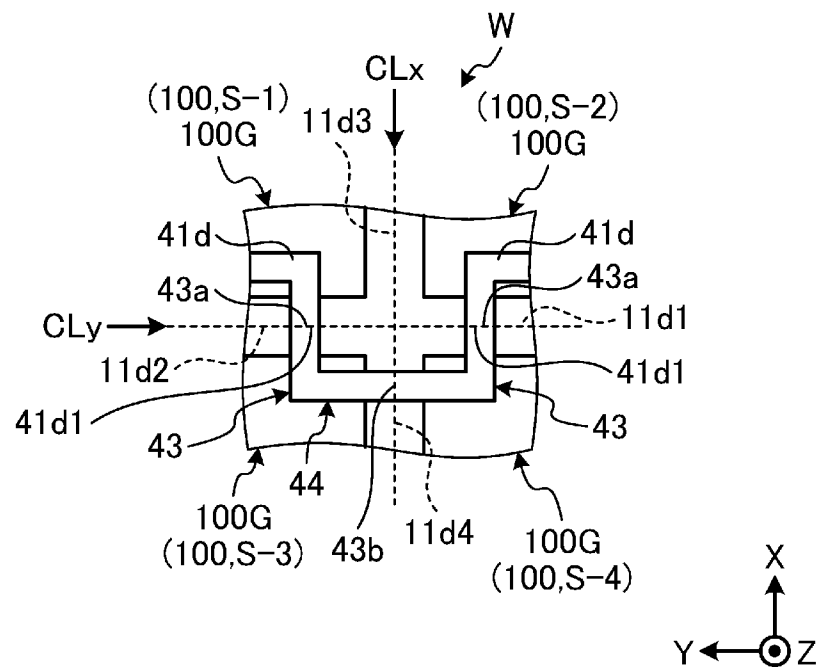
[図8]



[図9]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/003110

A. CLASSIFICATION OF SUBJECT MATTER**H01S 5/028**(2006.01)i; **H01S 5/22**(2006.01)i; **H01S 5/227**(2006.01)i

FI: H01S5/028; H01S5/227; H01S5/22 610

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/028; H01S5/22; H01S5/227

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-9999 A (SUMITOMO ELECTRIC INDUSTRIES) 28 January 2021 (2021-01-28) entire text, all drawings	1-14
A	WO 2020/027296 A1 (ROHM CO., LTD.) 06 February 2020 (2020-02-06) entire text, all drawings	1-14
A	JP 2013-128072 A (SHOWA DENKO KK) 27 June 2013 (2013-06-27) entire text, all drawings	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 March 2023

Date of mailing of the international search report

20 March 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/003110

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2021-9999	A	28 January 2021	US	2020/0412094	A1	
				entire text, all drawings			
				CN	112152069	A	
WO	2020/027296	A1	06 February 2020	(Family: none)			
JP	2013-128072	A	27 June 2013	US	2014/0291612	A1	
				entire text, all drawings			
				EP	2797126	A1	
				CN	103999246	A	
				KR	10-2014-0108550	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/028(2006.01)i; H01S 5/22(2006.01)i; H01S 5/227(2006.01)i FI: H01S5/028; H01S5/227; H01S5/22 610										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01S5/028; H01S5/22; H01S5/227										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2021-9999 A（住友電気工業株式会社）28.01.2021（2021 - 01 - 28） 全文全文	1-14								
A	WO 2020/027296 A1（ローム株式会社）06.02.2020（2020 - 02 - 06） 全文全文	1-14								
A	JP 2013-128072 A（昭和電工株式会社）27.06.2013（2013 - 06 - 27） 全文全文	1-14								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 13.03.2023	国際調査報告の発送日 20.03.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 村井 友和 2K 3207 電話番号 03-3581-1101 内線 3255									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/003110

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-9999	A	28.01.2021	US 2020/0412094 A1 全文全図 CN 112152069 A	
WO	2020/027296	A1	06.02.2020	(ファミリーなし)	
JP	2013-128072	A	27.06.2013	US 2014/0291612 A1 全文全図 EP 2797126 A1 CN 103999246 A KR 10-2014-0108550 A	