

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 5 年 6 月 15 日(2023.6.15)

【公開番号】特開 2021-68433(P2021-68433A)

【公開日】令和 3 年 4 月 30 日(2021.4.30)

【年通号数】公開・登録公報 2021-020

【出願番号】特願 2020-167539(P2020-167539)

【国際特許分類】

G 0 5 B 19/048(2006.01)

10

G 0 5 B 19/042(2006.01)

【F I】

G 0 5 B 19/048

G 0 5 B 19/042

【手続補正書】

【提出日】令和 5 年 6 月 7 日(2023.6.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プロセスプラント内のプロセス制御システムの構成可能な投票ブロックの構成を可能にするコンピュータ実装方法であって、前記構成可能な投票ブロックは、入力の設定に関連付けられた投票スキームを有し、前記方法は、

前記入力の設定のうちの 1 つの第 1 のタイプの入力の第 1 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 1 の制御選択をユーザインターフェイスを介して受信することと、

30

前記入力の設定のうちの別の 1 つの前記第 1 のタイプの入力の第 2 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 2 の制御選択を前記ユーザインターフェイスを介して受信することと、

前記第 1 の制御選択および前記第 2 の制御選択に従って前記構成可能な投票ブロックを構成することと、

前記プロセスプラントに関連付けられたデバイスのセットから、前記入力の設定を受信することと、

構成された前記構成可能な投票ブロックに従って前記入力の設定を処理することであって、前記処理することが前記構成可能な投票ブロックの出力をもたらす、処理することと、を含む、コンピュータ実装方法。

40

【請求項 2】

前記第 1 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化することを指示し、前記第 2 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化しないことを指示する、請求項 1 に記載のコンピュータ実装方法。

【請求項 3】

前記第 1 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化しないことを指示し、前記第 2 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化することを指示する、請求項 1 に記載のコンピュータ実装方法。

【請求項 4】

前記第 1 のタイプの入力が、バイパス(BYP)入力または不良(BAD)入力である

50

、請求項 1 から請求項 3 のいずれかに記載のコンピュータ実装方法。

【請求項 5】

前記入力セットのうちの前記 1 つの第 2 のタイプの入力の第 1 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 3 の制御選択を前記ユーザインターフェイスを介して受信することと、

前記入力セットのうちの前記別の 1 つの前記第 2 のタイプの入力の第 2 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 4 の制御選択を前記ユーザインターフェイスを介して受信することと、をさらに含む、請求項 1 から請求項 4 のいずれかに記載のコンピュータ実装方法。

【請求項 6】

10

前記入力セットを受信することが、

前記デバイセットの第 1 のデバイスから、前記入力セットのうちの前記 1 つの前記第 1 のタイプの入力の前記第 1 のインスタンスを受信することと、

続いて、前記デバイセットの第 2 のデバイスから、前記入力セットのうちの前記別の 1 つの前記第 1 のタイプの入力の前記第 2 のインスタンスを受信することと、を含む、請求項 1 から請求項 5 のいずれかに記載のコンピュータ実装方法。

【請求項 7】

前記投票スキームの必要な投票数がバイパスでも不良でもない前記投票スキームの投票数を越えた時に、前記構成可能な投票ブロックの前記出力が自動的にトリップするかどうかを指示するトリップイネーブル選択を前記ユーザインターフェイスを介して受信すること、をさらに含む、請求項 1 から請求項 6 のいずれかに記載のコンピュータ実装方法。

20

【請求項 8】

( i ) 前記構成可能な投票ブロックの前記入力セット、および ( i i ) 前記入力セットに対応する前記構成可能な投票ブロックの出力のセットの表示を前記ユーザインターフェイスに表示することと、

構成された前記構成可能な投票ブロックに従って前記入力セットを処理した後に、構成された前記構成可能な投票ブロックに従って前記出力のセットに対する更新のセットを前記ユーザインターフェイスに表示することと、をさらに含む、請求項 1 から請求項 7 のいずれかに記載のコンピュータ実装方法。

【請求項 9】

30

前記投票スキームが 3 つのうちの 2 つ ( 2 o o 3 ) である、請求項 1 から請求項 8 のいずれかに記載のコンピュータ実装方法。

【請求項 10】

プロセスプラント内のプロセス制御システムの構成可能な投票ブロックの構成を可能にするコンピューティングデバイスであって、前記構成可能な投票ブロックは、入力セットに関連付けられた投票スキームを有し、前記コンピューティングデバイスは、

ユーザインターフェイスと、

コンピュータ実行可能命令のセットを記憶しているメモリと、

前記ユーザインターフェイスおよび前記メモリとインターフェイスするプロセッサであって、前記プロセッサに、

40

前記入力セットのうちの 1 つの第 1 のタイプの入力の第 1 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 1 の制御選択を前記ユーザインターフェイスを介して受信することと、

前記入力セットのうちの別の 1 つの前記第 1 のタイプの入力の第 2 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 2 の制御選択を前記ユーザインターフェイスを介して受信することと、

前記第 1 の制御選択および前記第 2 の制御選択に従って前記構成可能な投票ブロックを構成することと、

前記プロセスプラントに関連付けられたデバイセットから、前記入力セットを受信することと、

50

構成された前記構成可能な投票ブロックに従って前記入力のセットを処理することであって、前記処理することが前記構成可能な投票ブロックの出力をもたらす、処理することと、を行わせるための前記コンピュータ実行可能命令のセットを実行するよう構成された、プロセッサと、を備える、コンピューティングデバイス。

【請求項 1 1】

前記第 1 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化することを指示し、前記第 2 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化しないことを指示する、請求項 1 0 に記載のコンピューティングデバイス。

【請求項 1 2】

前記第 1 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化しないことを指示し、前記第 2 の制御選択が、前記構成可能な投票ブロックの前記投票スキームが劣化することを指示する、請求項 1 0 に記載のコンピューティングデバイス。

【請求項 1 3】

前記第 1 のタイプの入力が、バイパス ( B Y P ) 入力または不良 ( B A D ) 入力である、請求項 1 0 から請求項 1 2 のいずれかに記載のコンピューティングデバイス。

【請求項 1 4】

前記プロセッサが、

前記入力のセットのうちの前記 1 つの第 2 のタイプの入力の第 1 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 3 の制御選択を前記ユーザインターフェイスを介して受信することと、

前記入力のセットのうちの前記別の 1 つの前記第 2 のタイプの入力の第 2 のインスタンスについて、前記構成可能な投票ブロックの前記投票スキームが劣化するかどうかを指示する第 4 の制御選択を前記ユーザインターフェイスを介して受信することと、を行うようにさらに構成される、請求項 1 0 から請求項 1 3 のいずれかに記載のコンピューティングデバイス。

【請求項 1 5】

前記入力のセットを受信するために、前記プロセッサが、

前記デバイスのセットの第 1 のデバイスから、前記入力のセットのうちの前記 1 つの前記第 1 のタイプの入力の前記第 1 のインスタンスを受信することと、

続いて、前記デバイスのセットの第 2 のデバイスから、前記入力のセットのうちの前記別の 1 つの前記第 1 のタイプの入力の前記第 2 のインスタンスを受信することと、を行うように構成される、請求項 1 0 から請求項 1 4 のいずれかに記載のコンピューティングデバイス。

【請求項 1 6】

前記プロセッサが、

前記ユーザインターフェイスを介して、前記投票スキームの必要な投票数がバイパスでも不良でもない前記投票スキームの投票数を超えた時に、前記構成可能な投票ブロックの前記出力が自動的にトリップするかどうかを指示するトリップイネーブル選択を受信すること、を行うようにさらに構成される、請求項 1 0 から請求項 1 5 のいずれかに記載のコンピューティングデバイス。

【請求項 1 7】

前記プロセッサが、

( i ) 前記構成可能な投票ブロックの前記入力のセット、および ( i i ) 前記入力のセットに対応する前記構成可能な投票ブロックの出力のセットの表示を前記ユーザインターフェイスに表示させることと、

構成された前記構成可能な投票ブロックに従って前記入力のセットを処理した後に、前記ユーザインターフェイスに、構成された前記構成可能な投票ブロックに従って前記出力のセットに対する更新のセットを表示させることと、を行うようにさらに構成される、請求項 1 0 から請求項 1 6 のいずれかに記載のコンピューティングデバイス。

【請求項 1 8】

前記投票スキームが3つのうち2つ(2003)である、請求項10から請求項17のいずれかに記載のコンピューティングデバイス。

【請求項19】

1つ以上のフィールドデバイスを制御するように通信可能に結合されたプロセッサを有するプロセスプラントで使用するためのコントローラモジュールであって、

非一時的なコンピュータ可読媒体と、

前記非一時的なコンピュータ可読媒体に記憶され、前記プロセッサ上で実行される機能ブロックであって、

前記プロセスプラント内からプロセス条件を指示する入力信号を受信するようにそれぞれ構成された入力のセットと、

前記入力のセットのうちの1つの第1のタイプの入力の第1のインスタンスについて、前記機能ブロックの投票スキームが劣化するかどうかを指示する第1の制御パラメータを含む第1の制御ブロックと、

前記入力のセットの別の1つの前記第1のタイプの入力の第2のインスタンスについて、前記機能ブロックの前記投票スキームが劣化するかどうかを指示する第2の制御パラメータを含む第2の制御ブロックと、

出力信号を提供する出力と、

前記第1の制御ブロック、前記第2の制御ブロック、および前記出力の間に結合された投票者論理ブロックであって、前記入力信号のセット、前記第1の制御パラメータ、および前記第2の制御パラメータに基づいて前記出力信号を生成するように構成された、投票者論理ブロックと、を含む、機能ブロックと、を含む、コントローラモジュール。

【請求項20】

前記第1の制御パラメータが、前記機能ブロックの前記投票スキームが劣化することを指示し、前記第2の制御パラメータが、前記機能ブロックの前記投票スキームが劣化しないことを指示する、請求項19に記載のコントローラモジュール。

【請求項21】

前記第1の制御パラメータが、前記機能ブロックの前記投票スキームが劣化しないことを指示し、前記第2の制御パラメータが、前記機能ブロックの前記投票スキームが劣化することを指示する、請求項19に記載のコントローラモジュール。

【請求項22】

前記第1のタイプの入力が、バイパス(BYP)入力または不良(BAD)入力である、請求項19から請求項21のいずれかに記載のコントローラモジュール。

【請求項23】

前記機能ブロックが、

前記入力のセットのうちの前記1つの第2のタイプの入力の第1のインスタンスについて、前記機能ブロックの前記投票スキームが劣化するかどうかを指示する第3の制御パラメータを含む第3の制御ブロックと、

前記入力のセットの前記別の1つの前記第2のタイプの入力の第2のインスタンスについて、前記機能ブロックの前記投票スキームが劣化するかどうかを指示する第4の制御パラメータを含む第4の制御ブロックと、をさらに含む、請求項19から請求項22のいずれかに記載のコントローラモジュール。

【請求項24】

前記機能ブロックが、

前記投票スキームの必要な投票数が、バイパスでも不良でもない前記投票スキームの投票数を越えた時に、前記機能ブロックの前記出力信号が自動的にトリップするかどうかを指示するトリップイネーブルパラメータを含む第5の制御ブロック、をさらに含む、請求項19から請求項23のいずれかに記載のコントローラモジュール。

【請求項25】

前記投票スキームが3つのうち2つ(2003)である、請求項19から請求項24のいずれかに記載のコントローラモジュール。

10

20

30

40

50