

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第6990318号
(P6990318)

(45)発行日 令和4年1月12日(2022.1.12)

(24)登録日 令和3年12月7日(2021.12.7)

(51)国際特許分類 F I
G 0 5 F 3/30 (2006.01) G 0 5 F 3/30

請求項の数 10 (全15頁)

(21)出願番号	特願2020-539746(P2020-539746)	(73)特許権者	591245473
(86)(22)出願日	平成31年1月16日(2019.1.16)		ロベルト・ボッシュ・ゲゼルシャフト・
(65)公表番号	特表2021-510879(P2021-510879 A)		ミト・ベシュレンクテル・ハフツング
(43)公表日	令和3年4月30日(2021.4.30)		ROBERT BOSCH GMBH
(86)国際出願番号	PCT/EP2019/050988		ドイツ連邦共和国 7 0 4 4 2 シュトゥ
(87)国際公開番号	WO2019/141697		ットガルト ポストファッハ 3 0 0 2
(87)国際公開日	令和1年7月25日(2019.7.25)	(74)代理人	100118902
審査請求日	令和2年9月17日(2020.9.17)		弁理士 山本 修
(31)優先権主張番号	102018200785.3	(74)代理人	100120112
(32)優先日	平成30年1月18日(2018.1.18)		中西 基晴
(33)優先権主張国・地域又は機関	ドイツ(DE)	(74)代理人	100196508
			弁理士 松尾 淳一
		(74)代理人	100147991
			弁理士 鳥居 健一

最終頁に続く

(54)【発明の名称】 パワーオンリセットを組み合わせた基準電圧源回路

(57)【特許請求の範囲】

【請求項1】

特定用途向け集積回路に基準電圧（V B G）を供給するために、動作電圧を印加するための電圧入力部と、接地接続部と、基準電圧（V B G）を供給するための電圧出力部と、パワーオンリセット信号（R S T）を供給するための信号出力部とを備える基準電圧源回路（1 0 0）であって、

当該基準電圧源回路（1 0 0）は、絶対温度に比例する電流を生成するために前記電圧入力部と前記接地接続部との間に接続された I P T A T 回路を備え、

前記基準電圧源回路（1 0 0）は、前記基準電圧が目標値に到達し、さらに前記動作電圧の電圧値およびプルダウン抵抗値により決定される最小電流強度に到達しまたは当該最小電流強度を超えた電流強度の電流が I P T A T 回路に流れた場合にのみ、パワーオンリセット信号（R S T）を供給するように構成されている、ことを特徴とする基準電圧源回路（1 0 0）。

【請求項2】

請求項1に記載の基準電圧源回路（1 0 0）であって、

前記 I P T A T 回路は、異なる電流 - 電圧特性を有する第1および第2のバイポーラトランジスタ（Q 1、Q 2）を備えており、前記第1のバイポーラトランジスタ（Q 1）が前記第2のバイポーラトランジスタ（Q 2）よりも大きく、

I P T A T 回路抵抗器（R 1）では、前記第1のバイポーラトランジスタ（Q 1）のエミッタが前記 I P T A T 回路抵抗器（R 1）を介して前記接地接続部に接続され、かつ、前

記第 2 のバイポーラトランジスタ (Q 2) のエミッタが前記接地接続部に直接に接続されており、

前記第 1 のバイポーラトランジスタ (Q 1) を流れる電流を、前記第 2 のバイポーラトランジスタ (Q 2) を含む第 1 の電流経路にコピーする第 1 のカレントミラー (M 1 、 M 2) と、第 2 のカレントミラー (M 3 、 M 5) と、第 4 の MOS トランジスタ (M 4) と、第 6 のバイポーラトランジスタ (Q 6) とが備えられ、

前記第 4 の MOS トランジスタのドレイン端子が前記第 2 のカレントミラー (M 3 、 M 5) を介して前記電圧入力部に接続され、前記第 4 の MOS トランジスタのゲート端子が前記第 2 のバイポーラトランジスタのコレクタに接続され、前記第 4 の MOS トランジスタのソース端子が前記第 1 、第 2 および第 6 のバイポーラトランジスタのベースに接続されており、

10

当該基準電圧源回路 (1 0 0) は、さらに、前記電圧入力部と前記接地接続部との間に第 2 の電流経路を備え、

前記第 6 のバイポーラトランジスタ (Q 6) のエミッタが前記接地接続部に接続され、前記第 6 のバイポーラトランジスタ (Q 6) のコレクタが前記第 6 のバイポーラトランジスタ (Q 6) のベースに接続され、前記第 2 の電流経路が、プルダウン抵抗値を有するプルダウン抵抗器 (R 3) を含み、前記第 2 のカレントミラー (M 3 、 M 5) が、前記第 4 の MOS トランジスタ (M 4) を流れる電流を前記第 2 の電流経路にコピーし、前記第 4 の MOS トランジスタを流れる電流が前記第 1 および第 2 のバイポーラトランジスタ (Q 1 、 Q 2) が導通する程に高い場合にプルダウン抵抗器を介した電圧降下がさらに増大しないように、プルダウン抵抗値 (R 3) が選択されている、

20

基準電圧源回路 (1 0 0) 。

【請求項 3】

請求項 2 に記載の基準電圧源回路 (1 0 0) であって、前記電圧入力部と前記接地接続部との間の第 3 の電流経路と第 3 のカレントミラー (M 1 、 M 6) とをさらに備え、前記第 3 の電流経路が第 3 のバイポーラトランジスタ (Q 3) を含み、前記第 3 のカレントミラー (M 1 、 M 6) が、前記第 1 のバイポーラトランジスタ (Q 1) を流れるさらなる電流を前記第 3 の電流経路に増大させてコピーし、前記第 4 の MOS トランジスタ (M 4) のソース端子が前記第 3 のバイポーラトランジスタ (Q 3) のベースに接続されている、基準電圧源回路 (1 0 0) 。

30

【請求項 4】

請求項 3 に記載の基準電圧源回路 (1 0 0) であって、前記第 2 の電流経路でカレントミラー (M 3 、 M 5) とプルダウン抵抗器 (R 3) との間に配置された第 1 ノードに接続された第 1 のシュミットトリガ (X 1) と、前記第 3 の電流経路で前記第 3 のカレントミラー (M 1 、 M 6) と前記第 3 のバイポーラトランジスタ (Q 3) との間に配置された第 2 ノードに接続された第 2 のシュミットトリガ (X 2) とを備える基準電圧源回路 (1 0 0) 。

【請求項 5】

請求項 4 に記載の基準電圧源回路 (1 0 0) であって、NAND ゲートをさらに備え、前記第 1 および第 2 のシュミットトリガ (X 1 、 X 2) の出力部が前記 NAND ゲートの入力部に接続されており、前記 NAND ゲートの出力部がパワーオンリセット信号 (R S T) を提供するための信号出力部に接続されている、基準電圧源回路 (1 0 0) 。

40

【請求項 6】

請求項 3 、 4 または 5 に記載の基準電圧源回路 (1 0 0) であって、前記電圧入力部と前記接地接続部との間の第 4 の電流経路と、第 4 のカレントミラー (M 1 、 M 8) とをさらに備え、前記第 4 の電流経路が、直列に接続されたさらなる抵抗器 (R 4) および第 4 のバイポーラトランジスタ (Q 4) を含み、前記第 4 のバイポーラトランジスタ (Q 4) のベースとコレクタとが互いに接続されており、前記第 4 のカレントミラー (M 1 、 M 8) がさらなる電流を前記第 4 の電流経路にコピーし、さらに前記第 4 の電流経路で前記第 4 のカレントミラー (M 1 、 M 8) と前記さらなる抵抗器 (R 4) との間に配置されて基準

50

電圧 (V B G) を提供するための当該電圧出力部に接続されたさらなるノードを備える、基準電圧源回路 (1 0 0) 。

【請求項 7】

請求項 6 に記載の基準電圧源回路 (1 0 0) であって、前記第 4 の電流経路を流れる当該さらなる電流のコピーを減衰させて前記第 3 の電流経路にコピーする第 5 のカレントミラー (M 9 、 M 7) をさらに備える基準電圧源回路 (1 0 0) 。

【請求項 8】

請求項 1 から 7 までのいずれか 1 項に記載の基準電圧源回路であって、動作電圧をフィルタリングするための R C フィルタをさらに備え、該 R C フィルタが前記電圧入力部に接続されている、基準電圧源回路。

10

【請求項 9】

請求項 1 から 8 までのいずれか 1 項に記載の基準電圧源回路であって、前記パワーオンリセット信号を遅延させるタイミング素子をさらに備える基準電圧源回路。

【請求項 10】

請求項 1 から 9 までのいずれか 1 項に記載の基準電圧源回路上に集積回路を備える車両。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーオンリセット信号を組み合わせた基準電圧源回路に関する。

【背景技術】

20

【0002】

特定用途向け集積回路 (A S I C) および他の回路では、電圧調整器、比較器、内部リセット監視、基準電流の推定、および他の目的に使用される電圧基準がしばしば必要とされる。電圧基準を提供するためにはバンドギャップ原理を使用することができる。バンドギャップ原理にしたがって機能する従来技術による汎用の基準電圧源回路の一例を図 1 に示す。この基準電圧源回路は、動作電圧が印加される電圧入力部に接続されたカレントミラー回路に基づいている。この場合、カレントミラーは、同一構成の M O S トランジスタ M 1 、 M 2 を含み、これらのトランジスタのゲートは互いに接続されている。第 1 の M O S トランジスタ M 1 の場合、ゲートはドレイン端子にも接続されている。この第 1 の M O S トランジスタ M 1 のドレイン端子は第 1 のバイポーラトランジスタ Q 1 のコレクタに直接に接続されている。第 1 バイポーラトランジスタ Q 1 のエミッタは第 1 抵抗を介して接地部に接続されている。第 1 バイポーラトランジスタ Q 1 のベースは第 2 バイポーラトランジスタ Q 2 のベースに接続されている。第 2 バイポーラトランジスタ Q 2 のベースもコレクタに接続されている。第 2 バイポーラトランジスタ Q 2 のコレクタは、第 2 抵抗 R 2 を介して M O S トランジスタ M 2 のドレイン端子に接続されている。この回路は、 M O S トランジスタ M 2 のドレイン端子に基準電圧 U B G を供給する。

30

【0003】

カレントミラーによって、既存の電流と同一の電流、または既存の電流に対して一定の比率の電流を生成することが可能である。後者の変形例では、例えば、構造が同一であるか、または同様に形成されているが、面積は同じではないバイポーラトランジスタまたは M O S トランジスタが使用される。したがって、活性領域、エミッタ領域またはゲート領域の面積比によって、単にこれらの領域を介して電流の比を決定することができる。

40

【0004】

2 つのバイポーラトランジスタは同一構造、すなわち、同一または設計上同一である。しかしながら、面積は同じではない。バイポーラトランジスタ Q 1 の面積はバイポーラトランジスタ Q 2 の面積よりも n 倍だけ大きい。ここで、n は 1 より大きい自然数である。したがって、n は、Q 1 / Q 2 のサイズ比である。

【0005】

I P T A T 回路抵抗 R 1 によるバイポーラトランジスタ Q 1 の電流負帰還と共に、バイポーラトランジスタ Q 1 、 Q 2 に対して異なる電流 - 電圧特性 I C 1 (U B) および I C 2

50

(UB)が生じる。M1およびM2からなるカレントミラーは、ベース電圧UBおよびコレクタ電流IC1およびIC2の両方が同じとなるバイポーラトランジスタの両方の動作点を設定する。この場合、Q2のベース-エミッタ間電圧UBE2は、 $UBE = kT / q \times \ln(n)$ だけQ1のベース-エミッタ間電圧UBE1よりも大きい。ここで、kはボルツマン定数であり、Tは絶対温度であり、qは電子の電荷である。電圧差UBEは、IPTAT回路抵抗R1の選択と共に、Q1のコレクタ電流IC1もしくはQ2のコレクタ電流IC2、および、M1のドレイン-ソース間電流IDS1もしくはM2のドレイン-ソース間電流IDS2を $IC1 = IC2 = IDS1 = IDS2 = IPTAT = 1 / R1 \times kT / q \times \ln(n)$ で確定させる。電流IPTATは温度に強く依存する。電流IPTAT(英語: proportional to absolute temperature: PTAT)は絶対温度に比例する。多くの用途、例えば自動車分野で一般的である-40 ~ 150の温度範囲内で、この電流は2倍に増加する。しかしながら、同時に、バイポーラトランジスタQ1およびQ2のベース-エミッタ間電圧も温度依存性が高く、前記の一般的な温度範囲で半減する。ベース-エミッタ間電圧の温度曲線とコレクタ電流の温度曲線はいずれもほぼ直線的である。したがって、抵抗器R2の適切な選択により、(抵抗器R2を流れるコレクタ電流IC2による)R2を介した電圧降下UR2とベース-エミッタ電圧UBE2との合計UBGが一次近似で温度に依存しないことを保証することができる。この合計電圧UBGをバンドギャップ電圧と呼ぶ。バンドギャップ電圧は、使用される半導体技術にかかわらず、約1.25Vである。このバンドギャップ基準電圧源回路は、 $IC1 = IC2$ との条件を電流0に対しても満たすので、起動回路が必要となる。

10

20

【0006】

図1に示す基準電圧源回路は、特定の動作電圧からしか正しく動作することができない。上述した動作点を設定することができる程に動作電圧が十分に高いときにはじめて基準電圧 $UBG = UR2 + UBE2$ を達成することができる。このためには、MOSトランジスタM2のドレイン-ソース間電圧UDS2を約200mV(ドレイン-ソース間飽和電圧)以上に設定することができるようにする必要もある。したがって、図1に示す基準電圧源回路は、約1.5Vの動作電圧でようやく障害なしに動作することができる。

【0007】

基本的には、基準電圧が、最小限に必要な特定の動作電圧を超えるとようやく有効であるといえる。それよりも低い場合には動作電圧は低すぎ、電圧調整器および/または比較器などの後段の回路のための電圧基準として使用することができない。上昇または降下する動作電圧は、基準電圧が目標値をとることができない電圧範囲をいずれの場合にも通過する。

30

【0008】

実際には、いつ基準電圧源回路が正しく動作しているのかを決定できるようにする必要がある。このためには、少なくとも、提供された動作電圧が要求される最小値に達したかどうかを監視しなければならない。しかしながら、最小動作電圧に到達することは、基準電圧源回路の正しい動作のための必要条件であるにすぎず、十分な条件ではないので、間接的な指標にすぎない。

40

【0009】

パワーオンリセット回路は、供給される動作電圧が十分に高いときに信号を発するために使用できる。このことは、しばしば基準電圧源回路の利用可能性に関連するので、動作可能状態を知らせる動作電圧しきい値を任意に高く設定することができない。

【0010】

利用可能性は、安全なマージンに対して考慮されなければならない。両方の回路が互いに独立して動作するので、動作電圧が上昇または降下している間にパワーオンリセット回路のパワーオンリセット信号が誤って発行される恐れがある。例えば、動作電圧の特定の上昇率およびレベルで、内部電圧の先行する時間波形に依存して、基準電圧源回路の基準電圧が低すぎるにもかかわらず、パワーオンリセット回路のパワーオンリセット信号が誤つ

50

て発行される可能性がある。これにより、A S I Cの他の回路部分に誤動作が生ずる可能性がある。パワーオンリセット回路を追加するには追加の供給電流が必要となる。

【0011】

残念ながら、実際には、システムの始動時または終了時に生じる問題は、回路シミュレータではしばしば見つからないことがわかっている。これらの問題は、しばしば、当該A S I Cのエンジニアリング・サンプルが入手可能な場合にのみ顕在化するようになり、しかも残念ながら、偶然にしか見つけられないこともある。起動または終了時に誤った状態をとるパワーオンリセット信号は、A S I Cを再設計する一般的な要因となる。

【0012】

バンドギャップ原理に基づく従来技術によるパワーオンリセット回路は、動作電圧が上昇または降下して特定の目標値を超えるか、または目標値未満となったときに、多かれ少なかれ正確に信号を発することができる。このパワーオンリセットしきい値は、利用可能な動作電圧が基準電圧源回路を動作させるのに十分であるかどうかを示すことができる。しかしながら、最終的には、実際の基準電圧源回路とパワーオンリセットを生成する回路という2つの別々に動作する回路を組み合わせることになる。しかしながら、このことは、基準電圧源回路に必要な最大動作電圧と最小パワーオンリセットしきい値との間の安全マージンの有効性および大きさを考慮することから生じる危険性をはらんでいる。パワーオンリセットしきい値の動的効果および最終的な精度は、この安全マージンのさらなる拡大を必要とすることもある。

【発明の概要】

【0013】

本発明によれば、請求項1に記載の基準電圧源回路が提案される。基準電圧源回路は、特定用途向け集積回路に基準電圧を供給するために使用される。基準電圧源回路は、動作電圧を印加するための電圧入力部と、接地接続部と、基準電圧を供給するための電圧出力部と、パワーオンリセット信号を供給するための信号出力部とを含む。基準電圧源回路は、絶対温度に比例する電流を生成するために電圧入力と接地接続部との間に接続されたI P T A T回路を含む。この場合、基準電圧源回路は、基準電圧が目標値に達した場合、および、動作電圧の電圧値およびブルダウン抵抗値により決定される最小電流強度に到達したまたはこれを超える電流強度を有する電流がI P T A T回路にさらに流れた場合のみパワーオンリセット信号を提供するように構成されている。

【0014】

本発明によれば、基準電圧およびパワーオンリセット信号の生成は1つの回路において結合される。したがって、パワーオンリセット信号は、I P T A T回路に電流が流れたときに、基準電圧源回路の基準電圧が目標値に達したことに応じて生成することができる。したがって、本発明のパワーオンリセット信号は電圧基準の動作準備完了を確実に示す。

【0015】

したがって、設定された基準電圧は同時にパワーオンリセットしきい値を形成するので、基準電圧とパワーオンリセットしきい値とにズレが生ずることが防止される。基準電圧の調整は、同時にパワーオンリセットしきい値の調整でもある。基準電圧源回路が障害なしに動作するために必要な最小動作電圧に到達することは、基準電圧源回路の正しい起動についての直接的なステートメントを行うことも可能にする。動作電圧の上昇および降下時に、パワーオンリセット信号の信号経路には、基準電圧が目標値に達していなくても、パワーオンリセット信号が動作準備完了を信号伝達することができる高インピーダンスノードがない。

【0016】

好ましい実施形態では、I P T A T回路は、異なる電流 - 電圧特性を有する第1および第2のバイポーラトランジスタを備え、第1のバイポーラトランジスタは第2のバイポーラトランジスタよりも大きく、I P T A T回路抵抗器と、第1のバイポーラトランジスタを流れる電流を第2のバイポーラトランジスタを備える第1の電流経路にコピーする第1のカレントミラーと、電圧入力部に接続された第2のカレントミラーと、第6のバイポーラ

10

20

30

40

50

トランジスタおよび第4のMOSトランジスタとを備える。第4のMOSトランジスタのドレイン端子は第2のカレントミラーに接続されており、第4のMOSトランジスタのゲート端子は第2のバイポーラトランジスタのコレクタに接続されており、第4のMOSトランジスタのソース端子は第1、第2および第6のバイポーラトランジスタのベースに接続されている。第6のバイポーラトランジスタのエミッタは接地接続部に接続されており、第6のバイポーラトランジスタのコレクタは第6のバイポーラトランジスタのベースに接続されている。第1のバイポーラトランジスタのエミッタは第1の抵抗を介して接地接続部に接続されており、第2のバイポーラトランジスタのエミッタは接地接続部に直接に接続されている。基準電圧源回路は、電圧入力部と接地接続部との間に第2の電流経路をさらに備え、第2の電流経路は、プルダウン抵抗値を有するプルダウン抵抗器を備え、第2のカレントミラーは、第4のMOSトランジスタを流れる電流を第2の電流経路上にコピーし、プルダウン抵抗値は、第4のMOSトランジスタを流れる電流が、第1および第2のバイポーラトランジスタが導通する程度に多い場合に、抵抗器を介した電圧降下がさらに増大しないように選択されている。

10

【0017】

好ましい実施形態では、電流がIPTAT回路に十分に流れない(LOWレベル)場合、プルダウン抵抗器がノードを接地に確実に引き寄せる。この場合、プルダウン抵抗の大きさは、回路に応じて十分な電流量を決定する。

【0018】

基準電圧源回路は、さらに、電圧入力部と接地接続部との間の第3の電流経路と、第3のカレントミラーとを備えることができる。この場合、第3の電流経路は第3のバイポーラトランジスタを備えることができ、第3のカレントミラーは、第1のバイポーラトランジスタを流れるさらなる電流を第3の電流経路に増大させてコピーすることができる。第4のMOSトランジスタのソース端子は、第3のバイポーラトランジスタのベースに接続することができる。

20

【0019】

第3のバイポーラトランジスタが導通可能なさらなる電流の電流量は、第4のMOSトランジスタのソース端子と第3のバイポーラトランジスタのベースとの結合によって、IPTAT回路を流れることができる、絶対温度に比例する電流量に制限されている。さらなる電流の増大されたコピーは常にこの電流量よりも大きいので、電流の増大されたコピーがピンチオフされない限り、基準電圧が目標値に達したことの指標として使用可能な電圧を第3のバイポーラトランジスタのコレクタに印加することができる。

30

【0020】

したがって、基準電圧源回路は、絶対温度に比例する電流量を正確に伝送することができるプルダウン電流源を備えることができる。

【0021】

基準電圧源回路は、第2の電流経路でカレントミラーとプルダウン抵抗器との間に配置することができるノードに接続された第1のシュミットトリガと、第3の電流経路でさらなるノードに接続することができる第2のシュミットトリガを備える。この場合、さらなるノードは、第3のカレントミラーと第3のバイポーラトランジスタとの間に配置することができる。

40

【0022】

電流がIPTAT回路に十分に流れることができる程に動作電圧が十分に高い場合、電流のコピーはプルダウン抵抗に最大電圧降下を引き起こし、第1のシュミットトリガの入力部は、電流のコピーによって正の動作電圧(HIGHレベル)に向かって引き寄せられ、この第1のシュミットトリガの出力はHIGHレベルを供給する。

【0023】

さらなる電流の増大されたコピーは、さらなる電流のこのコピーが、第2のシュミットトリガの入力を接地部の方へ引き込むプルダウン電源が供給できる電流のコピーよりも大きい場合に、この第2のシュミットトリガの入力部を正の動作電圧(HIGHレベル)の方

50

へ引き寄せるために使用することもできる。

【0024】

これはまさに基準電圧が目標値に達した場合である。

【0025】

基準電圧源回路は、さらにNANDゲートを備えることができ、第1および第2のシュミットトリガの出力部はNANDゲートの入力部に接続することができ、NANDゲートの出力部はパワーオンリセット信号(RST)を提供するための信号出力部に接続することができる。

【0026】

NANDゲートは、2つのシュミットトリガの出力信号をリンクする。このようにして、印加された動作電圧が、基準電圧が目標値に達する程に高い場合にはじめて確実にLOWレベル(リセットなし)をとるパワーオンリセット信号が生成される。

10

【0027】

第1および第2のシュミットトリガの入力部にそれぞれHIGHレベルが印加されている場合には、信号出力に正確にLOWレベルが印加されている。パワーオンリセット信号は、基準電圧がちょうど目標値に達した場合にローレベルに設定され、付加的にIPTAT回路には十分な電流強度を有する電流が流る。

【0028】

基準電圧源回路は、電圧入力部と接地接続部との間の第4の電流経路と、第4のカレントミラーとをさらに備えることができる。第4の電流経路は、直列に接続されたさらなる抵抗器および第4のバイポーラトランジスタを備えることができる。第4のバイポーラトランジスタのベースおよびコレクタは互いに接続することができる。第4のカレントミラーは、さらなる電流を第4の電流経路にコピーするように構成することができる。基準電圧源回路は、さらに、第4の電流経路上にもう1つのノードを備えることができ、このノードは第4のカレントミラーとさらなる抵抗器との間に配置され、基準電圧を提供するために電圧出力部に接続されている。

20

【0029】

基準電圧源回路は、さらに第5のカレントミラーを含むことができ、このカレントミラーは、第4の電流経路を流れるさらなる電流のコピーを減衰させて第3の電流経路にコピーするように構成することができる。

30

【0030】

動作電圧をフィルタリングするために、RCフィルタを電圧入力部に接続することができる。

【0031】

有利には、パワーオンリセット信号を遅延させるためにタイミング素子を使用することができる。

【0032】

本発明による基準電圧回路上の集積回路は、例えば車両に使用することができる。

【0033】

本発明の有利な構成が従属請求項に明記され、明細書に記載されている。

40

【0034】

以下、図面を参照して本発明の例示的な実施形態を詳細に説明する。

【図面の簡単な説明】

【0035】

【図1】従来技術によるバンドギャップ基準電圧源回路を示す図である。

【図2】本発明の例示的な実施形態によるパワーオンリセット信号を組み合わせた基準電圧源回路を示す図である。

【発明を実施するための形態】

【0036】

本発明の例示的な実施形態が、特定用途向け集積回路(AASIC)に基準電圧を供給する

50

ための基準電圧源回路100として示されている。この実施形態の基準電圧源回路100は、動作電圧を印加するための電圧入力部と、基準電圧V_{BG}を供給するための電圧出力部とを備える。さらに基準電圧源回路は、パワーオンリセット信号RSTを供給するための信号出力を含む。基準電圧源回路は、基準電圧が目標値に達した場合にのみパワーオンリセット信号RSTを供給するように構成されている。

【0037】

例示的な実施形態では、動作電圧をフィルタリングするためにRCフィルタが電圧入力に接続されている。しかしながら、RCフィルタは、本発明から逸脱することなく省略することができる。

【0038】

図2は、本発明の一実施形態による基準電圧源回路を示す。

【0039】

基準電圧源回路は、絶対温度に比例する電流を生成するために、電圧入力部と接地接続部との間に接続されたIPTAT回路を含む。

【0040】

例示的な実施形態では、さらに基準電圧源回路は2つのシュミットトリガX1、X2およびNANDゲートX3を含む。一方のシュミットトリガX1の1つの入力部は、ノード、すなわち第1ノードに接続されている。他方のシュミットトリガX2の1つの入力部は、別のノード、すなわち第2ノードに接続されている。シュミットトリガX1、X2の出力部はNANDゲートX3の入力部に接続されている。NANDゲートX3の1つの出力部は信号出力部に接続されている。

【0041】

本発明の例示的な実施形態のIPTAT回路は、IPTAT回路抵抗器R1と、第1、第2、第3および第4のMOSトランジスタM1、M2、M3、M4とを備える。さらにIPTAT回路は、第1、第2および第6のバイポーラトランジスタQ1、Q2およびQ6を含む。第1および第2のバイポーラトランジスタQ1、Q2のサイズは異なる。サイズ比は、好ましくは有理数であり、より好ましくは自然数である。第1および第2のMOSトランジスタM1、M2は同じ構成を有する。

【0042】

第2のバイポーラトランジスタQ2のエミッタは、例示的な実施形態では接地部に直接に接続されている。例示的な実施形態では、第1のバイポーラトランジスタQ1のエミッタは、IPTAT回路抵抗器R1を介して接地に接続されている。第1のMOSトランジスタM1のソース端子、第2のMOSトランジスタM2のソース端子、および第3のMOSトランジスタM3のソース端子は、例示的な実施形態では動作電圧入力部に接続されている。この実施形態では、第1のMOSトランジスタM1のドレイン端子は、第1のバイポーラトランジスタQ1のコレクタに接続されている。例示的な実施形態では、第2のMOSトランジスタM2のドレイン端子は、第2のバイポーラトランジスタQ2のコレクタに直接に接続される。この実施形態では、第3のMOSトランジスタM3のドレイン端子は、第4のMOSトランジスタM4のドレイン端子に接続されている。

【0043】

第1のMOSトランジスタM1のゲートおよび第2のMOSトランジスタM2のゲートは、例示的な実施形態では第3ノードに接続されている。第1のMOSトランジスタM1のドレイン端子は第3ノードに接続されており、第3のMOSトランジスタM3のドレイン接続は第3のMOSトランジスタM3のゲートに接続されている。第1のバイポーラトランジスタQ1のベースおよび第2のバイポーラトランジスタQ2のベースは、例示的な実施形態では第4ノードに接続されている。この実施形態では、第4のMOSトランジスタM4のソース端子が第4ノードに接続されており、第4のMOSトランジスタM4のゲートが第2のバイポーラトランジスタQ2のコレクタに接続されている。

【0044】

例示的な実施形態の例示的な構成では、基準電圧源回路は、第3のMOSトランジスタM

10

20

30

40

50

3と、第2のカレントミラーを形成する第5のMOSトランジスタM5と、プルダウン抵抗R3とを有する第2の電流経路をさらに備える。第5のMOSトランジスタM5のソース端子は動作電圧入力部に接続されている。第5のMOSトランジスタM5のゲートは第3のMOSトランジスタM3のゲートに接続されている。第5のMOSトランジスタM5のドレイン端子は第1ノードに接続されている。プルダウン抵抗R3は、第1ノードと接地との間に接続されている。IPTAT回路を流れる電流の電流強度は、第1ノードに電圧が蓄積できるように、動作電圧の電圧値およびプルダウン抵抗R3のプルダウン抵抗値に依存する最小電流強度を超える必要がある。

【0045】

例示的な実施形態の例示的な任意の構成では、基準電圧源回路は、第3のバイポーラトランジスタQ3、第6のMOSトランジスタM6、および第7のMOSトランジスタM7を有する第3の電流経路をさらに備える。この実施形態では、第6のMOSトランジスタM6のソース端子は動作電圧入力に接続されている。第6のMOSトランジスタM6は、第1のMOSトランジスタM1と第2のカレントミラーを構成する。この実施形態では、第6のMOSトランジスタM6のドレイン端子は、第7のMOSトランジスタM7のソース端子に接続されている。この実施形態では、第7のMOSトランジスタM7のドレイン端子は第2ノードに接続されている。第3バイポーラトランジスタQ3のコレクタも第2ノードに接続されている。この実施形態では、第3バイポーラトランジスタQ3のエミッタは、接地に接続されている。第3のバイポーラトランジスタQ3のベースは、この実施形態では第4ノードに接続されている。

【0046】

基準電圧源回路は、選択可能なさらなる構成では、さらに別のノード、すなわち第5ノード、第3の抵抗器R4、第4のバイポーラトランジスタQ4、ならびに第8および第9のMOSトランジスタM8、M9を有する第4の電流経路を含む。第8のMOSトランジスタM8のソース端子は動作電圧入力に接続することができる。第8のMOSトランジスタM8のゲートは第3ノードに接続することができる。第8のMOSトランジスタM8は、第1のMOSトランジスタM1と第4のカレントミラーを構成する。第8のMOSトランジスタM8のドレイン端子は、第9のMOSトランジスタM9のソース端子に接続することができる。第9のMOSトランジスタM9のゲートは、第7のMOSトランジスタM7のゲートに接続することができる。第7のMOSトランジスタM7は、第9のMOSトランジスタM9と第5のカレントミラーを構成する。第9のMOSトランジスタM9のドレイン端子は第5ノードに接続することができる。第4のバイポーラトランジスタQ4のコレクタは、第3の抵抗R4を介して第5ノードに接続することができる。第4バイポーラトランジスタQ4のベースは、第4バイポーラトランジスタQ4のコレクタに接続することができる。第4バイポーラトランジスタQ4のエミッタは接地に接続することができる。基準電圧出力V_{BG}および第9のMOSトランジスタM9のゲートは第5ノードに接続することができる。

【0047】

さらに別の選択可能な構成では、基準電圧源回路は、第4の抵抗器R5、第5および第6のバイポーラトランジスタQ5、Q6、ならびに第10および第11のMOSトランジスタM10、M11をさらに備える。第11のMOSトランジスタM11のドレイン端子は動作電圧入力部に直接に接続されており、第10のMOSトランジスタM10のドレイン端子は第4の抵抗R5を介して動作電圧入力に接続されている。第10および第11のMOSトランジスタM10、M11のソース端子は、それぞれ第5および第6のバイポーラトランジスタQ5、Q6のコレクタに接続されている。第5および第6バイポーラトランジスタQ5、Q6のエミッタは接地に接続されている。第5バイポーラトランジスタQ5のベースは第5バイポーラトランジスタQ5のコレクタに接続されており、第6バイポーラトランジスタQ6のベースは第6バイポーラトランジスタQ6のコレクタに接続されている。第6のバイポーラトランジスタQ6のベースは、依然として第4ノードに接続されている。

10

20

30

40

50

【 0 0 4 8 】

本発明による基準電圧源回路を有する集積回路は、例えば車両に使用できる。

【 0 0 4 9 】

本発明の例示的な実施形態では、基準電圧源回路は、基準電圧源回路に提供された動作電圧が基準電圧目標値にちょうど到達するように十分に高いときに、自身の固有のパワーオンリセット信号により確実に信号を発する。この例示的な実施形態では、このために、第2の内部または外部の基準電圧も、別個のパワーオンリセット回路も不要である。

【 0 0 5 0 】

図2で提案される基準電圧源回路の例示的な実施形態の機能を以下により詳細に説明する。2つのバイポーラトランジスタQ1およびQ2、IPTAT回路抵抗R1、ならびにM1およびM2から形成されたカレントミラーにより、コレクタ電流IC1、IC2、およびドレイン-ソース電流IDS1、IDS2は、図1の回路の場合と同様に、次のとおり絶対温度に比例するという効果を有する。

$$I C 1 = I C 2 = I D S 1 = I D S 2 = I P T A T = 1 / R 1 \times k T / q \times \ln (n) .$$

【 0 0 5 1 】

Q1およびQ2のベース電圧UBはM4によって規制される。電流IPTATが小さすぎると、Q1のコレクタ電流IC1は、n倍だけ面積が大きいことにより、Q2のコレクタ電流IC2よりも大きくなり、M4のゲートがMOSトランジスタM2によってプルアップされ、電流IPTATが増加する。電流IPTATが高すぎると、(IPTAT回路抵抗R1によって引き起こされる)Q1からの電流負帰還に基づいてコレクタ電流IC1がQ2よりも低くなり、M4のゲートはバイポーラトランジスタQ2によってプルダウンされ、電流IPTATは減少する。同じ寸法決めの場合には、図1の回路とほぼ同一のベース電圧UBが設定される。

【 0 0 5 2 】

M8により、電流IPTATはR4およびQ4にも流れ、IR4 = IC4 = IPTAT (IB4は無視される)、となる。Q2とQ4は同じなので、IC2 = IC4により同じベース-エミッタ間電圧UBE2 = UBE4 (IB4を無視したとき)を有する。図1の回路と同様に、抵抗器R4を見つけることができ、抵抗器R4を介した電圧降下UR4 (抵抗器R4に流れるコレクタ電流IC4 = IPTATに基づく)とベース-エミッタ間電圧UBE4との合計は第1近似では温度に依存しない。この場合にも、使用される半導体技術にかかわらず、出力ピンVBGで約1.25Vのバンドギャップ電圧が再び得られる。

【 0 0 5 3 】

スタートアップ回路

基準電圧源回路を始動するためにはスタートアップ回路が有利である。スタートアップ回路は、抵抗R5、MOSトランジスタM10、M11およびバイポーラトランジスタQ5、Q6によって形成されている。動作電圧が十分に高くなるとすぐに、抵抗R5とMOSトランジスタM10とQ5とに電流IDS10が流れる。M10とM11の特性が同じで、Q5とQ6の特性が同じである(Q1、Q2、Q3のベース電流を無視した)場合、MOSトランジスタM11とQ6にも同じ電流が流れる(IDS11 = IDS10)。

【 0 0 5 4 】

抵抗器R5は、全温度範囲にわたって、IDS11 << IPTATが適用されるように寸法決めされる必要がある。

【 0 0 5 5 】

Q1およびQ2のベースはQ6のベースに接続されているので、コレクタ電流IC1およびIC2もバイポーラトランジスタQ1およびQ2を流れる。動作電圧が低すぎることにより起因して電流IC1およびIC2が上述の電流IPTATよりも小さく、バイポーラトランジスタQ1およびQ2がまだ動作点に到達していない場合には、Q1のコレクタ電流IC1は、n倍だけ面積が大きいことにより、Q2のそれよりも大きく、M4のゲートがMOSトランジスタM2によってプルアップされ、電流IPTATは、上述の動作点が設定され、約1.25Vのバンドギャップ電圧が生じるまで上昇し続ける。

10

20

30

40

50

【 0 0 5 6 】

パワーオンリセット信号の生成

M O S トランジスタ M 4 は、第 6 のバイポーラトランジスタ Q 6 のコレクタ電流と、第 1、第 2、第 3 および第 6 のバイポーラトランジスタ Q 1、Q 2、Q 3、Q 6 のベース電流とを供給する必要がある。これは、動作電圧が、第 3 および第 4 の M O S トランジスタ M 3、M 4、および第 1、第 2 および第 6 のバイポーラトランジスタ Q 1、Q 2 および Q 6 のベース - エミッタ間経路が導通する程度に高い場合にのみ可能である。第 4 の M O S トランジスタ M 4 によって供給される電流は、第 3 および第 5 の M O S トランジスタ M 3、M 5 によって形成されるカレントミラーに基づいて流れ、M 3 および M 5 の状態が同じ場合にはプルダウン抵抗 R 3 ($I R 3 = I D S 5 = I D S 3$) にも流れる。動作電圧が上昇すると、最初はプルダウン抵抗 R 3 を介した電圧降下も増大する。バイポーラトランジスタ Q 1 および Q 2 が動作点に達するとすぐに、プルダウン抵抗 R 3 を介した電圧降下はそれ以上に増大しない。プルダウン抵抗 R 3 を介した電圧降下も、第 5 の M O S トランジスタ M 5 のドレイン - ソース飽和電圧未満とならない程度までしか増大し得ず、第 5 の M O S トランジスタ M 5 は依然として電流源として動作することができる。

10

【 0 0 5 7 】

したがって、プルダウン抵抗 R 3 を介した電圧降下は動作電圧に近づくことができる。プルダウン抵抗 R 3 の抵抗値は、第 4 の M O S トランジスタ M 4 によって供給される電流がバイポーラトランジスタ Q 1 および Q 2 が導通し始め、ゲート電圧調整が始まるのに十分である場合、プルダウン抵抗 R 3 を介した電圧降下がシュミットトリガ X 1 の出力部に論理ハイ信号を生じさせることがわかる。

20

【 0 0 5 8 】

Q 6 のベースは Q 1 および Q 2 のベースに接続されているので、Q 6 のコレクタ電流 $I C 6$ も Q 1 および Q 2 のコレクタ電流に対応する ($I C 6 = I C 1 = I C 2 = I P T A T$)。したがって、(Q 1、Q 2、Q 3 および Q 6 のベース電流を無視して) 電流 $I P T A T$ も M O S トランジスタ M 4、M 3、M 5、およびプルダウン抵抗 R 3 を流れる ($I R 3 = I D S 5 = I D S 3 = I D S 4 = I C 6 = I P T A T$)。これに対し、R 3 を介した電圧降下にも、 $I P T A T$ の温度依存性により、同様に温度依存性がある。したがって、高温時に Q 6 のコレクタ電流を制限する抵抗 R 6 を Q 6 のコレクタ経路に挿入することが有利である。これにより、プルダウン抵抗 R 3 の値の範囲を大きくすることができる。この場合 Q 6 のベースは依然として M 1 1 のソース端子に接続され、Q 6 のコレクタは抵抗 R 6 を介して M 1 1 のソース端子に接続される。

30

【 0 0 5 9 】

動作電圧が低すぎる場合には、プルダウン抵抗 R 3 は、一方のシュミットトリガ X 1 の入力部を接地に確実に引き込み、その出力部は論理ロー信号を伝送する。次に、後段の N A N D ゲート X 3 では、出力部に論理ハイ信号を伝送する。N A N D ゲート X 3 の出力はパワーオンリセット信号 R S T である。パワーオンリセット信号 R S T は、他方のシュミットトリガ X 2 も出力部にハイ信号を伝送する場合にようやくローになることができる。このためには、第 8、第 9 の M O S トランジスタ M 8、M 9 が導通し、ドレイン - ソース間電流 $I D S 8$ 、 $I D S 9$ 、およびコレクタ電流 $I C 4$ が $I C 1 = I C 2 = I P T A T$ に相当するように動作電圧を高くする必要がある。これは、第 8 の M O S トランジスタ M 8 のドレイン - ソース飽和電圧未満とならず、第 8 の M O S トランジスタ M 8 が損なわれることなく電流源として動作することができる場合、第 9 の M O S トランジスタ M 9 の特性 $I D S 9$ ($U G S 9$) に対応してドレイン - ソース間電流 $I D S 9 = I P T A T$ を導くことができるように第 9 の M O S トランジスタ M 9 のゲート - ソース電圧を設定することができる場合、および、第 4 のバイポーラトランジスタ Q 4 が特性 $I C 4$ ($U B E 4$) に対応してコレクタ - 電流 $I C 4 = I P T A T$ を導くことができる場合である。1 よりもわずかに大きいファクタ (例えば、 $= 1.1$ または $= 1.2$) により、電流源 M 6 は電流源 Q 3 よりもわずかに強く、これにより、電流 $I P T A T$ が M 8、M 9、R 4 および Q 4 を通じて流れることができるとすぐに、また、第 6 の M O S トランジスタ M 6 のドレイン

40

50

- ソース飽和電圧未満とならずに第6のMOSトランジスタM6も妨害なしに電流源として動作し得て電流 $I_{DS6} = \beta \times I_{PTAT} > I_{C3} = I_{PTAT}$ を提供することができるようになるとすぐに、他方のシュミットトリガX2の入力部は、M6により、動作電圧に近い値に引き込まれる。これは、おおよそ、基準電圧V_{BG}が目標値である1.25Vに達した場合に起こる。ファクタ > 1 (例えば、 $= 2$ または $= 4$) では、この切換点は、目標値からさらに小さな間隔までシフトすることができる。なぜならば、これにより(係数 β が増加した場合には)、M7のゲート-ソース間電圧と比較してM9のゲート-ソース電圧を減少させることができるので、M6のドレイン-ソース間電圧を同時に減少させることができるからである。M6のドレイン-ソース間電圧は、M7のゲート-ソース間電圧およびM9のゲート-ソース間電圧によって影響される。M7とM9のゲートは互いに接続されているので、M6のドレイン-ソース間電圧とM7のゲート-ソース間電圧との合計は、M8のドレイン-ソース間電圧とM9のゲート-ソース間電圧との合計に対応している ($U_{DS6} + U_{GS7} = U_{DS8} + U_{GS9}$)。M8のドレイン-ソース間飽和電圧未満であることにより、電流 I_{PTAT} がM8、M9、R4、およびQ4を流れることができない場合には、電流 $\beta \times I_{PTAT}$ は、 $U_{DS6} + U_{GS7} = U_{DS8} + U_{GS9}$ であることにより、M6によって提供できず、この場合、M8のドレイン-ソース間飽和電圧未満となり、M8は、障害なしに電流源として機能することができない。ドレイン-ソース間飽和電圧は、適切に寸法決めされている場合には、約200mVとすることができる。

10

【0060】

20

このように、ここで提案した基準電圧源回路は、印加された動作電圧に応じて基準電圧の目標値に低レベルで到達した場合に、パワーオンリセット信号RSTを使用して、動作準備完了を信号伝達する。動作電圧が低すぎる場合、RST信号は確実にハイである。

【0061】

これは、NANDゲートおよびシュミットトリガを動作させるのに十分な動作電圧から適用される。すなわち、例えば、2つのしきい値電圧のうちどちらが大きいかに応じて、PMOSトランジスタまたはNMOSトランジスタのしきい値電圧を超える動作電圧から適用される。この下限からパワーオンリセット信号が有効になるが、当該下限は、実際には不利ではなく、特にデジタル回路またはASICのデジタル部分にとって全く十分なものである。しかしながら、パワーオンリセット信号RSTは、MOSトランジスタと抵抗とからなる下流側のインバータによって、0Vの動作電圧から既に有効である信号に容易に変換することができる。この信号が単一の論理ゲート(例えば、インバータ、ORゲート、またはANDゲート)を通過するとすぐに、信号が有効となる動作電圧については再びPMOSトランジスタまたはPMOSトランジスタのしきい値電圧の下限が、2つのしきい値電圧のどちらが大きいかに応じて、有効になる。

30

【0062】

この電圧基準の温度応答は、IPTAT回路抵抗器R1または第3の抵抗器R4を介して調整することができる。パワーオンリセット閾値の別個の調整は不要である。ここで提案される基準電圧源回路は、基準電圧目標値に到達したことを常に確実に信号伝達される。

【0063】

40

抵抗器R4は、分圧器を形成する2つの抵抗器R4AおよびR4Bの直列接続に分割することができる。M7およびM9のゲートは、この分圧器の出力部(すなわち、R4AとR4Bとの間)に接続することができる。このようにして、この分圧器を適切な寸法決めした場合、基準電圧は、より低い動作電圧で既に目標値に達することができる。

【0064】

MOSトランジスタM1、M2、M6およびM8、および/またはバイポーラトランジスタQ1およびQ2にもカスコードトランジスタを使用することができる。これにより、動作電圧抑制率を有利に増大させることができる。

【0065】

Q1/Q2のサイズ比は、 n/m に等しくなるように選択することができる。ここで、 n

50

および m は、 $m > 1$ および $n > 1$ の自然数である。バイポーラトランジスタ Q_3 、 Q_5 および Q_6 にはサイズファクタ 1 が与えられる。 Q_4 にはサイズファクタ m が与えられる。このようにして、バイポーラトランジスタ Q_3 、 Q_5 、 Q_6 のコレクタ電流は、バイポーラトランジスタ Q_1 、 Q_2 、 Q_4 のコレクタ電流に比べて低減され、回路の総消費電力を低減することができる。

【0066】

この基準電圧源回路の消費電流は、 1 桁の μA の範囲内であることができるので、数 $10 \sim 100k$ の範囲の直列抵抗のRCフィルタを動作電圧の入力フィルタとして使用することができる。

【0067】

タイミング要素は、動作電圧のより小さく、動作電圧が小さく短時間に急変した場合にも定義されているパワーオンリセットフェーズを実施するために、RST信号の立ち下がりエッジを遅延させることができる。

【0068】

本発明は、特定用途向けおよび他の集積回路の起動および終了における非常に繰り返し生じる一般的な問題を解決するために役立つ。

【0069】

本発明の例示的な実施形態では、基準電圧源回路は、提供される動作電圧がいつ十分な高さとなり基準電圧目標値に達したかを自身の固有のパワーオンリセット信号を介して確実に知らせる。この例示的な実施形態では、このために第2の内部または外部基準電圧も、別個のパワーオンリセット回路も不要である。

10

20

30

40

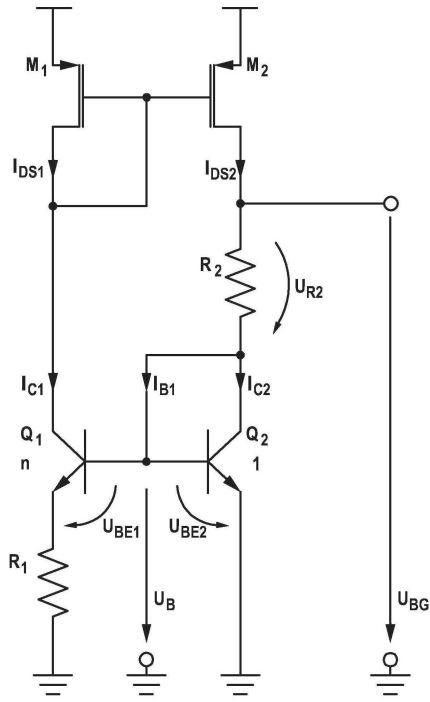
50

【 図面 】

【 図 1 】

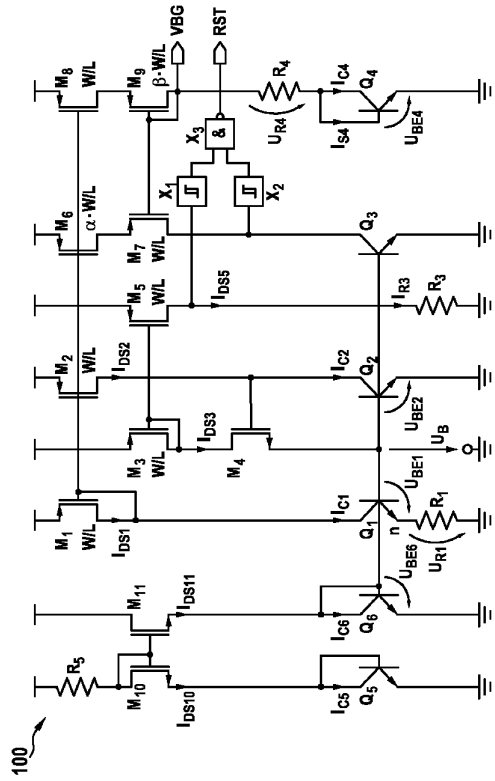
Fig. 1

従来技術



【 図 2 】

Fig. 2



10

20

30

40

50

フロントページの続き

(74)代理人 100201743

弁理士 井上 和真

(72)発明者 ヘルマン, カルステン

ドイツ国 7 2 7 6 2 ロイトリンゲン, カントシュトラーク 3 1

審査官 石坂 知樹

(56)参考文献 特開 2 0 1 1 - 1 9 8 0 9 3 (J P , A)

特開 2 0 0 2 - 3 6 6 2 3 8 (J P , A)

特開 2 0 1 6 - 1 1 4 4 9 6 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

G 0 5 F 3 / 3 0

G 0 5 F 3 / 0 2