(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년02월27일
(11) 등록번호 10-2082499
(24) 등록일자 2020년02월21일

(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) *H01L 21/66* (2006.01)
H01L 33/20 (2010.01) *H01L 33/32* (2010.01)
H01L 33/36 (2010.01) *H01L 33/50* (2010.01)
(52) CPC특허분류
H01L 33/0075 (2013.01)
H01L 22/20 (2013.01)
(21) 출원번호 10-2019-7008997(분할)
(22) 출원일자(국제) 2012년08월21일
심사청구일자 2019년04월26일
(85) 번역문제출일자 2019년03월28일
(65) 공개번호 10-2019-0038671
(43) 공개일자 2019년04월08일
(62) 원출원 특허 10-2014-7007513
원출원일자(국제) 2012년08월21일
심사청구일자 2017년08월21일
(86) 국제출원번호 PCT/IB2012/054225
(87) 국제공개번호 WO 2013/030718
국제공개일자 2013년03월07일
(30) 우선권주장
61/527,634 2011년08월26일 미국(US)
(56) 선행기술조사문헌
WO2010125482 A1*
(뒷면에 계속)
전체 청구항 수 : 총 8 항

(73) 특허권자
루미리즈 홀딩 비.브이.
네덜란드 씨엘 스키폴 1118 에버트 반 드 벡스트라트 1 타워 비5 유닛 107 더 베이스
(72) 발명자
바트, 제롬, 찬드라
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크 캠퍼스 빌딩 44 내
슈타이거발트, 다니엘, 알렉산더
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크 캠퍼스 빌딩 44 내
(뒷면에 계속)
(74) 대리인
양영준, 백만기

심사관 : 이용배

(54) 발명의 명칭 **반도체 구조를 프로세싱하는 방법**

(57) 요 약

본 발명의 실시예들에 따른 방법은 성장 기판 상에 성장된 반도체 구조를 포함하는 웨이퍼를 제공하는 단계를 포함하고, 상기 반도체 구조는 n-타입 영역과 p-타입 영역 사이에 삽입된 III-질화물 발광 층을 포함한다. 상기 웨이퍼를 제2 기판에 본딩한다. 상기 성장 기판을 제거한다. 상기 웨이퍼를 상기 제2 기판에 본딩한 후에, 상기 웨이퍼를 복수의 발광 디바이스들로 프로세싱한다.

(52) CPC특허분류
H01L 33/0008 (2013.01)
H01L 33/0095 (2013.01)
H01L 33/20 (2013.01)
H01L 33/32 (2013.01)
H01L 33/36 (2013.01)
H01L 33/46 (2013.01)
H01L 33/502 (2013.01)

(72) 발명자
캠래스, 마이클, 데이비드
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크 캠퍼스 빌딩 44 내
최, 한, 호
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크 캠퍼스 빌딩 44 내
가드너, 나단, 프레드릭
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크 캠퍼스 빌딩 44 내
세킨, 올레그, 보리소비치
네덜란드 엔엘-5656 아에 아인트호벤 하이 테크 캠퍼스 빌딩 44 내

(56) 선행기술조사문헌
KR1020070028379 A*
JP2006041479 A*
JP2011517090 A*
JP2006303373 A*
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

발광 기판(luminescent substrate)에 본딩되고 n-타입 영역과 p-타입 영역 사이에 삽입된 III-질화물 발광 층을 포함하는 웨이퍼를 제공하는 단계;

상기 웨이퍼 상에(on) 금속 콘택트(metal contact)들을 형성하는 단계;

상기 웨이퍼 상에, 그리고 상기 금속 콘택트들 상에 보호 리프트 오프 층을 퇴적하는 단계;

상기 보호 리프트 오프 층을 퇴적한 후에, 상기 웨이퍼를 복수의 발광 디바이스로 다이싱(dicing)하는 단계;

상기 복수의 발광 디바이스의 꼭대기 및 측면들 위에 반사 코팅을 형성하는 단계; 및

상기 발광 디바이스들의 꼭대기 위에 형성된 상기 반사 코팅의 일부분과 함께 상기 보호 리프트 오프 층을 제거하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 발광 기판은 파장 변환 세라믹인 방법.

청구항 3

제1항에 있어서, 상기 발광 기판은 유리 내에 배치된 파장 변환 물질을 포함하는 방법.

청구항 4

제1항에 있어서, 상기 웨이퍼는 광학적 임피던스 매칭 층(optical impedance matching layer)을 더 포함하는 방법.

청구항 5

제1항에 있어서, 상기 웨이퍼에 본딩된 표면의 반대편에 있는 상기 발광 기판의 표면을 텍스처링(texturing)하는 단계를 더 포함하는 방법.

청구항 6

제1항에 있어서, 상기 발광 기판은 소정량의 파장 변환 물질을 포함하고, 상기 방법은:

상기 웨이퍼를 상기 발광 기판에 본딩한 후에 상기 웨이퍼를 복수의 발광 디바이스로 프로세싱하는 단계;

상기 웨이퍼를 복수의 발광 디바이스로 프로세싱한 후에 상기 웨이퍼를 테스트하는 단계; 및

상기 테스트의 결과들에 따라 각각의 발광 디바이스에 대응하는 파장 변환 물질의 양을 조정하는 단계

를 더 포함하는 방법.

청구항 7

제6항에 있어서, 상기 조정하는 단계는 레이저 삭마(laser ablation)에 의해 파장 변환 물질을 제거하는 단계를 포함하는 방법.

청구항 8

제6항에 있어서, 상기 조정하는 단계는 파장 변환 물질을 추가하는 단계를 포함하는 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 구조를 포함하는 웨이퍼를 기판에 본딩하고 나서, 웨이퍼를 복수의 발광 디바이스들로 프로세싱하는 것에 관한 것이다.

배 경 기 술

[0002] LED(light emitting diodes), RCLED(resonant cavity light emitting diodes), VCSEL(vertical cavity laser diodes), 및 에지 방출 레이저(edge emitting laser)를 포함하는 반도체 발광 디바이스들은 현재 이용 가능한 가장 효율적인 광원들 중 하나이다. 가시 스펙트럼에 대해 동작이 가능한 고휘도 발광 디바이스들의 제조에서 현재 관심 있는 물질 시스템들은 III-V족 반도체, 특히 III-질화물 물질들이라고도 하는, 갈륨, 알루미늄, 인듐, 및 질소의 2원, 3원, 및 4원 합금을 포함한다. 통상적으로, III-질화물 발광 디바이스들은 MOCVD(metal-organic chemical vapor deposition), MBE(molecular beam epitaxy), 또는 다른 에피택셜 기술들에 의해 사파이어, 탄화 규소, III-질화물, 또는 다른 적절한 기판 상의 상이한 조성 및 도펀트 농도의 반도체 층들의 스택을 에피택셜 성장시킴으로써 제조된다. 스택은 종종 기판 위에 형성된, 예를 들어, Si로 도핑된 하나 이상의 n-타입 층들, n-타입 층 또는 층들 위에 형성된 활성 영역 내의 하나 이상의 발광 층들, 및 활성 영역 위에 형성된, 예를 들어, Mg로 도핑된 하나 이상의 p-타입 층들을 포함한다. 전자적 콘택트들이 n 및 p 타입 영역들 상에 형성된다.

[0003] 청색 또는 자외선 광을 방출하는 효율적인 LED들의 개발에 의해, LED에 의해 방출되는 일차적인 광의 일부분의 인광체 변환(phosphor conversion)을 통해 백색 광을 발생하는 LED들을 생산하는 것이 실현 가능해졌다. 인광체는 일차적인 광의 일부분을 이차적인 광으로 더 긴 파장들에서 변환한다. 변환되지 않은 일차적인 광은 이차적인 광과 결합하여 백색광을 생성할 수 있다.

[0004] 도 13은 US 7,553,683에 더욱 상세히 설명되는 인광체-변환 발광 디바이스를 형성하는 방법(100)을 예시한다. 먼저, 파장 변환 물질의 시트가 생성된다(단계 102). 파장 변환 물질의 시트는 예를 들어, 유리와 같은 무기 물질에 분산되는 인광체 또는 다른 유사한 발광 물질(luminescent material)을 이용하여 생성될 수 있다. 인광체와 분말 유리의 잘 균질화한 혼합물이 도가니에서 가열된다. 유리 혼합물이 용해된 후에, 용해물(melt)은 용광로에서 균질화되고 나서, 플레이트 위에 부어서 평평한 시트로 경화되게 된다. 일단 파장 변환 물질의 시트가 경화되면, 시트는 다수의 개별 요소들로 분리된다(단계 104). 개별 파장 변환 요소들은 LED 다이 위에 실장될 수 있는 크기로 만들어진다. 그 다음에 반도체 발광 디바이스 다이가 제공된다(단계 106). LED 다이는 예를 들어, 반사기 컵(reflector cup) 또는 서브마운트(submount)에 실장되는 실장 다이(mounted die)일 수

있다. 대안적으로, LED 다이는 실장되지 않을 수 있다. 그 다음에 파장 변환 요소가 LED 다이에 본딩된다(단계 108).

발명의 내용

[0005] 본 발명의 목적은 반도체 구조를 제2 기판에 본딩한 후에 반도체 구조를 발광 디바이스들로 프로세싱하는 방법을 제공하는 것이다. 본딩한 후에 프로세싱하는 것은 본딩 중에 더 높은 온도의 사용을 허용할 수 있다.

[0006] 본 발명의 실시예들에 따른 방법은 성장 기판 상에 성장된 반도체 구조를 포함하는 웨이퍼를 제공하는 단계를 포함하고, 상기 반도체 구조는 n-타입 영역과 p-타입 영역 사이에 삽입된 발광 층을 포함한다. 상기 웨이퍼를 제2 기판에 본딩한다. 상기 성장 기판을 제거한다. 상기 웨이퍼를 상기 제2 기판에 본딩한 후에, 상기 웨이퍼를 복수의 발광 디바이스들로 프로세싱한다.

[0007] 웨이퍼는 제2 기판에 본딩하기 전보다는 본딩한 후에 발광 디바이스들로 프로세싱되기 때문에, 더 높은 본딩 온도 및 더 높은 프로세싱 온도를 요구하는 기판 물질들이 이용될 수 있고, 이것은 발광 디바이스들의 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 성장 기판 상에 성장된, n-타입 영역, 발광 영역, 및 p-타입 영역을 포함하는 반도체 구조를 예시한다.

도 2는 핸들에 본딩된 도 1의 구조를 예시한다.

도 3은 성장 기판을 제거하고 제2 기판에 본딩한 후에 도 2의 구조를 예시한다.

도 4는 핸들을 제거한 후에 도 3의 구조를 예시한다.

도 5는 제2 기판에 본딩하고 성장 기판을 제거한 후에 도 1의 구조를 예시한다.

도 6은 금속 p-콘택트를 형성하고, 메사를 식각하고, 금속 n-콘택트를 형성한 후에 도 4에 예시된 구조의 일부분을 도시한다.

도 7은 금속 n-콘택트를 형성하고, 메사를 식각하고, 금속 p-콘택트를 형성한 후에 도 5에 예시된 구조의 일부분을 도시한다.

도 8은 기판 내의 파장 변환 물질의 양을 조정한 후에 디바이스들의 웨이퍼의 일부분을 도시한다.

도 9는 기판을 텍스처링(texturing)한 후에 디바이스들의 웨이퍼의 일부분을 도시한다.

도 10은 디바이스들의 웨이퍼를 단수화(singulating)한 후에 3개의 디바이스들을 도시한다.

도 11은 유전체 코팅을 형성한 후에 3개의 디바이스들을 도시한다.

도 12는 초과한 유전체 코팅을 제거한 후에 3개의 디바이스들을 도시한다.

도 13은 인광체-변환 LED를 형성하기 위한 종래 기술의 방법을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 13의 방법에서는, 반도체 물질의 웨이퍼가 성장되어 디바이스들로 프로세싱되고 개별 디바이스 칩들로 단수화된 후에, 파장 변환 유리 부재가 LED 다이에 본딩된다. 프로세싱 및 단수화가 완료된 후에, LED 칩들은 통상적으로 오직 최대 ~400℃의 온도에서 프로세싱될 수 있다. 더 높은 온도에서 LED들을 프로세싱하는 것은 프로세싱 중에 퇴적된 층들의 잠재적인 박리 또는 균열과 LED 성능 특성의 저하를 야기할 수 있다. 많은 적절한 유리 층들은 400℃를 크게 초과하는 본딩 온도들을 요구한다. 결과로서, 도 13의 공정 온도 제약(~400℃)은 이용될 수 있는 물질들의 선택을 제한한다. 또한, 더 낮은 본딩 온도를 갖는 적절한 유리들은 특히 더 짧은 광학적 파장들에서 더 높은 본딩 온도들을 갖는 적절한 유리들보다 더 광학적으로 흡수되는 경향이 있다. 더 낮은 온도의 본딩 유리들을 포함하는 디바이스들은 이로써 성능 손실을 초래할 수 있다.

[0010] 본 발명의 실시예들에서, n-타입 영역과 p-타입 영역 사이에 배치된 발광 영역을 포함하는 반도체 구조가 예를 들어 금속 콘택트들을 형성함으로써, 반도체 구조의 성장 후에 반도체 구조가 더 프로세싱되기 전에, 웨이퍼 스케일 공정에서 높은 지수의 기판에 본딩된다. 반도체 구조는 그 다음에 발광 다이오드들과 같은 발광 디바이스들로 프로세싱된다. 본 명세서에 이용되는 바와 같이, "웨이퍼"는 많은 발광 디바이스들에 대해 반도체 물질을

성장시킨 성장 기판과 같은, 더 작은 구조들로 분할되기 전의 구조를 가리킨다. 아래 예들에서는 반도체 발광 디바이스들이 청색 또는 UV 광을 방출하는 III-질화물 LED들이지만, 레이저 다이오드들과 같은 LED들 이외의 반도체 발광 디바이스들 및 다른 III-V 물질들, III-인화물, III-비화물, II-VI 물질들, ZnO, 또는 Si-기반 물질들과 같은 다른 물질 시스템들로 만들어진 반도체 발광 디바이스들이 이용될 수 있다.

[0011] 도 1은 성장 기판(11) 상에 성장된 반도체 구조(13)를 예시한다. 기판(11)은 예를 들어, 사파이어, SiC, Si, GaN, 또는 합성 기판들과 같은 임의의 적절한 기판일 수 있다. 반도체 구조는 n 및 p 타입 영역들(12 및 16) 사이에 삽입된 발광 또는 활성 영역(14)을 포함한다. n-타입 영역(12)이 먼저 성장될 수 있고, 예를 들어, 버퍼층들 또는 핵생성 층들과 같은 준비 층들, 및/또는 n-타입이거나 의도적으로 도핑되지 않을 수 있는 성장 기판의 제거를 용이하게 하도록 설계된 층들, 및 발광 영역이 광을 효율적으로 방출하기 위해 바람직한 특정 광학적 또는 전기적 특성에 대해 설계된 n 또는 심지어 p 타입 디바이스 층들을 포함한, 상이한 조성들 및 도펀트 농도의 복수의 층들을 포함할 수 있다. 발광 또는 활성 영역(14)이 n-타입 영역(12) 위에 성장된다. 적절한 발광 영역들의 예들은 단일의 두꺼운 또는 얇은 발광 층, 또는 배리어 층들에 의해 분리된 복수의 얇은 또는 두꺼운 발광 층들을 포함하는 복수의 양자 우물 발광 영역을 포함한다. p-타입 영역(16)은 그 다음에 발광 영역(14) 위에 성장될 수 있다. n-타입 영역(12)과 마찬가지로, p-타입 영역(16)은 의도적으로 도핑되지 않은 층들, 또는 n-타입 층들을 포함한, 상이한 조성, 두께, 및 도펀트 농도의 복수의 층들을 포함할 수 있다. 디바이스 내의 모든 반도체 물질의 총 두께는 일부 실시예들에서 10㎛보다 작고, 일부 실시예들에서 6㎛보다 작다. 일부 실시예들에서, 반도체 물질은 선택적으로 성장 후에 200℃ 내지 800℃에서 어닐링될 수 있다.

[0012] 일부 실시예들에서, 도 1에 성장된 구조는 도 2에 예시된 바와 같이 핸들(20)에 부착된다. 핸들(20)은 성장 기판(11)의 제거 중에 반도체 구조(13)를 기계적으로 지지한다. 핸들(20)은 예를 들어, 사파이어, 실리콘, 또는 임의의 다른 적절한 물질일 수 있다. 일부 실시예들에서, 핸들(20)은 예를 들어, 가열 및 압력하에서 핸들(20)과 반도체 구조(13)를 함께 가압함으로써 또는 가열 및 정전기장 하에서 핸들(20)과 반도체 구조(13)를 함께 가압하는 양극 본딩(anodic bonding)에 의해, 반도체 구조(13)에 직접 본딩된다. 일부 실시예들에서, 핸들(20)은 하나 이상의 본딩 층들(18)에 의해 반도체 구조(13)에 본딩된다. 본딩 층은 핸들(20) 상에만, 반도체 구조(13) 상에만, 또는 핸들(20)과 반도체 구조(13) 양자 상에 형성될 수 있다. 본딩 층들은 예를 들어, 하나 이상의 실리콘 산화물들과 같은 임의의 적절한 물질일 수 있다. 본딩 층들을 형성한 후에, 핸들(20)과 반도체 구조(13)는 가열 및 압력 하에서, 또는 가열 및 정전기장 하에서 함께 가압된다. 핸들(20)을 부착한 후에, 예를 들어, 레이저 리프트 오프(laser lift off), 식각, 또는 기계적 기술들을 포함한, 성장 기판 물질에 적절한 임의의 기술에 의해 성장 기판(11)이 제거된다.

[0013] 도 3에 예시된 구조에서, 성장 기판은 도 2의 구조에서 제거됨으로써, 먼저 성장된 층들, 이 예에서는 n-타입 영역(12)을 노출시킨다. 옵션의 광학적 임피던스 매칭 층(22)이 n-타입 영역(12) 상에 형성될 수 있다. 광학적 임피던스 매칭 층(22)은 반도체 구조의 표면의 러프닝(roughening)을 요구하지 않고 반도체 구조로부터의 추출을 개선한다. 광학적 임피던스 매칭 층(22)은 예를 들어, 증발(evaporation) 및 스퍼터링을 포함한 임의의 적절한 기술에 의해 형성된 반사 방지 스택(anti-reflective stack)일 수 있다. 일부 실시예들에서, n-타입 영역(12)은 러프닝된다. n-타입 영역(12)이 러프닝되는 실시예들에서는, 보이드가 충분히 없는 본드가 형성될 수 있도록 러프닝된 표면 내의 갭들을 채우도록 흐르는 유연 본딩(compliant bonding) 층(23)이 이용된다.

[0014] 하나 이상의 본딩 층들(23)이 존재하는 경우 옵션의 광학적 임피던스 매칭 층(22) 상에 또는 n-타입 영역(12) 상에 형성된다. 본딩 층들(23)은 종종 높은 굴절률(예를 들어, 일부 실시예들에서 적어도 1.5), 낮은 광학적 흡수 층들이다. 본딩 층들(23)은 광학적 임피던스 매칭 층(22)(또는 층(22)이 존재하지 않는 경우에는 반도체 구조(13)) 상에, 기판(24) 상에, 또는 둘 다 상에 형성될 수 있다. 본딩 층들(23)을 위한 적절한 물질들의 예들은 갈륨 비소, 갈륨 질화물, 갈륨 인화물, 및 인듐 갈륨 인화물을 포함하지만 이것으로 한정되지 않는 III-V 반도체들; 카드뮴 셀렌화물(cadmium selenide), 카드뮴 황화물(cadmium sulfide), 카드뮴 텔루르화물(cadmium telluride), 아연 황화물(zinc sulfide), 아연 셀렌화물(zinc selenide), 및 아연 텔루르화물(zinc telluride)을 포함하지만 이것으로 한정되지 않는 II-VI 반도체들; 게르마늄, 실리콘, 및 실리콘 탄화물을 포함하지만 이것으로 한정되지 않는 IV족 반도체들 및 화합물들; 알루미늄, 안티몬, 비소, 비스무스, 붕소, 카드뮴, 세륨, 크롬, 코발트, 구리, 갈륨, 게르마늄, 인듐, 인듐 주석, 납, 리튬, 몰리브덴, 네오디뮴, 니켈, 니오븀, 인, 칼륨, 실리콘, 나트륨, 텔루륨, 탈륨, 티타늄, 텅스텐, 아연, 또는 지르코늄의 산화물 또는 질화물을 포함하지만 이것으로 한정되지 않는 유기 반도체들, 산화물들, 금속 산화물들, 및 희토류 산화물들; 비스무스 산염화물(bismuth oxychloride)과 같은 옥시할라이드(oxyhalide); 칼슘, 납, 마그네슘, 칼륨, 나트륨, 및 아연의 플루오르화물, 염화물, 및 브롬화물을 포함하지만 이것으로 한정되지 않는 플루오르화물, 염화물, 및 브롬화물; 인

듐, 마그네슘, 주석, 및 아연을 포함하지만 이것으로 한정되지 않는 금속들; YAG(yttrium aluminum garnet), 인화물 화합물(phosphide compound), 비화물 화합물, 안티몬화물 화합물, 질화물 화합물, 높은 지수의 유기 화합물; 및 그의 혼합물들 또는 합금들을 포함한다. 본딩 층 또는 층들(23)은 증발, 스퍼터링, 화학 기상 증착(chemical vapor deposition), 디스펜싱, 프린팅, 스프레이 코팅, 스핀 코팅, 또는 블레이드 코팅을 포함한 임의의 적절한 방법에 의해 도포될 수 있다. 높은 지수의 본드 물질이 유체 형태로 퇴적될 수 있고, 접속 순간까지 유체 상태를 유지할 수 있거나, 또는 접속 순간에 부분적으로 응고되거나 겔 상태로 될 수 있거나, 또는 용이한 접속을 가능하게 하기 위해 가열시에 끈적끈적해지는 고체일 수 있다. 높은 지수의 본드 물질은 겔 상태로부터 단단한 수지까지 다양할 수 있는 응고된 본드를 형성하도록 반응할 수 있다.

[0015] 반도체 구조는 본딩 층들(23)을 통해 기판(24)에 본딩된다. 기판(24)은 기판 웨이퍼 내에 사전 형성되고 나서 반도체 구조(13)에 본딩되는 유리와 같이 투명한 고굴절률의 물질일 수 있다. 위의 유리들의 굴절률은 1.5 내지 2.2의 범위 내에 있을 수 있거나 일부 실시예들에서는 GaN의 굴절률(2.4)에 근접하게 매칭되게 더 높을 수 있다. 기판(24)을 위한 적절한 물질들은 납 염화물, 납 브롬화물, 칼륨 플루오르화물, 아연 플루오르화물, 알루미늄, 안티몬, 비스무스, 붕소, 납, 리튬, 인, 칼륨, 실리콘, 나트륨, 텔루륨, 탈륨, 텅스텐, 또는 아연의 산화물, 또는 그의 임의의 혼합물들과 같은, 전기적 절연 물질들, 비-반도체 물질들, 프릿 유리(frit glass), 적절한 높은 굴절률의 유리들을 포함하고, 이것으로 한정되지 않는다. 높은 굴절률의 유리들은 또한 예를 들어, Schott 유리 LaSFN35, LaF10, NZK7, NLAF21, LaSFN18, SF59, 또는 LaSF3, 또는 Ohara 유리 SLAH51 또는 SLAM60, 또는 그의 혼합물들, (Ge, As, Sb, Ga)(S, Se, Te, F, Cl, I, Br) 칼코겐화물 및 칼코겐-할로겐화물 유리들과 같은 유리들과 같은 물질들을 포함한다. 일부 실시예들에서, 기판(24)은 유리, 마그네슘 플루오르화물 및 폴리머들과 같은 더 낮은 지수의 물질들을 포함하거나 그러한 물질들로 형성될 수 있다. 실리콘 또는 실록산과 같은 높은 및 낮은 지수의 수지들 양자는 일본 도쿄의 Shin-Etsu Chemical Co., Ltd.와 같은 제조사들로부터 이용 가능하다. 실록산 백본의 측쇄들(side chains)은 실리콘의 굴절률을 변경하도록 수정될 수 있다.

[0016] 에폭시들과 같은 종래의 유기 기반의 접착제들이 실질적으로 없는 유리들은 더 높은 굴절률을 갖는 경향이 있는데, 그것은 유기 접착제들이 낮은 굴절률을 갖는 경향이 있기 때문이다. 이들 유기 기반의 접착제들은 또한 단파장 광과 높은 온도의 조합하에서 저하하는 경향이 있으므로, LED의 최대 동작 온도를 ~150℃로 제한한다. 따라서, 일부 실시예들에서, 기판(24)은 LED의 더욱 효율적인 동작 및/또는 더 높은 온도에서의 동작을 허용할 수 있는, 유기 프리 물질(organic-free material)이다.

[0017] 일부 실시예들에서, 기판(24)은 발광 영역에 의해 방출된 파장들의 광을 다른 파장들로 변환하는 하나 이상의 발광 물질들이 포함되는 위의 물질들 중 임의의 것의 매트릭스이다. 발광 영역에 의해 방출되어 파장 변환 물질에 입사하는 광의 전부 또는 일부만이 파장 변환 물질에 의해 변환될 수 있다. 그것이 필요하지 않더라도, 발광 영역에 의해 방출된 변환되지 않은 광이 광의 최종 스펙트럼의 부분일 수 있다. 공통 조합들의 예들은 황색 방출 파장 변환 물질과 조합된 청색 방출 LED, 녹색 및 적색 방출 파장 변환 물질들과 조합된 청색 방출 LED, 청색 및 황색 방출 파장 변환 물질과 조합된 UV 방출 LED, 및 청색, 녹색, 및 적색 방출 파장 변환 물질과 조합된 UV 방출 LED를 포함한다. 광의 다른 색상들을 방출하는 파장 변환 물질들은 디바이스로부터 방출되는 광의 스펙트럼을 조정하기 위해 추가될 수 있다. 파장 변환 물질은 종래의 인광체 입자들, 유기 반도체들, II-VI 또는 III-V 반도체들, II-VI 또는 III-V 반도체 양자점 또는 나노결정, 염료, 폴리머, 또는 빛을 발하는 GaN과 같은 물질들일 수 있다. 기판(24)이 종래의 인광체 입자들을 포함하는 경우, 일부 실시예들에서 기판(24)은 통상적으로 약 5 마이크로미터 내지 약 50 마이크로미터의 크기를 갖는 입자들을 수용하기에 충분히 두껍다. 가넷 기반의 인광체들, 예를 들어, $Y_3Al_5O_{12}$:Ce(YAG), $Lu_3Al_5O_{12}$:Ce(LuAG), $Y_3Al_{5-x}Ga_xO_{12}$:Ce(YAlGaG), $(Ba_{1-x}Sr_x)SiO_3$:Eu(BOSE), 및 질화물 기반의 인광체들, 예를 들어, $(Ca,Sr)AlSiN_3$:Eu 및 $(Ca,Sr,Ba)_2Si_5N_8$:Eu을 포함한 임의의 적절한 인광체가 이용될 수 있다.

[0018] 일부 실시예들에서, 기판(24)은 파장 변환일 수 있는 세라믹이다. 세라믹 기판(24)은 예를 들어 위에 열거된 인광체들 중 임의의 것과 같은 인광체 입자들을 소결(sintering)하거나, Al_2O_3, ZrO_2, SiC, AlON, SiON, AlSiON, 바륨 티탄산염, 칼슘 티탄산염, 스트론튬 티탄산염, 납 지르콘산 티탄산염과 같은 티탄산염, 또는 비활성화 YAG와 같은 다른 물질들을 소결하는 것에 의해 형성될 수 있다. 세라믹 기판(24)은 투명하거나, 반투명하거나, 산란할 수 있다.

[0019] 일부 실시예들에서, 반도체 구조(13)는 높은 온도에서 2개의 구조를 함께 가압하여 기판(24)에 본딩된다. 예를 들어, 본딩 온도는 일부 실시예들에서 최대 800℃일 수 있거나, 일부 실시예들에서 400℃보다 높을 수 있거나, 일부 실시예들에서 500℃보다 높을 수 있거나, 일부 실시예들에서 500 내지 800℃일 수 있다. 일부 실시예들에

서, 90kN보다 작은 압력들이 또한 본딩 시에 인가될 수 있다. 일부 실시예들에서, 반도체 구조(13)와 기판(24) 사이에 전기적 전위차도 인가될 수 있다.

[0020] 도 4에 도시된 바와 같이, 기판(24)에 본딩한 후에, 예를 들어, 식각, 기계적 분리, 레이저 리프트 오프, 또는 임의의 다른 적절한 기술에 의해 핸들(20)이 제거된다. 핸들(20)을 제거한 후에 남아있는 임의의 본딩 물질(18)이 예를 들어 식각에 의해 제거된다. 도 4에 도시된 구조에서, 반도체 구조는 n-타입 영역(12)의 표면을 통해 기판(24)에 본딩된다. p-타입 영역(16)의 꼭대기 표면이 노출된다.

[0021] 도 2, 3, 및 4에 도시된 프로세스에 대한 대안으로서, 도 1의 구조는 도 5에 도시된 구조로 프로세싱될 수 있다. 도 5에 도시된 구조에서, 옵션의 광학적 임피던스 매칭 층(22)이 도 1에 예시된 반도체 구조의 p-타입 영역(16)의 꼭대기 표면 상에 형성된다. 도 3을 참조하여 전술한 바와 같이, 하나 이상의 본딩 층들(23)이 형성되고 나서, 반도체 구조가 기판(24)에 본딩된다. 그 다음에 성장 기판(11)이 전술한 바와 같이 제거된다. 도 5에 예시된 구조에서, 반도체 구조(13)는 p-타입 영역(16)을 통해 기판(24)에 본딩된다. n-타입 영역(12)의 꼭대기 표면이 노출된다.

[0022] 도 6은 n 및 p 타입 영역들에 전기적으로 접속되는 금속 콘택트들을 형성한 후에 도 4의 구조들을 예시한다. p-콘택트(33)가 먼저 형성된다. 도시된 p-콘택트(33)는 2개의 금속층(32 및 34)을 포함한다. 금속(32)이 예를 들어, 증발 또는 스퍼터링에 의해 퇴적되고 나서, 예를 들어, 식각 또는 리프트 오프를 포함한 표준 포토리소그래피 동작들에 의해 패터닝될 수 있다. 금속(32)은 예를 들어, 은과 같은 p-타입 III-질화물 물질과의 옴 콘택트(ohmic contact)를 만드는 반사성 금속일 수 있다. 금속(32)은 또한 전이 금속 및 은의 다층 스택일 수 있다. 전이 금속은 예를 들어, 니켈일 수 있다. 금속(32)은 일부 실시예들에서 100 Å 내지 2000 Å 두께, 일부 실시예들에서 500 Å 내지 1700 Å 두께, 및 일부 실시예들에서 1000 Å 내지 1600 Å 두께이다. 구조는 옵션으로 금속(32)의 퇴적 후에 어닐링될 수 있다.

[0023] 옵션의 제2 p-콘택트 금속(34)이 p-콘택트 금속(32) 위에 예를 들어, 증발 또는 스퍼터링에 의해 퇴적되고 나서, 예를 들어, 식각 또는 리프트 오프와 같은 표준 포토리소그래피 동작들에 의해 패터닝될 수 있다. 금속(34)은 예를 들어, 티타늄 및 텅스텐의 합금과 같은, 은과 최소한으로 반응하는 임의의 전기 전도성 물질일 수 있다. 이러한 합금은 부분적으로 또는 전체적으로 질화되거나 또는 전혀 질화되지 않을 수 있다. 금속(34)은 대안적으로 크롬, 백금 또는 실리콘일 수 있거나, 또는 주변 층들에 접착을 위해 및 금속(32)의 확산을 차단하기 위해 최적화된 위의 물질들 중 임의의 것의 다층 스택일 수 있다. 금속(34)은 일부 실시예들에서 1000 Å 내지 10000 Å 두께, 일부 실시예들에서 2000 Å 내지 8000 Å 두께, 및 일부 실시예들에서 2000 Å 내지 7000 Å 두께일 수 있다.

[0024] 구조는 그 다음에 표준 포토리소그래피 동작들에 의해 패터닝되고 예를 들어 화학 반응 플라즈마(chemically reactive plasma)를 이용하여 반도체 물질을 제거하는 RIE(reactive ion etching), 또는 유도 결합 플라즈마(ICP) 식각, RF-전력 자계에 의해 플라즈마가 발생되는 RIE 프로세스에 의해 식각된다. 일부 실시예들에서, 패턴은 p-콘택트 금속(34)을 패터닝하는 데 이용된 포토리소그래피 마스크에 의해 결정된다. 이들 실시예들에서, 식각은 단일 동작에서 p-콘택트 금속(34)의 식각에 후속하여 수행될 수 있다. 일부 영역들에서, p-타입 영역(16)의 전체 두께 및 발광 영역(14)의 전체 두께가 제거됨으로써, n-타입 영역(12)의 표면을 노출한다.

[0025] p-타입 영역 및 발광 영역을 식각하여 노출된 n-타입 영역(12)의 부분 상에 금속 n-콘택트(36)가 형성된다. n-콘택트(36)는 알루미늄, 또는 알루미늄, 티타늄-텅스텐 합금, 구리 및 금을 포함하는 금속들의 다층 스택을 포함한 임의의 적절한 금속일 수 있다. n-콘택트(36)가 다층 스택인 실시예들에서, 제1 금속(즉, n-타입 영역(12)에 인접한 금속)은 GaN에 대한 옴 콘택트를 형성하고 청색 및 백색 광을 반사하도록 선택될 수 있다. 그러한 제1 층은 예를 들어, 알루미늄일 수 있다. n-콘택트(36)는 예를 들어, 스퍼터링, 증발, 도금, 또는 이들 프로세스들의 조합을 포함한 임의의 적절한 프로세스에 의해 퇴적될 수 있다.

[0026] 예를 들어, PECVD(plasma-enhanced chemical vapor deposition), CVD(chemical vapor deposition), 또는 증발에 의해 구조 위에 유전체(38)가 퇴적될 수 있다. 유전체(38)는 n-콘택트(36)와 p-콘택트(33)를 전기적으로 격리한다. 유전체(38)는 표준 리소그래피 동작들에 의해 패터닝되고 ICP 식각 또는 RIE에 의해 식각되어 n-콘택트(36)와 p-콘택트(33)를 노출시킨다. 유전체(38)는 실리콘 질화물, 실리콘 산화물 및 실리콘 산질화물을 포함한 임의의 적절한 유전체일 수 있다. 일부 실시예들에서, 유전체(38)는 반사 스택이다. 유전체(38)는 n-콘택트(36)의 형성 전 또는 후에 형성될 수 있다.

[0027] 예를 들어, PC 기판과 같은 다른 구조에 본딩을 위해 적절한 대형 전도성 패드들 내로 n 및 p 콘택트들을 재분

배하기 위해, 본딩 패드들(40a 및 40b)이 n 및 p 콘택트들 및 유전체(38) 위에 형성될 수 있다. 본딩 패드들은 통상적으로 금속이지만 임의의 적절한 전도성 물질일 수 있다. 본딩 패드(40a)는 p-콘택트(33)를 통해 p-타입 영역(16)에 전기 접속된다. 본딩 패드(40b)는 n-콘택트(36)를 통해 n-타입 영역(12)에 전기 접속된다. 본딩 패드들(40)은 스퍼터링에 의해, 또는 스퍼터링과 도금의 조합에 의해 퇴적된, 예를 들어, Cu일 수 있거나, 예를 들어, Ti, TiW, Cu, Ni, 및 Au를 포함하는 다층 금속 스택일 수 있다. 본딩 패드들(40a 및 40b)은 도 6 및 7에 도시된 바와 같이 갭에 의해, 또는 유전체(38)에 대하여 전술한 물질들과 같은 고체 유전체에 의해 전기적으로 격리될 수 있다.

[0028] 도 7은 n 및 p 타입 영역들에 전기 접속된 금속 콘택트들을 형성한 후에 도 5의 구조를 도시한다. 도 7은 도 6의 역이고, n-콘택트(36)가 먼저 형성되고 나서, n-타입 영역(12) 및 발광 영역(14)의 일부분이 식각되어 p-타입 영역(16)을 노출하고, 그 다음에 p-타입 영역(16)의 노출된 부분 상에 p-콘택트(33)가 형성된다. n 및 p 콘택트들(36 및 33)은 유전체 층(38)에 의해 전기적으로 격리된다. 본딩 패드들(40a 및 40b)은 각각 p 및 n 콘택트들(33 및 36)에 전기 접속된다. n 및 p 콘택트 금속들(36 및 33), 유전체(38), 및 본딩 패드들(40)은 도 6을 참조하여 전술한 바와 동일한 방식으로 형성된 동일한 물질들일 수 있다.

[0029] 오직 하나의 디바이스가 도 6 및 7 각각에 도시되지만, 위에 도시되고 설명된 프로세싱 단계들은 통상적으로 복수의 디바이스를 포함하는 웨이퍼 상에서 발생한다는 것을 이해한다. 일부 실시예들에서, n-콘택트 및/또는 p-콘택트가 분배될 수 있고, 따라서 도 6의 복수의 n-콘택트 개구들 및 도 7의 복수의 p-콘택트 개구들이 식각된다. 도 8, 9, 10, 11 및 12에서, 도 6에 도시된 디바이스 또는 도 7에 도시된 디바이스일 수 있는 복수의 디바이스가 도시된다. 도 8, 9, 10, 11 및 12에서, 반도체 구조(13)는 도 6에 도시된 바와 같이 꼭대기에 p-타입 영역(16) 또는 도 7에 도시된 바와 같이 꼭대기에 n-타입 영역(12)을 가질 수 있다. 유사하게, 도 8, 9, 10, 11 및 12에서 구조(31)로서 도시된 금속 콘택트들(33 및 36) 및 유전체(38)는 도 6에 도시된 구성 또는 도 7에 도시된 구성으로 형성될 수 있다.

[0030] 웨이퍼 상의 개별 디바이스들이 완성된 후에, 전체 웨이퍼가 테스트될 수 있다. 기판(24)이 파장 변환하는 실시예들에서, 각각의 LED의 색상은 도 8에 도시된 옵션의 단계에서 조절될 수 있다. 도 8의 구조는 반도체 구조(13)를 포함한 웨이퍼의 일부분을 포함한다. 3개의 디바이스(42, 44, 및 46)가 도시된다. 테스트 결과들에 기초하여, 웨이퍼 상의 각각의 개별 LED 다이의 색상은 테스트 결과들에 기초하여 - 디바이스당 - 존재하는 파장 변환 물질의 양을 수정함으로써 더 조절될 수 있다. 디바이스가 전체 웨이퍼 테스트에서 원하는 파장 스펙트럼을 생성하지 않는 경우, 파장 변환 기판(24)의 두께는 예를 들어, 국부적으로 부가적인 파장 변환 물질(디바이스들(42 및 46))을 퇴적함으로써 또는 삭마, 식각 또는 분해에 의해 국부적으로 파장 변환 물질의 일부(디바이스(44))를 제거함으로써 변경된다. 요구되는 경우, 광의 원하는 파장 스펙트럼이 생성될 때까지 여러 번 파장 변환 물질 두께를 테스트 및 재-조정하는 것이 가능하다. 광 변환 층의 두께는 LED들에 의해 생성된 광이 고재생가능 색상(highly reproducible color)을 야기하는 것에 응답하여 제어된다. 또한, LED들에 의해 생성된 특정 파장들에 응답하여 변경된 광 변환 층의 두께 때문에, 웨이퍼에 걸쳐서 LED들에 의해 생성된 광의 파장들의 변동이 수용될 수 있다. 따라서, 바람직하지 않은 파장 스펙트럼을 갖는 광을 생성하는 LED들이 더 적게 불합격 처리될 수 있다.

[0031] 도 9에서, 본딩 층 또는 층들(23)과 접촉하는 표면의 반대편에 있는 기판(24)의 표면(48)은 러프닝(roughening) 또는 패터닝에 의해 옵션으로 텍스처링되고, 이것은 광 추출을 향상시킬 수 있다. 텍스처링은 예를 들어, 식각, 레이저 삭마를 포함한 임의의 적절한 기술에 의해, 또는 프레넬(Fresnel) 렌즈와 같은 렌즈 또는 격자(grating)와 같은 다른 구조를 기판(24)에 라미네이트(laminating)하는 것에 의해 수행될 수 있다.

[0032] 도 10에서, 보호 리프트 오프 폴리머 층(52)이 웨이퍼의 꼭대기에 퇴적되고 나서, 디바이스들의 웨이퍼가 디바이스 칩들로 단수화된다. 각각의 디바이스 칩은 단일 발광 다이오드 또는 발광 다이오드들의 그룹을 포함할 수 있다. 반도체 구조(13) 및 기판(24)이 함께 다이싱되기 때문에, 기판은 도 10, 11 및 12에 도시된 바와 같이 디바이스보다 더 넓지 않다. 단수화는 예를 들어, 종래의 톱질(sawing)에 의해, 193 nm, 248 nm, 또는 355 nm 광을 이용한 레이저 삭마에 의해, 또는 물 분사 절단(water jet cutting)에 의해 수행될 수 있다. 단수화는 또한 예를 들어, 종래의 톱질에 의해, 193 nm, 248 nm, 또는 355 nm 광을 이용한 레이저 삭마에 의해, 또는 물 분사 절단에 의해 수행되는 스크라이빙(scribing)과 기계적 브레이킹(mechanical breaking)의 조합을 통해 수행될 수 있다.

[0033] 도 11에서, 디바이스들의 꼭대기(56) 및 측면들(54) 위에 옵션의 반사 코팅이 형성된다. 예를 들어, 반사 코팅은 보호 리프트 오프 폴리머 층(52) 위에, 그리고 폴리머 층(52), 본딩 패드들(40a 및 40b), 구조(31), 반도체

구조(13), 본딩 층(23), 및 기판(24)의 측면들 상에 형성된다. 코팅은 예를 들어, 증발을 포함한 임의의 적절한 기술에 의해 형성된 고 반사성 유전체 스택일 수 있다. 측면 코팅(54)은 각각의 디바이스의 측면들로부터의 광의 누설을 감소 또는 제거한다. 디바이스들의 꼭대기(56) 상의 코팅은 도 12에서 보호 리프트 오프 폴리머 층(52)이 제거되어 본딩 패드들(40)을 노출할 때 제거된다. 디바이스는 이제 납땜에 의해 임의의 적절한 구조에, 예를 들어, PC 기판에 부착될 수 있다.

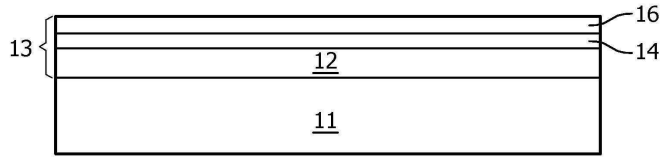
[0034] 위의 예들은 플립칩 디바이스들을 예시하지만, 콘택트들을 통해 디바이스로부터 광이 추출되는 투명 콘택트들을 갖는 디바이스들 및 상부 및 하부 콘택트들을 갖는 수직 디바이스들을 포함한, 다른 디바이스 기하학적 구조들을 이용하는 것이 가능하다. 수직 디바이스에서는, 예를 들어, 금속 충전 비아를 갖는 콘택트를 수용하기 위해 기판(24)의 일부분이 제거되거나 형성되지 않을 수 있다. 대안적으로, 수직 디바이스에서의 콘택트가 전기 전도성 기판(24) 상에 형성될 수 있다. 위에 도시된 예들에서, 광의 대부분은 반도체 구조로부터 기판(24)을 향해 간다. 투명 콘택트들을 갖는 디바이스 또는 수직 디바이스와 같은, 일부 실시예들에서, 광의 대부분은 반도체 구조로부터 기판(24)의 반대편에 있는 반도체 구조의 표면을 향해 갈 수 있다. 그러한 실시예들에서, 반사성 금속과 같은 반사성 본딩 층이 이용될 수 있고, 기판(24)은 투명하거나 불투명할 수 있다. 금속 본딩 층이 콘택트로서 이용될 수도 있다.

[0035] 본 발명의 실시예들은 종래의 프로세싱에 비해 이점들을 제공할 수 있다. 도 6 및 7에 도시된 프로세싱(즉, 금속 콘택트들 및 유전체 층들의 형성) 이전에, 반도체 구조(13)는 ~800℃까지의 온도에서 프로세싱될 수 있다. 반도체 구조(13)가 도 6 및 7에 도시된 프로세싱 전에 기판(24)에 본딩되기 때문에, 기판(24)은 높은 용해점, 높은 굴절률 물질로 만들어질 수 있다. 높은 용해점, 높은 굴절률 유리들이 종종 더 낮은 용해점의 높은 굴절률 유리들보다 더 낮은 광학적 흡수를 한다. 더 낮은 광학적 흡수를 하는 기판(24)의 이용은 디바이스의 성능을 향상시킬 수 있다. 또한, 고온의 연화점 유리들은 일반적으로 더 낮은 용해점 유리들의 열 팽창 계수들(CTEs)보다 III-질화물 반도체 구조(13)의 CTE에 대해 더 잘 매칭되는 더 낮은 CTE들을 갖는다. 따라서 결과적인 구조들은 반도체 구조(13)가 기판(24)에 본딩되는 고온에도 불구하고, 온도 사이클링 동안 스트레스 증가로 인해 구조가 균열 또는 박리되는 경향을 감소시킬 수 있는, 빌트인 스트레스(built-in stresses)가 감소하였다.

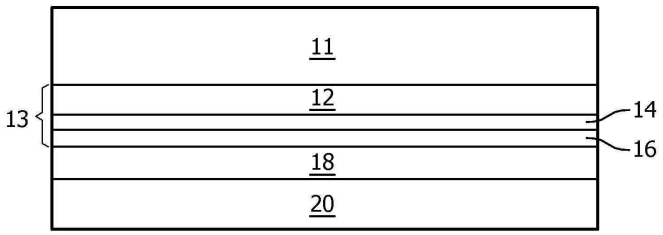
[0036] 본 발명을 상세히 설명하였고, 본 개시를 고려하여, 이 기술분야의 통상의 기술자들은 본 명세서에 설명된 본 발명의 개념의 사상에서 벗어나지 않고 본 발명에 대한 수정들이 만들어질 수 있다는 것을 알 것이다. 따라서, 본 발명의 범위가 도시되고 설명된 특정 실시예들로 한정되는 것이 의도되지 않는다.

도면

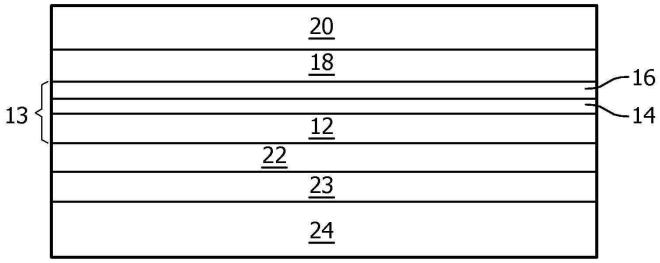
도면1



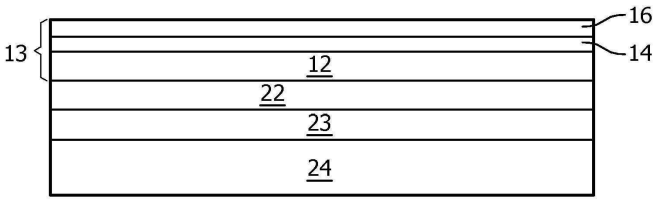
도면2



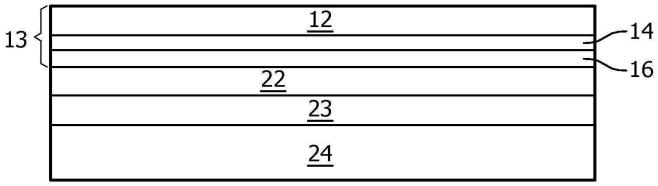
도면3



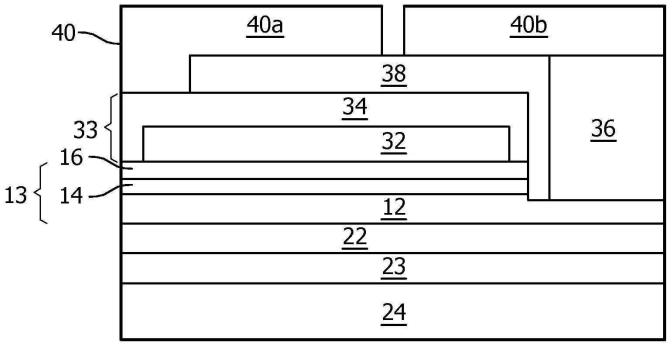
도면4



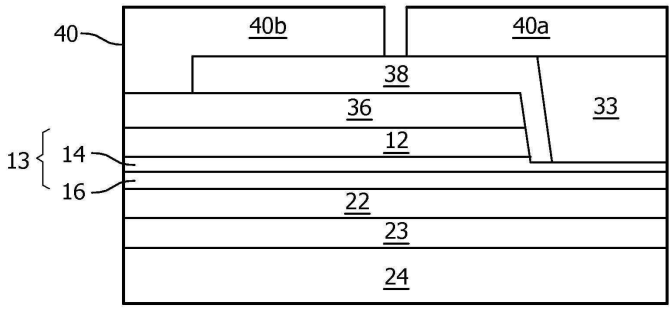
도면5



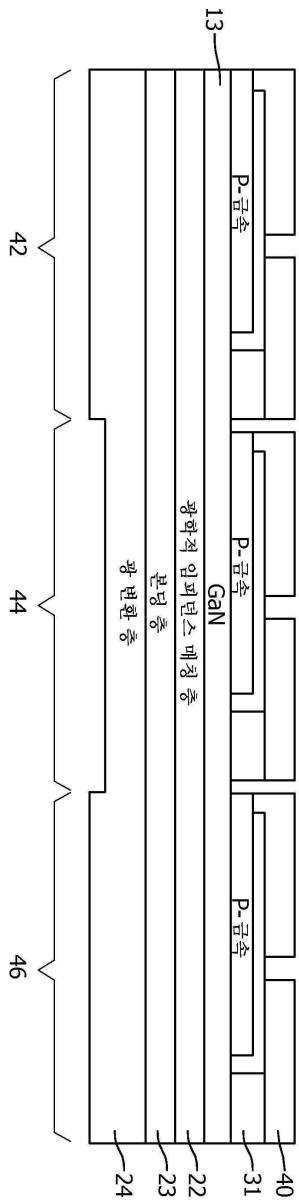
도면6



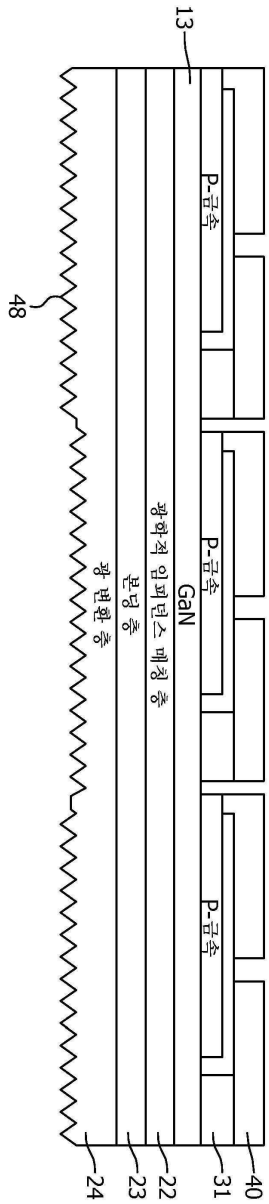
도면7


40
40b
40a
38
36
33
12
13
14
16
22
23
24

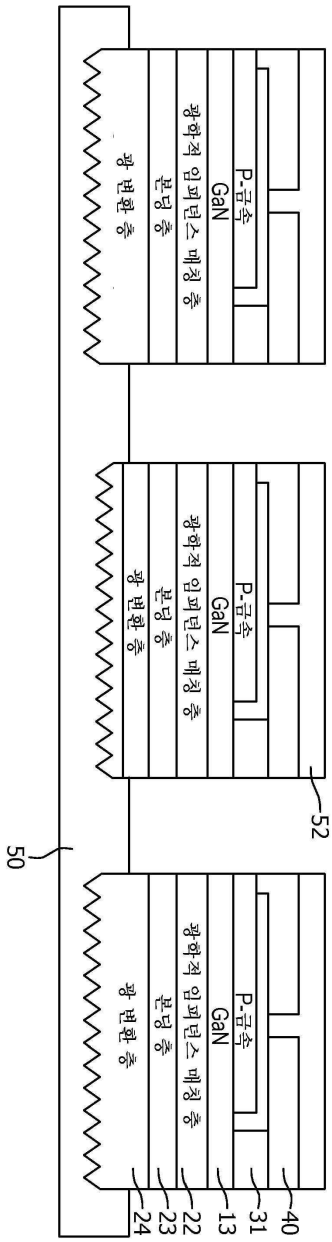
도면8


13
42
44
46
P-금속
P-금속
P-금속
GaN
광학적 임피던스 매칭 층
버퍼 층
광 변환 층
24
23
22
31
40

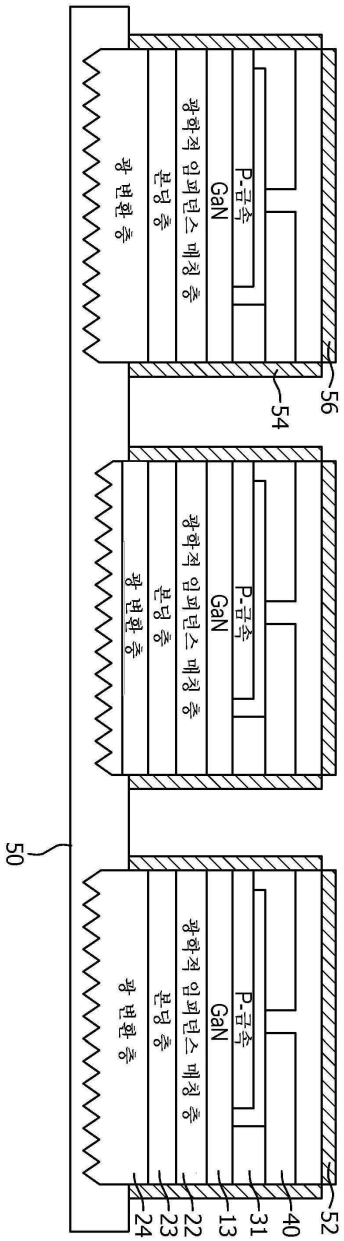
도면9



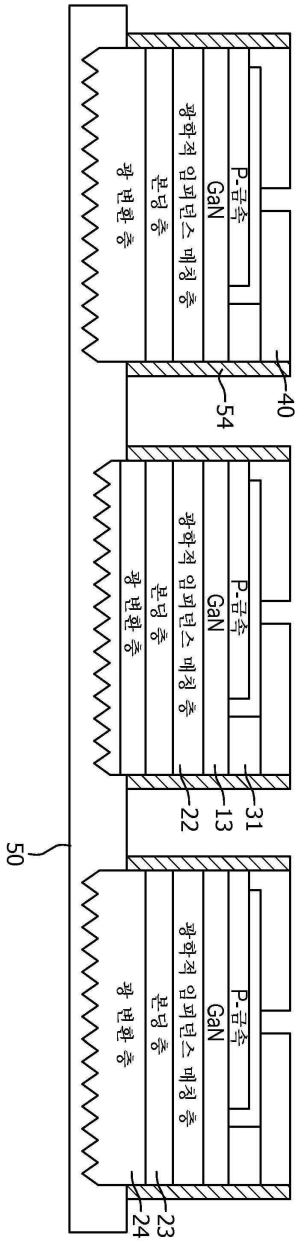
도면10


50
52
광 변환 층
광학적 임피던스 매칭 층
GaN
P-금속
본딩 층
광 변환 층
광학적 임피던스 매칭 층
GaN
P-금속
본딩 층
광 변환 층
광학적 임피던스 매칭 층
GaN
P-금속
24
23
22
13
31
40

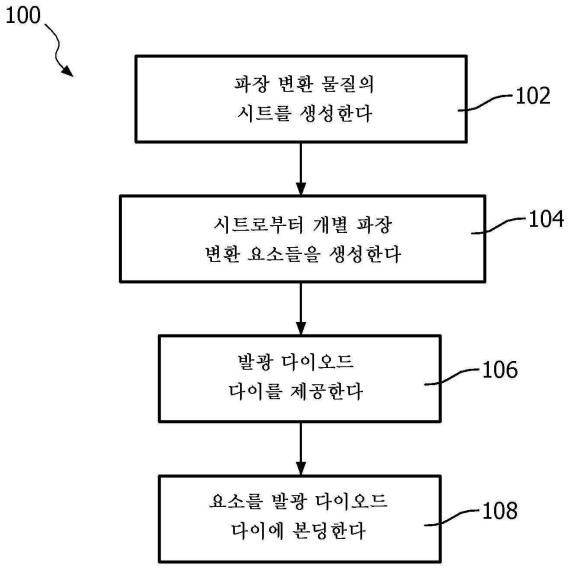
도면11



도면12



도면13


100
파장 변환 물질의
시트를 생성한다
102
시트로부터 개별 파장
변환 요소들을 생성한다
104
발광 다이오드
다이를 제공한다
106
요소를 발광 다이오드
다이에 본딩한다
108

(종래 기술)