

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7563851号
(P7563851)

(45)発行日 令和6年10月8日(2024.10.8)

(24)登録日 令和6年9月30日(2024.9.30)

(51)国際特許分類

F I

H 0 1 L 29/82 (2006.01)

H 0 1 L 29/82

Z

H 1 0 B 61/00 (2023.01)

H 1 0 B 61/00

H 1 0 N 50/20 (2023.01)

H 1 0 N 50/20

G 1 1 C 11/16 (2006.01)

G 1 1 C 11/16

1 0 0 A

H 0 1 F 10/16 (2006.01)

H 0 1 F 10/16

請求項の数 24 (全24頁) 最終頁に続く

(21)出願番号 特願2021-574817(P2021-574817)

(86)(22)出願日 令和2年6月5日(2020.6.5)

(65)公表番号 特表2022-537980(P2022-537980
A)

(43)公表日 令和4年8月31日(2022.8.31)

(86)国際出願番号 PCT/IB2020/055307

(87)国際公開番号 WO2020/254905

(87)国際公開日 令和2年12月24日(2020.12.24)

審査請求日 令和4年11月21日(2022.11.21)

(31)優先権主張番号 16/447,753

(32)優先日 令和1年6月20日(2019.6.20)

(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者 390009531

インターナショナル・ビジネス・マシー
ンズ・コーポレーションINTERNATIONAL BUSI
NESS MACHINES CORPO
RATIONアメリカ合衆国10504 ニューヨー
ク州 アーモンク ニュー オーチャード
ロードNew Orchard Road, A
rmonk, New York 105
04, United States of
America

(74)代理人 100112690

弁理士 太佐 種一

最終頁に続く

(54)【発明の名称】 スピン軌道トルク・デバイスにおけるスイッチング軌道の制御方法、デバイス

(57)【特許請求の範囲】

【請求項1】

3端子デバイスであり、

(a) 磁気トンネル接合(MTJ)であって、(i)第1の磁性層、(ii)前記第1の磁性層の下にあるトンネル障壁層、および(iii)前記トンネル障壁層の下にある第2の磁性層を含む、前記MTJと、

(b) スピン軌道トルク(SOT)生成層であって、前記第2の磁性層の真下にある、前記SOT生成層と、を含む、

前記第2の磁性層が、前記第2の磁性層に関連する残留状態の平均磁化が前記SOT生成層の電流方向と直交する面内成分を有するように、非対称な形状を有しており、かつ、内部磁場が反転プロセスを開始することができるように前記第2の磁性層の辺の一部に欠陥を形成した幾何学形状を有する、

3端子デバイス。

【請求項2】

(a)の前記MTJと別のMTJとの直列接続から形成された不揮発性インバータ回路の一部である、請求項1に記載のデバイス。

【請求項3】

不揮発性NANDゲートまたはNORゲートのいずれかの一部であり、前記NANDゲートまたはNORゲートが(a)の前記MTJと3つの他のMTJの直列接続および並列接続の組合せを使用して形成されている、請求項1に記載のデバイス。

10

20

【請求項 4】

前記 3 端子デバイスが、不揮発性キャッシュ・メモリ・デバイスの一部を形成する、請求項 1 に記載のデバイス。

【請求項 5】

前記 3 端子デバイスが、極低温メモリ・デバイスの一部を形成する、請求項 1 に記載のデバイス。

【請求項 6】

前記 S O T 生成層が、スピン・ホール効果を示す材料から作られている、請求項 1 ないし 5 のいずれかに記載のデバイス。

【請求項 7】

前記材料が、W、Pt、Ta、およびそれらの組合せからなる群から選択される、請求項 6 に記載のデバイス。

【請求項 8】

前記 S O T 生成層が、酸素ドーパ・タングステンで作られている、請求項 6 に記載のデバイス。

【請求項 9】

デバイスであり、

(a) 第 1 の磁気トンネル接合 (MTJ) であって、(i) 第 1 の磁性層、(ii) 前記第 1 の磁性層の下にある第 1 のトンネル障壁層、および (iii) 前記第 1 のトンネル障壁層の下にある第 2 の磁性層を含む、前記第 1 の MTJ と、

(b) 第 2 の磁気トンネル接合 (MTJ) であって、(i) 第 3 の磁性層、(ii) 前記第 1 の磁性層の下にある第 2 のトンネル障壁層、および (iii) 前記第 2 のトンネル障壁層の下にある第 4 の磁性層を含む、前記第 2 の MTJ と、

(c) 共通のスピン軌道トルク (SOT) 生成層であって、前記第 1 の MTJ の前記第 2 の磁性層および前記第 2 の MTJ の前記第 4 の磁性層の両方の真下にある、前記共通の SOT 生成層と、を含み、

前記共通の SOT 生成層において生成された SOT が、前記第 2 の磁性層に第 1 の磁性状態を設定し、前記第 4 の磁性層に第 2 の磁性状態を設定し、前記第 1 の磁性状態が前記第 2 の磁性状態とは反対であり、

前記第 2 の磁性層および前記第 4 の磁性層のそれぞれが、前記第 2 の磁性層または前記第 4 の磁性層に関連する残留状態の平均磁化が前記 SOT 生成層の電流方向と直交する面内成分を有するように、非対称な形状を有しており、かつ、内部磁場が反転プロセスを開始することができるように前記第 2 の磁性層または前記第 4 の磁性層の辺の一部に欠陥を形成した幾何学形状を有する、

デバイス。

【請求項 10】

前記第 1 または第 3 あるいはその両方の磁性層が、合成反強磁性 (SAF) 層、交換バリアス層、および前記第 2 の磁性層よりも高い保磁力を有する層のうちのいずれか、またはそれらの組合せを含む、請求項 9 に記載のデバイス。

【請求項 11】

前記第 2 または第 4 あるいはその両方の磁性層が、CoFeB 合金または NiFe 合金あるいはその両方を含む、請求項 9 に記載のデバイス。

【請求項 12】

不揮発性キャッシュ・メモリ・デバイスの一部を形成する、請求項 9 に記載のデバイス。

【請求項 13】

極低温メモリ・デバイスの一部を形成する、請求項 9 に記載のデバイス。

【請求項 14】

前記共通の SOT 生成層が、酸素ドーパ・タングステンで作られている、請求項 9 に記載のデバイス。

【請求項 15】

前記共通の S O T 生成層が、スピン・ホール効果を示す材料から作られている、請求項 9 に記載のデバイス。

【請求項 16】

前記材料が、W、Pt、Ta、およびそれらの組合せからなる群から選択される、請求項 15 に記載のデバイス。

【請求項 17】

方法であり、

(a) スピン軌道トルク (S O T) 生成層と、前記 S O T 生成層によって生成されたスピン・トランスファ・トルクにより磁気モーメントをスイッチングすることができる面内磁気自由層と、トンネル障壁と、デバイスの動作中に配向が固定されたままである基準磁性層と、を順に含む 3 端子デバイスを提供することであって、

書き込みプラス端子と書き込みマイナス端子が、前記 S O T 生成層の両端部と電氣的に接触し、

読み出し端子が前記基準磁性層と電氣的に接触し、

前記面内磁気自由層が、前記面内磁気自由層の残留状態の平均磁化が電流方向と直交する面内成分を有するように、非対称な形状を有しており、かつ、内部磁場が反転プロセスを開始することができるように前記面内磁気自由層の辺の一部に欠陥を形成した幾何学形状を有する、

前記提供することと、

(b) 前記 S O T 生成層に沿ってその端子間に電流を流し、それによって、前記流された電流の方向が前記面内磁気自由層の容易軸に沿って配向している場合に、印加磁場がない状態でも前記面内磁気自由層の磁気状態をスイッチングすることと、を含む、方法。

【請求項 18】

前記面内磁気自由層が、残存状態の磁壁を含まない、請求項 17 に記載の方法。

【請求項 19】

前記面内磁気自由層の異方性が、主に、前記面内磁気自由層における磁気モーメント間の静磁気相互作用から生じる、請求項 17 に記載の方法。

【請求項 20】

前記面内磁気自由層が、CoFeB 合金または NiFe 合金あるいはその両方を含む、請求項 17 に記載の方法。

【請求項 21】

前記 3 端子デバイスが、不揮発性キャッシュ・メモリ・デバイスの一部を形成する、請求項 17 に記載の方法。

【請求項 22】

前記 3 端子デバイスが、極低温メモリ・デバイスの一部を形成する、請求項 17 に記載の方法。

【請求項 23】

前記 S O T 生成層が、酸素ドーブ・タングステンで作られている、請求項 17 に記載の方法。

【請求項 24】

前記 S O T 生成層が、スピン・ホール効果を示す 1 つまたは複数の材料から作られている、請求項 17 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、メモリおよび論理デバイスの分野に関する。より詳細には、本発明は、スピン軌道トルク現象を使用して近接する磁性層の磁化をスイッチングする不揮発性スピントロニクス・メモリおよび論理デバイス、ならびに回路に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

現在、高速キャッシュ・メモリ（スタティック・ランダム・アクセス・メモリ（S R A M）など）における電荷ベースの半導体デバイスに対する潜在的な不揮発性代替品として、3端子スピントロニクス・デバイスに大きな関心が寄せられている。書き込みメカニズムは、スピン軌道相互作用を介して生成されるスピン・トランスファ・トルク（S T T）を使用した磁気モーメントの制御された操作に基づいている。3端子磁気メモリ・デバイスへの1つのアプローチは、ナノ・スコピック・ワイヤの磁壁の動きが電流によって誘起されることに基づく、1磁壁レーストラック・メモリ素子である。第2のアプローチは、S O Tを使用して隣接する磁気ナノ素子の磁化をスイッチングすることである。どちらのタイプのデバイスでも磁気状態を読み取るための1つのメカニズムは、トンネル磁気抵抗（T M R）効果に基づく磁気トンネル接合（M T J）を使用する。他の読み出しメカニズムは、異常ホール効果を含む。

10

【 0 0 0 3 】

従来の2端子スピン・トランスファ・トルク磁気ランダム・アクセス・メモリ（S T T - M R A M）M T Jデバイスよりも全体的なフットプリントが大きい、これらの3端子デバイスは、高速メモリ用途に有利である可能性がある。3端子デバイスの読み出し経路と書き込み経路を分離することで、材料ならびに個々の読み出しおよび書き込み方式の最適化がかなり扱いやすくなる。加えて、従来のS T T - M R A M M T Jデバイスの劣化メカニズムの1つは、書き込みプロセス中に高速動作に必要な大きな電圧がトンネル障壁に印加されたときに生じるトンネル障壁の絶縁破壊である。3端子デバイスでは、読み出し経路と書き込み経路が分離されているため、この劣化メカニズムがない。

20

【 0 0 0 4 】

これらの3端子デバイスは、主に、スピン・ホール効果によって近接する非磁性金属層で生成されるスピン偏極電流を使用する磁気ナノ素子のスイッチングに基づいている。スピン・ホール効果は、縦方向の電荷の流れを横方向のスピン電流に変換する。高速キャッシュ・メモリ用途では、信頼性の高い動作および高速スイッチング時間の両方を有する代替デバイスが必要である。従来の3端子デバイス構成では、電流によって誘起されるスピン偏極と磁化容易軸は、同一平面にあり、互いに同一直線上にある。この構成では決定論的なスイッチングを達成することができ、スイッチング・プロセスを開始するためには熱ゆらぎが必要になるため、短い時間スケールでの高速で信頼性の高い動作を達成することは困難である。この現象は、従来の2端子S T T - M R A Mデバイスではよく知られており、10 n s未満のスイッチングでいわゆる「書き込みエラー率」をもたらしていた。

30

【 0 0 0 5 】

相補型金属酸化膜半導体（C M O S）技術を利用する現代のコンピューティング・システムでは、レジスタ・ファイル、キャッシュ・メモリ、およびメイン・メモリを含む、論理コアの近くで計算タスクを実行するために使用されるデバイスはすべて揮発性である。そのため、これらのデバイスに保持されているデジタル情報は、周辺の不揮発性メモリ回路に転送する必要がある。このデータ転送プロセスは、かなりの量の伝搬遅延を引き起こす。さらに、これらの不揮発性デバイスのアクセス速度は、論理コアの近くに位置するメモリのアクセス速度よりもかなり遅い。したがって、近接して配置することができる高速不揮発性メモリおよび論理回路が必要である。

40

【 0 0 0 6 】

本発明の実施形態は、従来技術のシステムおよび方法を改善しようとするものである。

【発明の概要】

【 0 0 0 7 】

一態様では、本発明は、（a）磁気トンネル接合（M T J）であって、（i）第1の磁性層、（i i）第1の磁性層の下にあるトンネル障壁層、および（i i i）トンネル障壁の下にある第2の磁性層を含む、M T Jと、（b）スピン軌道トルク（S O T）生成層であって、第2の磁性層の真下にある、S O T生成層と、を含み、第2の磁性層が非対称な形状を有し、第2の磁性層に関連する残留状態の平均磁化がS O T生成層の電流方向と直

50

交する面内成分を有する、3端子デバイスを提供する。

【0008】

別の態様では、本発明は、(a)第1の磁気トンネル接合(MTJ)であって、(i)第1の磁性層、(ii)第1の磁性層の下にある第1のトンネル障壁層、および(iii)トンネル障壁の下にある第2の磁性層を含む、第1のMTJと、(b)第2の磁気トンネル接合(MTJ)であって、(i)第3の磁性層、(ii)第1の磁性層の下にある第2のトンネル障壁層、および(iii)トンネル障壁の下にある第4の磁性層を含む、第2のMTJと、(c)共通のスピン軌道トルク(SOT)生成層であって、第1のMTJの第2の磁性層および第2のMTJの第4の磁性層の両方の真下にある、共通のSOT生成層と、を含み、共通のSOT生成層において生成されたSOTが、第2の磁性層に第1の磁性状態を設定し、第4の磁性層に第2の磁性状態を設定し、第1の磁性状態が第2の磁性状態と反対である、デバイスを提供する。

10

【0009】

さらに別の態様では、本発明は、(a)スピン軌道トルク(SOT)生成層と、SOT生成層によって生成されたスピン・トランスファ・トルクにより磁気モーメントをスイッチングすることができる面内磁化自由層と、トンネル障壁と、デバイスの動作中に配向が固定されたままの基準磁性層と、を順に含む3端子デバイスを提供することであって、書き込みプラス端子と書き込みマイナス端子がSOT生成層の両端部と電氣的に接触し、読み取り端子が基準磁性層と電氣的に接触し、磁気自由層が、自由層の残留状態の平均磁化が電流方向と直交する面内成分を有するように非対称な形状を有する、前記提供することと、(b)SOT生成層に沿ってその端子間に電流を流し、それによって、流された電流の方向が磁気自由層の容易軸に沿って配向している場合に、印加磁場がない状態でも磁気自由層の磁気状態をスイッチングすることと、を含む方法を提供する。

20

【0010】

本開示は、1つまたは複数の様々な例に従って、以下の図を参照して詳細に説明される。図面は、例示のみを目的として提供されており、単に本開示の例を示すにすぎない。これらの図面は、読者の本開示の理解を容易にするために提供されており、本開示の幅、範囲、または適用可能性を限定するものと見なされるべきではない。説明を明確かつ容易にするために、これらの図面は、必ずしも縮尺どおりに描かれているわけではないことに留意されたい。

30

【図面の簡単な説明】

【0011】

【図1A】 D_{xx} 構成の3端子SOTデバイスの概略図であり、磁気ナノ素子の容易軸がx方向に沿っており、電流 I_x が容易軸方向と同一直線上にある。

【図1B】 D_{xy} 構成の3端子SOTデバイスの概略図であり、磁気ナノ素子の容易軸がx方向に沿っており、電流 I_y が容易軸方向と直交している。

【図1C】磁気ナノ素子が非対称な形状を有する本発明の好ましい実施形態の概略図である。

【図2A】長さ500psの正電流パルスがW(O)層に印加されたときに D_{xx} 構成にスイッチングがないことを示す微小磁気シミュレーションからの時間分解磁化マップを示す図である。

40

【図2B】微小磁気シミュレーションで使用される電流パルスを示す図である。

【図3A】負の傾斜した左脚(D_{xx-})を有する直角台形パターン素子における電流誘起スイッチングを示す微小磁気シミュレーションからの時間分解磁化マップを示す図であり、+x状態からの電流誘起スイッチングが、500psの電流パルスを印加した後、正および負の電流でそれぞれ生じている。

【図3B】負の傾斜した左脚(D_{xx-})を有する直角台形パターン素子における電流誘起スイッチングを示す微小磁気シミュレーションからの時間分解磁化マップを示す図であり、-x状態からの電流誘起スイッチングが、500psの電流パルスを印加した後、正および負の電流でそれぞれ生じている。

50

【図 4】(A) および (B) は、それぞれ、欠陥のない矩形 D_{xx} デバイスの残留状態の磁化構成を $+x$ 磁化方向および $-x$ 磁化方向について示す図であり、(C) および (D) は、それぞれ、正極性および負極性の電流パルスに対して 500 ps の電流パルスを印加した後の最終状態の磁化マップを示す図であり、(E) は、正および負の電流パルス下での平均磁化 $\langle m_x \rangle$ の時間変化である。

【図 5】(A) および (B) は、それぞれ、左下エッジに欠陥を有する矩形 D_{xx} デバイスの残留状態の磁化構成を $+x$ 磁化方向および $-x$ 磁化方向について示す図であり、(C) および (D) は、それぞれ、正極性および負極性の電流パルスに対して 500 ps の電流パルスを印加した後の最終状態の磁化マップの図であり、(E) は、正および負の電流パルス下での平均磁化 $\langle m_x \rangle$ の時間変化である。

10

【図 6】(A) および (B) は、それぞれ、左上エッジに欠陥を有する矩形 D_{xx} デバイスの残留状態の磁化構成を $+x$ 磁化方向および $-x$ 磁化方向について示す図であり、(C) および (D) は、それぞれ、正極性および負極性電流パルスに対して 500 ps の電流パルスを印加した後の最終状態の磁化マップを示す図であり、(E) は、正および負の電流パルス下での平均磁化 $\langle m_x \rangle$ の時間変化である。

【図 7】(A) および (B) は、それぞれ、対称的な欠陥を有する矩形 D_{xx} デバイスの残留状態の磁化構成を $+x$ 磁化方向および $-x$ 磁化方向について示す図であり、C 状態の安定化を示し、(C) および (D) は、それぞれ、正極性および負極性電流パルスに対して 500 ps の電流パルスを印加した後の最終状態の磁化マップを示す図であり、(E) は、正および負の電流パルス下での平均磁化 $\langle m_x \rangle$ の時間変化を示す図である。

20

【図 8 A】 D_{xx} - デバイスについて様々な電流パルスに対する $\langle m_x \rangle$ の時間変化を示す図である。

【図 8 B】 200 ps の場合の、時間に対する電流パルスおよび磁化を示す図であり、4 段階の磁化反転プロセスが概説されている。

【図 9】(A) は、微小磁気シミュレーションによって計算された、直角台形デバイス D_{xx} タイプの初期状態の磁化構成の図であり、(B) は、電流パルス幅が 100 ps の非スイッチング・イベントについて磁化の時間変化を示す磁化マップを示す図であり、(C) は、電流パルス幅が 200 ps のスイッチング・イベントについて磁化の時間変化を示す磁化マップを示す図である。

【図 10 A】 D_{xy} デバイスについて様々な電流パルスに対する $\langle m_x \rangle$ の時間推移を示す図である。

30

【図 10 B】電流パルスが 600 ps のスイッチング・イベントについて磁化の時間変化を示す磁化マップを示す図である。

【図 11 A】直角台形の形態にパターンニングされた D_{xx} - デバイスの SEM 画像である。

【図 11 B】直角台形の形態にパターンニングされた $D_{xx} +$ デバイスの SEM 画像である。

【図 11 C】 D_{xx} - デバイスについて微小磁気シミュレーションから計算された残留状態の磁化を示す図である。

【図 11 D】 $D_{xx} +$ デバイスについて微小磁気シミュレーションから計算された残留状態の磁化を示す図である。

【図 12 A】 D_{xx} - デバイスについて測定された RH ループを示す図であり、挿入記号は、基準層および自由層の磁化の配向を示す。

40

【図 12 B】 $D_{xx} +$ デバイスについて測定された RH ループを示す図であり、挿入記号は、基準層および自由層の磁化の配向を示す。

【図 12 C】 D_{xx} - デバイスについて測定された RI ループを示す図であり、挿入記号は、基準層および自由層の磁化の配向を示す。

【図 12 D】 $D_{xx} +$ デバイスについて測定された RI ループを示す図であり、挿入記号は、基準層および自由層の磁化の配向を示す。

【図 13 A】 D_{xx} - デバイスについてのスイッチングのための条件および非スイッチングのための条件をまとめた真理値表である。

【図 13 B】 $D_{xx} +$ デバイスについてのスイッチングのための条件および非スイッチング

50

のための条件をまとめた真理値表である。

【図 1 4】直列に接続され、共通の W (O) 層を共有する鏡像の D_{xx-} - および D_{xx+} デバイスで実現された不揮発性インバータ (NOT ゲート) 回路の概略図である。

【図 1 5 A】書き込みモードでの不揮発性 (NOT ゲート) インバータ回路の等価回路図である。

【図 1 5 B】読み出しモードでの不揮発性 (NOT ゲート) インバータ回路の等価回路図である。

【図 1 5 C】書き込みモードでの NAND ゲートの非限定的な実施態様を示す図である。

【図 1 5 D】読み出しモードでの NAND ゲートの非限定的な実施態様を示す図である。

【図 1 5 E】書き込みモードでの NOR ゲートの非限定的な実施態様を示す図である。

10

【図 1 5 F】読み出しモードでの NOR ゲートの非限定的な実施態様を示す図である。

【図 1 6】不揮発性インバータの動作を説明する真理値表である。

【図 1 7】 D_{xx-} と D_{xx+} デバイスの直列接続に基づくインバータ動作の実験的デモンストレーションである。入力電圧、両デバイスの抵抗、および出力電圧が反復回数の関数としてプロットされている。

【発明を実施するための形態】

【 0 0 1 2 】

本発明は、好ましい実施形態において図示および説明されているが、本発明は、多くの異なる構成で生成することができる。本発明の好ましい実施形態が図面に示され、本明細書で詳細に説明されるが、本開示は、本発明の原理およびその構成に関連付けられた機能仕様の例示として考慮されるべきであり、本発明を例示された実施形態に限定することは意図されていないことを理解されたい。当業者は、本発明の範囲内で他の多くの可能な変形形態を思い描くであろう。

20

【 0 0 1 3 】

本明細書において、「一実施形態」または「実施形態」への言及は、言及されている特徴が本発明の少なくとも 1 つの実施形態に含まれることを意味することに留意されたい。さらに、本明細書における「一実施形態」への別個の言及は、必ずしも同じ実施形態を指しているわけではないが、そのような実施形態が相互に排他的であるということは、そのように記載されていない限り、また当業者に容易に明らかである場合を除いて、ない。したがって、本発明は、本明細書に記載の実施形態の任意の様々な組合せまたは統合あるいはその両方を含むことができる。

30

【 0 0 1 4 】

図 1 A は、スピン軌道トルクによる磁気ナノ素子をスイッチングするための概略的な 3 端子デバイス構成を示す。この 3 端子構成は、タイプ D_{xx} と表記され、第 1 の添え字は、磁気ナノ素子の磁化容易軸を示し、第 2 の添え字は、電流の方向を示す。スイッチングされる磁気ナノ素子は、MTJ 構造体の一部を形成し、磁気ナノ素子は、電流を流すと SOT を生成する層と直接接触する。この層は、全体を通してスピン軌道層と表記される。

【 0 0 1 5 】

3 端子デバイス 100 は、(a) 磁気トンネル接合 (MTJ) 102 であって、(i) 第 1 の磁性層 104、(i i) 第 1 の磁性層 104 の下にあるトンネル障壁層 106、および (i i i) トンネル障壁 106 の下にある第 2 の磁性層 108 を含む MTJ 102 と、(b) スピン軌道トルク (SOT) 生成層 110 であって、第 2 の磁性層 108 の真下にある、SOT 生成層 110 と、を含む。図 1 A では、MTJ の磁化方向と SOT 生成層の電流誘起スピン偏極方向は、互いに直交している。また、図 1 A では、第 1 のコンタクトおよび第 2 のコンタクトが SOT 生成層 110 の両端部に配置され、第 3 のコンタクトが第 1 の磁性層 104 上に配置されている。

40

【 0 0 1 6 】

第 1 の磁性層に使用される材料の例には、例えば、Ru 層によって分離された CoFe 系合金で構成された合成反強磁性層、および CoFe 系合金からなる薄い強磁性層が IrMn または PtMn などの反強磁性体に隣接して配置された交換バイアス層が含まれる。

50

トンネル障壁は、典型的には、MgOで構成され、第2の磁性層もCoFe系合金で構成されている。磁性層に使用される材料の非限定的な例には、CoFe合金（例えば、CoFeB）およびNiFe合金（例えば、Ni₈₀Fe₂₀）が含まれる。

【0017】

スピン軌道層は、その2つの端部が電氣的に接続されており、電圧源が印加されると、スピン軌道層に流れる電流（ I_x ）が、隣接する磁気自由層の容易軸に平行な方向に進み、磁性層にスピン軌道トルク（SOT）を生成する。この導電チャネルが書き込み経路である。本デバイスにおけるSOT生成の背後にあるメカニズムは、Pt、W、Taなどの重金属およびそれらの合金において生じるスピン・ホール効果によるものである。非限定的な例では、SOT生成層は、酸素の存在下で薄いタングステン薄膜を反応性スパッタリングすることによって形成される酸素ドーブ・タングステン層W（O）である。この材料は、-50%のスピン・ホール角をもたらすことが実験的に実証されている。デバイスの第3の端子は、MTJの頂部に接続されており、MTJの抵抗状態をトンネル磁気抵抗効果からの磁気抵抗読み出しによって識別することができるようにしている。読み出しは、書き込み端子のいずれかとMTJの頂部に接続された端子に電流を流すことによって行うことができる。好ましい実施形態では、十分な電流密度およびナノ秒のタイムスケールの電流パルスが書き込みチャネルに印加され、電流の方向に応じて、MTJの磁気状態を、その後の抵抗状態とともに設定することができる。

10

【0018】

図1Bは、比較のために、3端子構成の磁気ナノ素子をスイッチングする従来技術の方法を示す。この3端子構成をタイプD_{xy}と表記する。

20

【0019】

D_{xx}タイプのデバイスでは、SOTが最初に印加されたとき、磁化と電流誘起スピン偏極は、互いに直交している。対照的に、D_{xy}デバイス（図1B）では、初期状態の磁化およびスピン偏極は、互いに同一直線上にある。D_{xx}デバイスでは、SOTが磁化を面内困難軸方向（±y方向）に向かって回転させるだけであるため、スイッチングが生じることは想定されない。D_{xx}デバイスのW（O）層を流れる電流を除去すると、磁化は、その初期の方向に向かって回転して戻る。

【0020】

図1Cは、磁気ナノ素子が非対称な形状を有する本発明の好ましい実施形態の概略図を示す。磁気ナノ素子は、残留状態の平均磁化が電流方向と直交する面内成分を有するように、非対称な形状を有する。好ましい実施形態では、磁気ナノ素子の電流方向および容易軸は、同一直線上にある。

30

【0021】

図2Aは、このことを、図2Bに示す長さ500psの正電流パルス下でのD_{xx}構成における200nm×100nm素子のSOTスイッチングの時間分解微小磁気シミュレーションによって示す。本シミュレーションでは、SOTは、スピン・ホール効果に由来するダンピング・ライク・トルクとしてモデル化されている。予想通り、微小磁気シミュレーションは、磁化がデバイスの面内困難軸方向（±I_x電流に対してそれぞれ±y方向）に向かって回転することを示している（図2A右上のパネル）。SOTのダンピング・ライクの寄与（

40

【数1】

$$\vec{\tau} = a_j \vec{m} \times (\vec{p} \times \vec{m})$$

によって与えられ、ここで、

【数2】

$$\vec{\tau}$$

50

は $S T T$ 、 a_j はダンピング・ライク・スピン・トルクのパラメータ、
【数 3】

$$\vec{m}$$

は正規化された磁化、および
【数 4】

$$\vec{p}$$

はスピン偏極である) は、磁化がスピン偏極方向に向かって回転すると消滅する。したがって、磁化を、困難軸配向を越えて駆動することはできず、その結果、 $W(O)$ 層に印加される電流極性に関係なく、磁化反転はない (図 2 B)。

【0022】

これらのシミュレーションは、ゼロ温度限界で行われているが、磁化が困難軸方向にある場合、磁化が $\pm x$ 方向に向かって回転するエネルギー障壁が抑制されるため、有限温度での熱ゆらぎが磁化の反転を駆動する可能性がある。しかしながら、このような反転メカニズムは、確率的であり、技術的用途には有用ではない。したがって、 D_{xy} および D_{xx} デバイスのスイッチング・プロセスにおける熱ゆらぎの役割は、補足的である。 D_{xy} デバイスでは、熱ゆらぎがスイッチング・ダイナミクスの開始に関与するが、磁化歳差運動の円錐角が反転のために増加するにつれて、 SOT の大きさが増加し、反転プロセスを駆動する。 D_{xx} デバイスでは、 SOT がスイッチング・プロセスを開始するが、熱ゆらぎは、 $W(O)$ 層に電流を流した後に起きる磁化反転の初期バイアス点を設定する。

【0023】

この理解に基づいて、磁化が SOT によって中間の困難軸状態になったときに、反転プロセスのきっかけとなる内部磁場がある場合、 D_{xx} 構成において決定論的なスイッチングを起こすことができる。したがって、スイッチング軌道の開始点または中間点のいずれにおいても熱ゆらぎを必要とせずに高速スイッチングを行うことができる。

【0024】

図 3 A ~ 図 3 B に直角台形の形状を有する磁気ナノ素子の微小磁気シミュレーションを示し、図 2 B と同じ電流パルスが印加されている。微小磁気シミュレーションは、 SOT 下の面内困難軸方向に向かう磁化回転が台形の広い部分では大きい、台形の狭い部分の磁化は、ナノ素子の境界に対して接線方向に向こうとすることを示す (図 3 A ~ 図 3 B の 500 ps の時間フレーム)。これは、形状異方性エネルギー密度が台形の狭い部分で大きくなるために生じる。電流パルスの極性に依りて、台形の先端の磁化は、初期磁化方向に沿った成分またはそれと反対の成分のいずれかを有する (図 3 A ~ 図 3 B は、 $\pm I_x$ について 500 ps での磁化を比較している)。好ましいモーメントの配向は、ナノ素子の内部有効磁場によって決定され、主に静磁気相互作用および交換相互作用に由来する。

【0025】

これは、台形の傾斜したエッジの磁化が矩形領域の磁化状態と相関しているナノ素子の残留状態においても観察することができる。磁化の反転は、電流パルスを除去すると、左上隅から始まるドメインの成長によって起きる可能性がある。磁化が台形先端部の初期状態と同じ方向に沿った成分を有する場合、スイッチングは、起きない。同様の議論は、磁化が $-x$ 配向から始まる場合にも当てはまり、反転は、負の電流でのみ起きる (図 3 B)。さらに、左脚が正の傾きを有する直角台形の場合、 $\pm x$ 構成にスイッチングするために必要な電流は、 $\pm I_x$ になる。スイッチング電流の大きさは、このメカニズムでは $\pm x$ 状態にスイッチングするのと同様である。したがって、内部磁場が反転プロセスを開始することができるようにサンプルの幾何学形状を設計することによって、制御されたスイッチング電流極性による決定論的スイッチングを外部磁場なしで D_{xx} デバイスにおいて達成することができる。

10

20

30

40

50

【 0 0 2 6 】

実際、ライン・エッジの粗さに起因して日常的に起きる小さなリソグラフィ欠陥の存在でさえ、 D_{xx} 構成における微小磁気状態にそのスイッチング・ダイナミクスに影響を与えるのに十分に著しい影響を与える。これを説明するために、図 2 B に示すシミュレーションで使用了ものと同じの電流パルスが印加された、寸法 $200\text{ nm} \times 100\text{ nm}$ の D_{xx} 構成の 3 つの異なる磁気ナノ素子を考える。最初のケース (図 4 (A) ~ 図 4 (E)) では、ナノ素子は、完全な矩形であるが、他の 2 つのケースでは、ナノ素子の左下 (図 5 (A) ~ 図 5 (E)) または左上 (図 6 (A) ~ 図 6 (E)) の角のいずれかにおいてサイズが $6\text{ nm} \times 6\text{ nm}$ のボクセルが欠落した形態で欠陥が導入されている。各図 (図 4 (A) ~ 図 4 (B)、図 5 (A) ~ 図 5 (B)、図 6 (A) ~ 図 6 (B)) は、各構造体の磁化の緩和状態を示す。以下の説明では、これらのデバイスをデバイス # 1、# 2、および # 3 と呼ぶ。

10

【 0 0 2 7 】

デバイス # 1 の緩和状態では、反磁場の影響でモーメントがエッジに向かってカールしているが、 y 軸に沿った正味の磁化 $\langle m_y \rangle$ はゼロである。電流パルスが $W(0)$ 層に印加されると、SOT からのダンピング・ライク・トルクが磁化を一時的に容易軸と直交する方向に向かって回転させる。電流パルスが除去されると、正 ($+I_x$) および負 ($-I_x$) の電流パルスを印加したときの磁化の最終状態 (それぞれ図 4 (C) および図 4 (D)) に示すように、磁化は、ナノ素子の初期状態と同じ配向で容易軸に向かって緩和する。この動的プロセスは、電流パルスを印加したときのナノ素子における磁化 $\langle m_x \rangle$ の空間平均の時間変化に示されている (図 4 (E))。SOT が磁化を容易軸に直交させるとき、磁化の回転を引き起こす追加のトルクが存在しないため、ここではスイッチングはない。

20

【 0 0 2 8 】

デバイス # 2 (図 5 (A) ~ 図 5 (B)) の場合、欠陥が左下隅に導入されており、緩和磁化状態は、ナノ素子のエッジ・ドメインの形態で有限の m_y 成分を獲得する。ここに示す緩和状態は、S 状態と呼ばれる。 m_y 成分は、 m_x 成分の状態と相関があることに留意されたい (すなわち、S 状態は、2 つの異なる配向を有する)。この S 状態は、内部静磁場を誘起し、 y 軸に沿った対称性を壊す欠陥の配置により安定化される。電流パルスを印加すると、磁化は、スピン蓄積方向に向かって回転する。しかしながら、エッジの幾何学的欠陥から誘起される反磁場が、反転を駆動するための追加のトルクを提供する。したがって、電流パルスの除去時にスイッチングが観察される (図 5 (C))。反対の電流パルス極性 (図 5 (D)) の場合、内部磁場が $+x$ 方向に作用し、スイッチングは、観察されない。このスイッチング・プロセス中の磁化の時間変化を図 5 (E) にまとめている。ここでは、スイッチング・プロセスの「準弾道的 (quasi-ballistic)」性質もはっきり見えている。

30

【 0 0 2 9 】

デバイス # 3 については、欠陥は、反対側のエッジに配置されているため、内部静磁場の向きは、反対である。磁化の残留状態における S 状態の配向は、第 2 の場合とは反対であることに留意されたい (図 6 (A) および図 6 (B))。欠陥の位置の結果として、残留状態が異なるだけでなく、電流極性に対するスイッチングの挙動が逆転する (図 6 (C) ~ 図 6 (E))。したがって、これらの小さなリソグラフィ欠陥の位置は、残留状態とスイッチング電流の極性、およびその全体的なスイッチング軌道の両方に影響を与える上で重要である。

40

【 0 0 3 0 】

D_{xx} スwitching・プロセスの注目すべき特徴は、(磁化の時間変化のプロット (図 5 (E) および図 6 (E)) から明らかなように) スwitching・プロセスが $\langle m_x \rangle$ の単調な変化だけでなく、自由層全体にわたるモーメントのコヒーレントな回転によって特徴付けられることである。対照的に、 D_{xy} デバイスは、 $\langle m_x \rangle$ の時間における非単調な変化、ならびに多くの準安定状態を含む非コヒーレントな反転を示す。その結果、スitching時間は、 D_{xx} と比較して D_{xy} の方がはるかに長くなる可能性がある。

50

【 0 0 3 1 】

欠陥がデバイスの幾何学形状に対して対称に配置され、共通のエッジを共有している場合には、スイッチングは、起きないことにも留意されたい。さらに、台形が x 軸に対して完全に対称である場合、ナノ素子の 2 つのエッジの磁化が反対方向に回転するため、スイッチングは、起きないことに留意されたい。この場合、残留状態の磁化は、 C 状態に対応する (図 7 (A) ~ 図 7 (B))。したがって、エッジ・ドメインは、残留状態と電流パルスの印加時の両方において反対方向を向く。スピン軌道層に電流パルスを印加すると、欠陥によって誘起された反磁場が、ナノ素子のエッジに反対方向のトルクを与える。したがって、電流パルスの終わりに生成される正味の m_x 成分はなく、スイッチングは、起きない (図 7 (C) ~ 図 7 (E))。

10

【 0 0 3 2 】

微小磁気シミュレーションはまた、時間に対するナノ素子の磁化 $\langle m_x \rangle$ の空間平均の単調な変化によって特徴付けられるように、このメカニズムに基づく D_{xx} スwitching・プロセスが D_{xy} スwitching・プロセスよりも高速である可能性を示す。直角台形デバイス (特に D_{xx} -デバイス・タイプ) の高速時間スケールのスイッチング・ダイナミクスを理解するために、微小磁気シミュレーションを行った。 $+x$ 方向に流れる電流について、電流パルス幅が $100\text{ ps} \sim 400\text{ ps}$ の範囲の様々な電流パルスについて、 x 方向の正規化された磁化成分の空間平均 $\langle m_x \rangle$ が時間の関数として図 8 A にプロットされている。各シミュレーションにおける磁化の初期状態は、図 9 (A) の微小磁気シミュレーションからのスナップショットに示されているように、主に x 方向に配向して

20

【 0 0 3 3 】

スイッチング・プロセスは、時間トレースから識別することができる 4 つのステップを通じて生じ、 200 ps の電流パルスの場合について境界が区切られている (図 8 B)。

- 1) 磁化は、最初に SOT を介して $+x$ 方向から $+y$ 方向に向かって回転する。
- 2) 200 ps 後、電流が除去されると、直角台形によって誘起される形状異方性に起因して、本文で説明したように、磁化は、逆方向に小さな成分を獲得する。
- 3) 磁化の反転は、磁壁の成長によって起きる。
- 4) 磁化は、その平衡状態に関する歳差運動を通してその最終平衡状態に緩和する。このメカニズムを使用して、 150 ps という短いパルス幅 (図 8 A の黒い実線参照) での高速スイッチングを達成することができる。さらに、スイッチングは「準弾道的」であり、スイッチングは、ほぼ 1 回の歳差運動サイクル内で達成されることに留意されたい。しかしながら、ステップ 4) での磁化の緩和は、いくつかの歳差運動を伴うが、決定論的である。非共線モーメントを使用する他の高速時間スケールのスイッチング方式とは異なり、この方式は、電流パルスが臨界パルス幅を超えたときに、使用される電流パルスの幅に影響を受けない。

30

【 0 0 3 4 】

図 9 (B) および図 9 (C) は、非スイッチング・イベントとスイッチング・イベントについてスイッチング・ダイナミクスを比較している。スイッチングが起きない 100 ps の電流パルス幅の場合、磁化は SOT により $+y$ 方向に向かって回転するが、電流方向と完全に直交するように再配向するには十分な時間がない。その結果、磁化は、電流パルスの終わりに反転方向に沿った成分を発生させない。磁化のその初期方向への戻りは、ナノ素子の右上隅に形成されたドメインから始まる。このエッジは、形状異方性密度が低いことを考慮すると、好ましい。対照的に、 200 ps の場合、電流パルスの終わりに、磁化は、電流方向と直交して回転し、反転方向に沿った成分を発生させ、これは、後にナノ素子の左上隅から移動してくる反転ドメインの核生成点を形成する。磁化は、1 つの歳差運動サイクル内でスイッチングし、いかなる渦状態も伴わない。

40

【 0 0 3 5 】

対照的に、同じ電流密度での D_{xy} デバイスのスイッチングには、反転プロセス中にいくつかの歳差運動サイクルが必要であり、多くの準安定渦状態を伴う。 D_{xy} デバイスで微小磁気シミュレーションを行って、そのスイッチング・ダイナミクスを D_{xx} デバイス

50

と比較した。シミュレーションは、図 4 (A) ~ 図 4 (E) で検討した D_{xx} デバイスと同一の $200\text{ nm} \times 100\text{ nm}$ の寸法を有する矩形デバイスで、電流パルスの長さが $200 \sim 1200\text{ ps}$ の範囲について行った。電流パルス中の時間に対する $\langle m_x \rangle$ の変化 (図 10 A) は、非単調である。さらに、 D_{xy} デバイスは、スイッチングが起きるのに多くの歳差運動サイクルを伴うが、 D_{xx} デバイスは、1つの歳差運動サイクル内でスイッチングする。

【 0036 】

シミュレーションからの時間分解磁化マップは、 D_{xy} の 600 ps 電流パルス下での磁化反転プロセスが複雑かつインコヒーレントであり、多くの渦の核生成を伴う不均一な磁化状態を伴うことを示している (図 10 B) 。対照的に、 D_{xx} デバイスにおける図 9 B に示すような磁化マップは、高次のスピン波モードの励起を伴わず、よりコヒーレントである。実際、非単調な反転プロセスをもたらし、信頼性の高いスイッチング・イベントを完了するためにより長い電流パルスを必要とするのは、これらのモードの励起である。さらに、 $\langle m_x \rangle$ の時間変化のプロットから、歳差運動周波数が単一値ではないことを観察することができ、これは、磁気ナノ素子の異なる領域が異なる周波数で歳差運動することを示している。

【 0037 】

上述した方式に基づくスイッチングを、MTJ を直角台形状にパターニングしたデバイスを調べることによって実験的に調査した。図 11 A および図 11 B は、製造された 2 つのそのようなデバイスの走査型電子顕微鏡 (SEM) の顕微鏡写真を示し、MTJ は、2 つの底辺の長さが 150 nm および 100 nm であり、幅が 75 nm である。MTJ スタックは、 D_{xy} デバイスを製造するために使用されたのと同じ製造手順を使用して、W (O) 層まで台形状にパターニングされている。これらのデバイスでは、負の傾斜した左脚を有するデバイスが D_{xx-} と呼ばれ、正の傾斜した左脚を有するデバイスが D_{xx+} と呼ばれ、最後の下付き文字が台形の左脚の傾斜を表す。

【 0038 】

図 11 C および図 11 D は、それぞれ、微小磁気シミュレーションによって計算された、これらの 2 つのデバイスの磁化の残留状態を示す。x 方向に沿って印加された磁場 H_x に対する D_{xx-} および D_{xx+} デバイスの RH ループが図 12 A および 12 B にそれぞれ示されている。両方のデバイスは、名目上同一の RH ループを有し、これは、両方のデバイスの基準層の磁化が同じ方向に配向していることを意味する。自由層および基準層の磁化方向は、図 12 A および図 12 B に示される。1 ミリ秒の電流パルスを使用して行われた D_{xx-} および D_{xx+} デバイスの電流誘起スイッチングは、図 12 C および図 12 D の RI ループにそれぞれ示されている。電流誘起スイッチング測定のために、基準層からの双極子磁場を補償するために、x 方向に沿って印加される磁場も印加された。

【 0039 】

D_{xx-} デバイスでは、正 (負) の電流がそれぞれ $AP \rightarrow P$ ($P \rightarrow AP$) へのスイッチングを駆動するが、 D_{xx+} ではその逆が起きる。所与の電流下でスイッチングされた磁化の方向は、所与の幾何学形状のデバイスについて RH ループおよび RI ループを比較することによって決定することができ、両方のデバイスについて図 12 C および図 12 D の挿入図に示されている。基準層の磁化の配向は、電流パルス下で固定されているため、自由層の磁化は、 D_{xx+} デバイスおよび D_{xx-} デバイスでは、同じ電流極性で異なる方向にスイッチングしている。図 12 C ~ 図 12 D において実験的に観察されたスイッチングは、実際、微小磁気シミュレーションによって予測されたもの (図 3 A および図 3 D) と一致している。真理値表 (図 13 A ~ 図 13 B) は、 D_{xx-} および D_{xx+} デバイスの基本的なスイッチング動作をまとめたものである。

【 0040 】

このようなデバイスの幾何学形状によって決定されるような決定論的なスイッチングは、いくつかのナノ磁石を相補的にスイッチングする必要がある不揮発性ナノ磁気論理回路を構築する際に潜在的に有用である可能性がある。共通の W (O) 層を共有する D_{xx+} お

10

20

30

40

50

よび D_{xx} - デバイスを使用して構築することができる不揮発性インバータ (NOTゲート回路) の動作を示す (図 14)。両方のデバイスの基準層が同じ方向を向いている場合、 D_{xx+} および D_{xx-} は、同じ極性の電流の印加の下で反対の抵抗状態にスイッチングする。基準層の磁化が $-x$ 方向を指すという慣例に従って、 D_{xx+} デバイスは、正電流に対して D_{xx-} デバイスと比較して高い抵抗を有する。同様に、逆電流極性パルスを印加すると、 D_{xx-} デバイスは、 D_{xx+} デバイスと比較して高い抵抗を有する。

【0041】

図 15 A および図 15 B は、不揮発性インバータ・デバイスの等価回路モデルを示す。NOTゲートの回路モデルは、 D_{xx+} および D_{xx-} とラベル付けされた 2 つのデバイスを含む。書き込みモード (図 15 A) では、電圧入力 (V_{in1}) は、 D_{xx+} および D_{xx-} デバイスの両方の書き込み + 端子に印加され、両方のデバイスの書き込み - 端子は接地されている。読み出しモードの間、 V_{DD} は、 D_{xx+} の読み出し端子に印加され、 D_{xx+} および D_{xx-} の書き込み - 端子は、 V_{out} に接続され、 D_{xx-} の読み出し端子は、接地されている。現実的なデバイス用途では、トンネル接合抵抗がスピン・ホール層の抵抗よりもはるかに大きく、したがって、書き込みモード中にスピン・ホール層に V_{IN} を印加している間、電流の大部分がスピン・ホール層を横切って流れるため、 D_{xx+} の電源電圧 V_{DD} と D_{xx-} の接地オン信号を、デバイスの全動作中、接続したままにすることができる。

【0042】

D_{xx+} および D_{xx-} デバイスは、CMOS 技術におけるトランジスタと同様の一種の相補型デバイスと考えることができる。したがって、 D_{xx+} および D_{xx-} デバイスがそれぞれの状態にスイッチングすると論理出力が維持されるため、両方のデバイスの直列接続は、不揮発性インバータとして機能する。図 16 の真理値表は、インバータの動作をまとめたものである。このようなインバータ回路の 20 サイクルまでの動作が実証されている (図 17)。このデモンストレーションでは、2.5 V および長さ 1 ms のパルスが使用されている。したがって、AND および OR ゲートを構築するためのこのタイプのロジックの一般化は簡単であり、CMOS ロジックから概念を借用する。CMOS と比較したこの回路の利点は、不揮発性であり、静的な電力損失がないことである。この方式は、磁気ナノ素子がそれらの双極子場によって結合され、近接していることを必要とするナノ磁気論理方式において、ナノ磁性素子の状態を制御するために使用することもできる。さらに、スピン軌道材料の TMR およびスピン・トルク効率の改善により、ここで紹介した論理デバイスの性能特性が向上する。

【0043】

本発明の実施形態は、非対称な形状にパターンニングされた磁気ナノ素子を使用し、外部磁場が存在しない状態で、磁化および書き込み電流が同一直線上にあるスピン軌道トルクによる磁気ナノ素子のスイッチングを可能にする。好ましい実施形態では、磁気ナノ素子は、面内磁化され、MTJ の一部を形成する。ナノ磁石の状態は、MTJ 両端間の磁気抵抗の読み取りから識別される。

【0044】

本発明の一態様は、デバイス幾何学形状をリソグラフィでパターンニングしてその微小磁気状態を変更することによって、磁気自由層のスイッチング軌道および最終的な磁気状態を制御可能に操作できることである。本発明の第 2 の態様は、スピン軌道相互作用によって生成されるスピン偏極電流のスピン偏極方向が磁化方向と非共線的であるため、スイッチングを開始するために必要な熱ゆらぎがないことである。これにより、従来の 2 端子 STT-MRAM デバイスの短いパルス長動作で一般的に観察される書き込みエラー率を低減できる可能性がある。

【0045】

本発明の別の態様は、鏡像パターンニング・デバイスを形成することによって、2 つの磁気ナノ素子を同じ書き込み電流方向の下で相補的な状態にスイッチングすることができることである。さらに、前記磁気ナノ素子デバイスのそのような相補的スイッチングは、不

揮発性論理回路を形成することができる。本発明は、このような磁気ナノ素子から形成された不揮発性インバータ回路を開示する。

【0046】

別の実施形態では、本発明は、(a)第1の磁気トンネル接合(MTJ)であって、(i)第1の磁性層、(ii)第1の磁性層の下にある第1のトンネル障壁層、および(iii)トンネル障壁の下にある第2の磁性層を含む、第1の磁気トンネル接合(MTJ)と、(b)第2の磁気トンネル接合(MTJ)であって、(i)第3の磁性層、(ii)第1の磁性層の下にある第2のトンネル障壁層、および(iii)トンネル障壁の下にある第4の磁性層を含む、第2の磁気トンネル接合(MTJ)と、(c)共通スピン軌道トルク(SOT)生成層であって、第1のMTJの第2の磁性層および第2のMTJの第4の磁性層の両方の真下にある、共通スピン軌道トルク(SOT)生成層と、を含み、共通のSOT生成層において生成されたSOTが第2の磁性層に第1の磁気状態を設定し、第4の磁性層に第2の磁気状態を設定し、第1の磁気状態が第2の磁気状態とは反対である、デバイスを提供する。図14は、本実施形態を示すそのような非限定的な例を示しており、2つのMTJ 1402および1406が共通のSOT生成層1406を共有している。

10

【0047】

図14では、回路は、2つのMTJの直列接続を介して、不揮発性インバータ(NOTゲート)から形成されている。図14は、直列に接続され、共通のW(O)層を共有する鏡像の D_{xx-} および D_{xx+} デバイスで実現された不揮発性インバータ(NOTゲート)の概略図を示す。図15Aは、回路の書き込みモードにおける不揮発性インバータの回路レベルの概略図を示しており、書き込み電圧 V_{in} が両方のデバイスに印加されている。読み出しモード(図15B)では、 V_{DD} と接地との間に2つのMTJの直列接続がある。ここでは、書き込み端子は、電源から切り離されている。

20

【0048】

別の実施形態では、回路は、MTJの直列および並列接続を介して、不揮発性NANDゲートおよびNORゲートから形成される。図15C~図15Dは、書き込みおよび読み出しモードでのNANDゲートの非限定的な実施態様を示す。図15E~図15Fは、書き込みおよび読み出しモードでのNORゲートの非限定的な実施態様を示す。NANDゲートおよびNORゲートの両方について、書き込みモード回路は同一であり、2つの D_{xx+} デバイスおよび2つの D_{xx-} デバイスを使用する。1組の D_{xx+} および D_{xx-} デバイスの、デバイスの書き込みプラス端子は V_{in1} に接続され、もう1組については、 V_{in2} に接続されている。読み出しについては、NANDゲートでは、 D_{xx-} デバイスは、直列に接続され、 D_{xx+} は、並列に接続されている。読み出しについては、NORでは、 D_{xx-} デバイスは、並列に接続され、 D_{xx+} は、直列に接続されている。

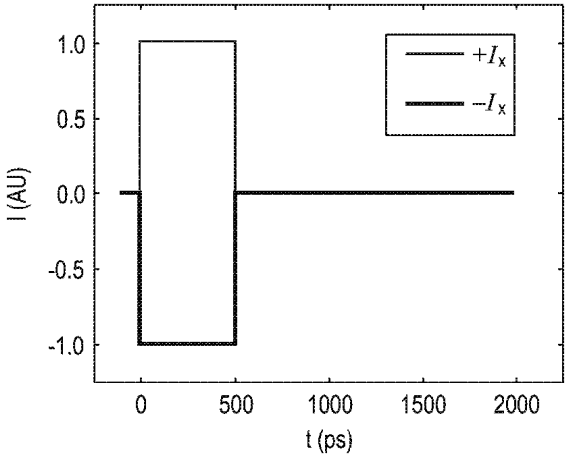
30

【0049】

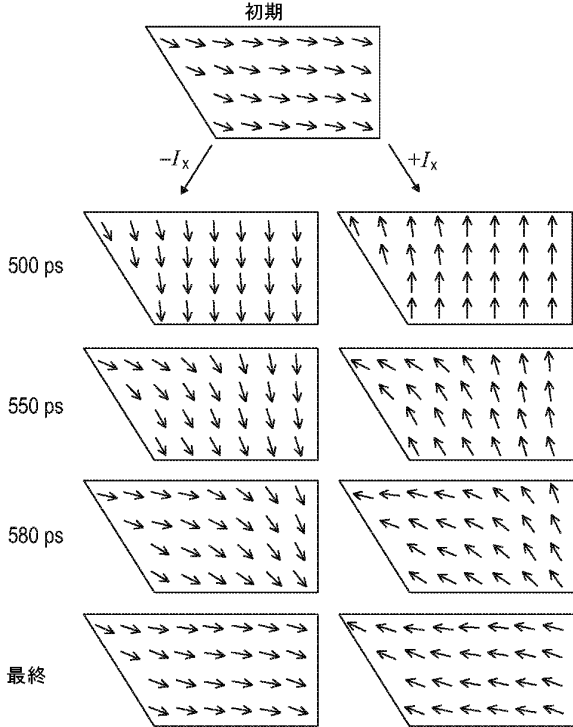
上述した実施形態は、微小磁気構成によるスピン軌道トルク・デバイスにおけるスイッチング軌道の制御の効果的な実施態様を示す。様々な好ましい実施形態が示され、説明されてきたが、そのような開示によって本発明を限定する意図はなく、むしろ、添付の特許請求の範囲で定義される本発明の範囲内に入るすべての修正形態をカバーすることが意図されていることを理解されるであろう。

40

【図 2 B】



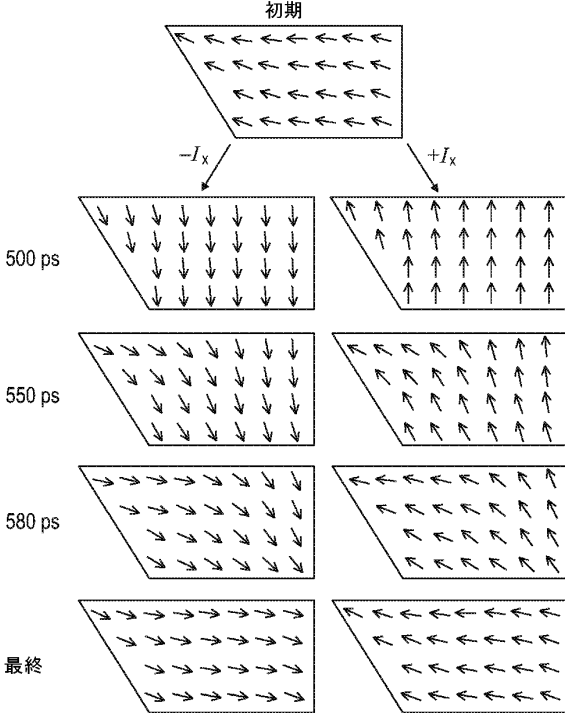
【図 3 A】



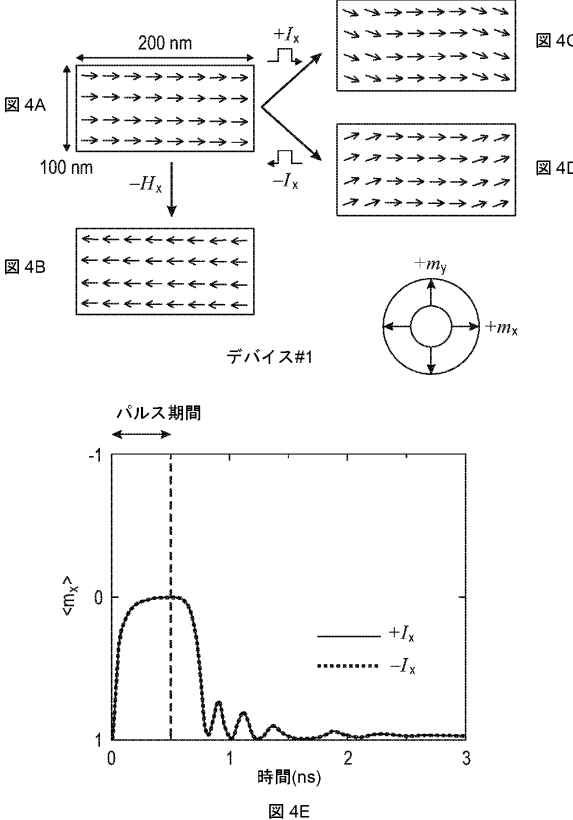
10

20

【図 3 B】



【図 4】

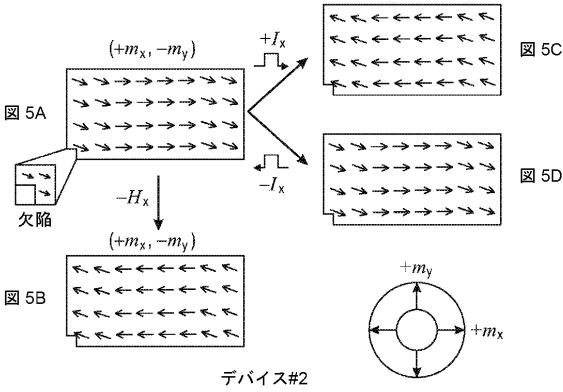


30

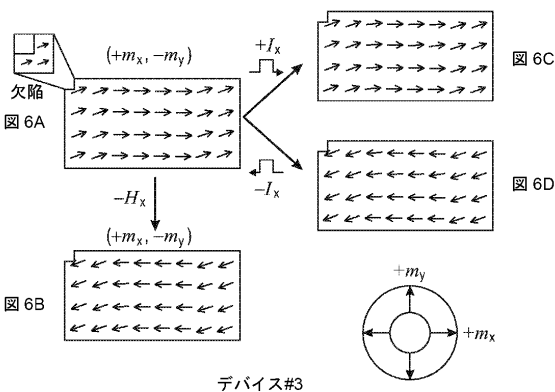
40

50

【図 5】



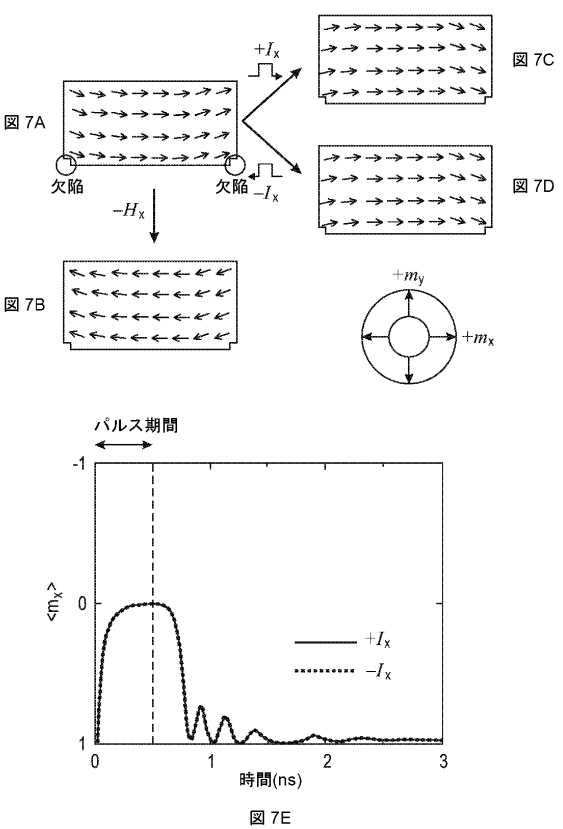
【図 6】



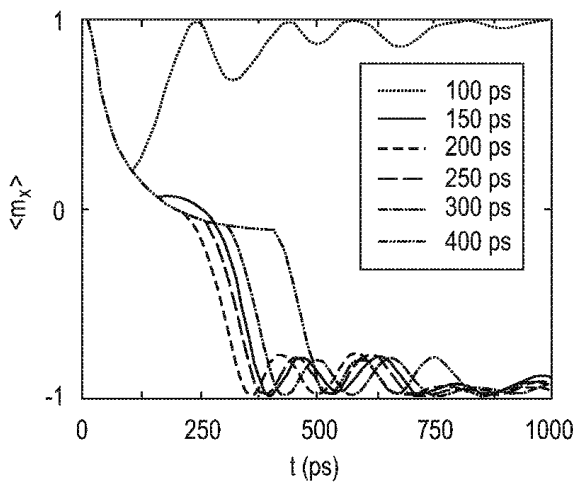
10

20

【図 7】



【図 8 A】

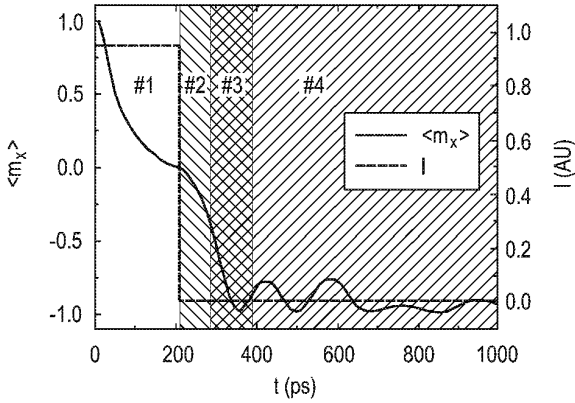


30

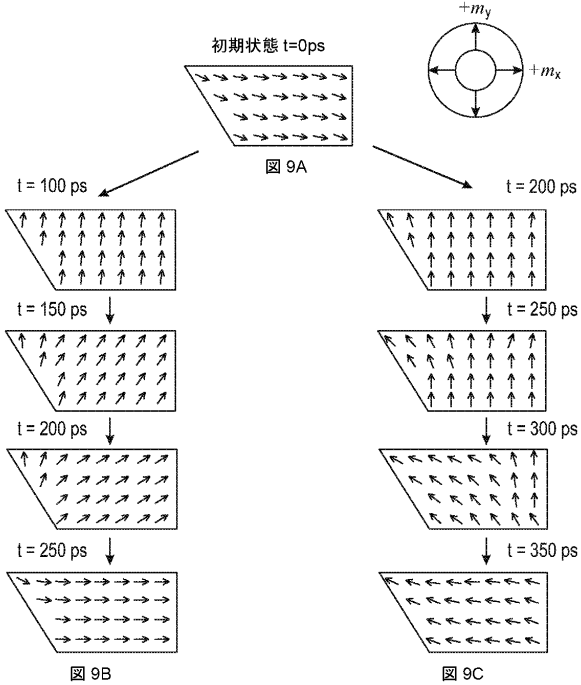
40

50

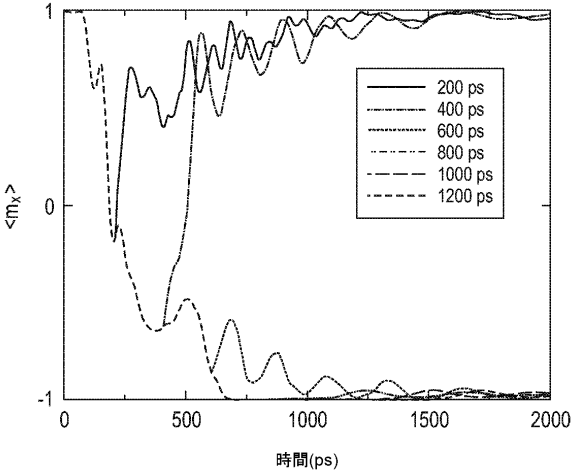
【 図 8 B 】



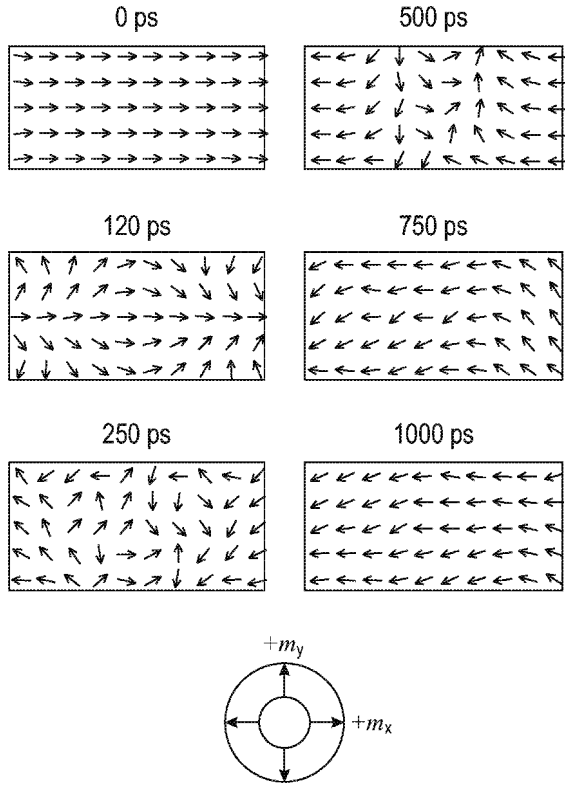
【 図 9 】



【 図 1 0 A 】



【 図 1 0 B 】



10

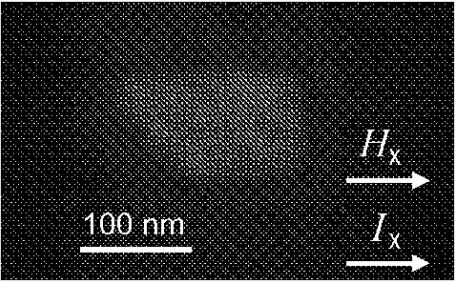
20

30

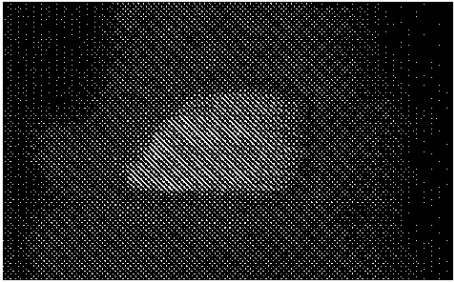
40

50

【図 1 1 A】

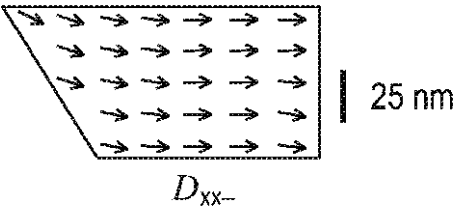


【図 1 1 B】

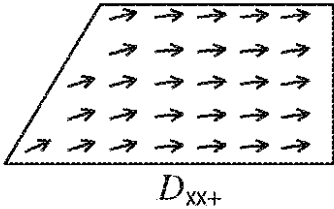


10

【図 1 1 C】

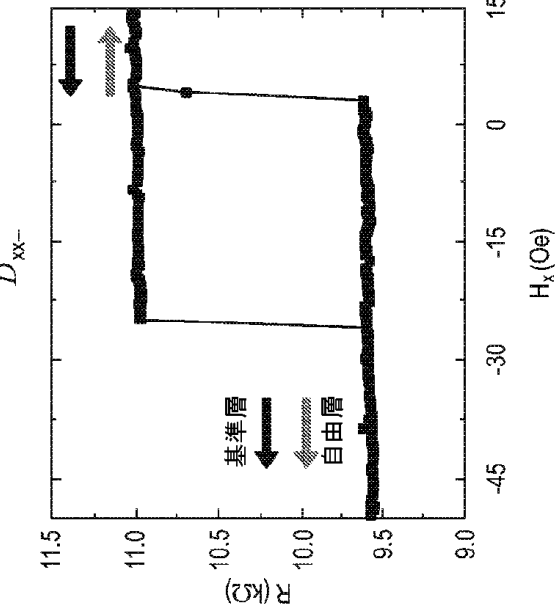


【図 1 1 D】

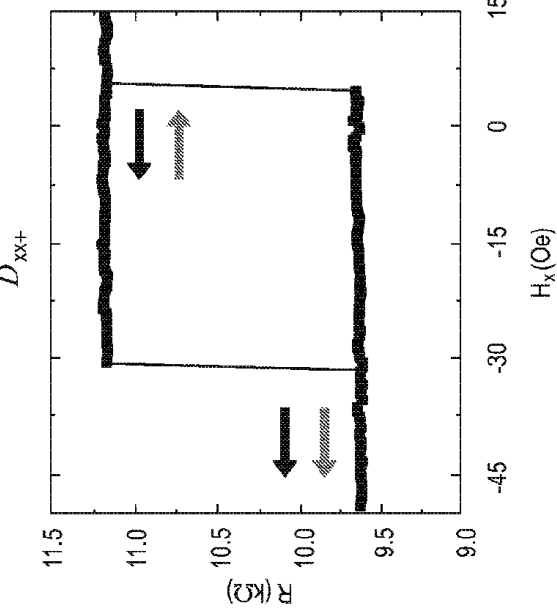


20

【図 1 2 A】



【図 1 2 B】

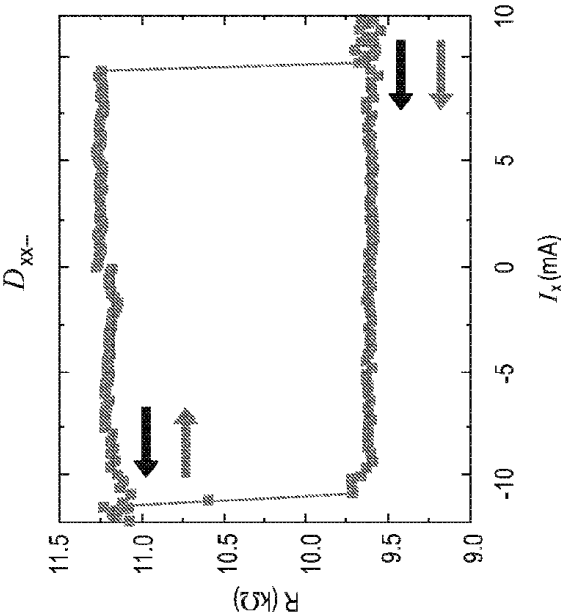


30

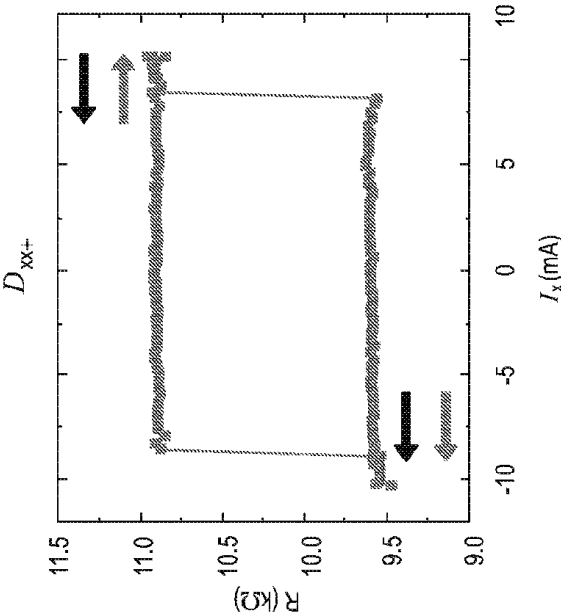
40

50

【図 1 2 C】



【図 1 2 D】



10

【図 1 3 A】

初期 m_x	i_x	最終 m_x	スイッチング される
			はい
	-		いいえ
			いいえ
	-		はい

【図 1 3 B】

初期 m_x	i_x	最終 m_x	スイッチング される
			いいえ
	-		はい
			はい
	-		いいえ

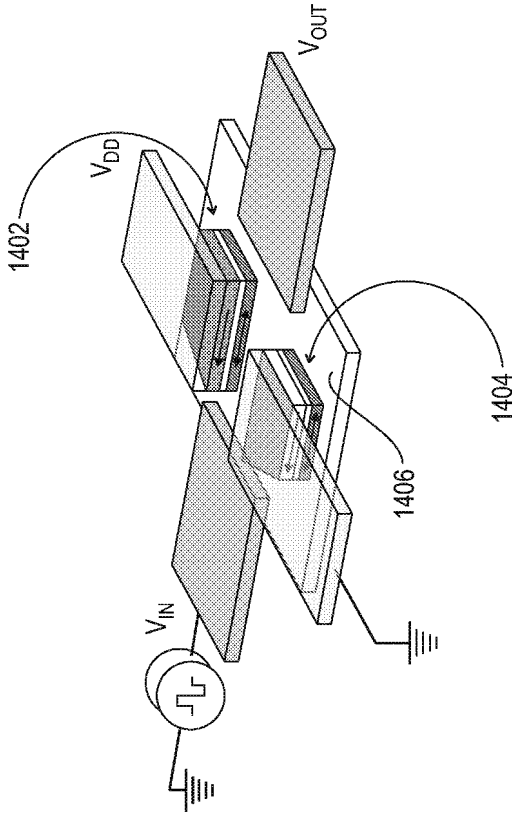
20

30

40

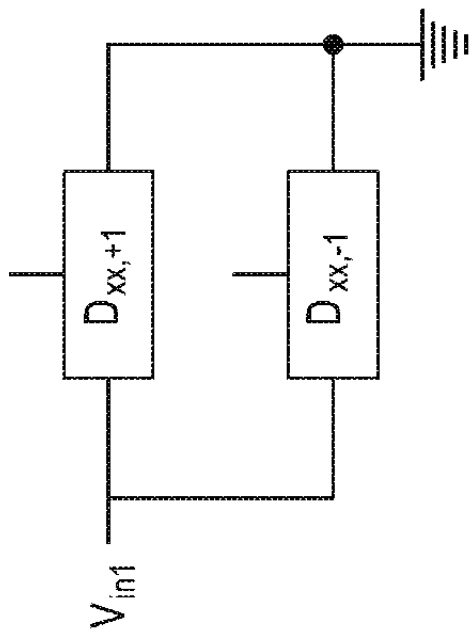
50

【図 1 4】



【図 1 5 A】

書き込みモード(NOT ゲート)

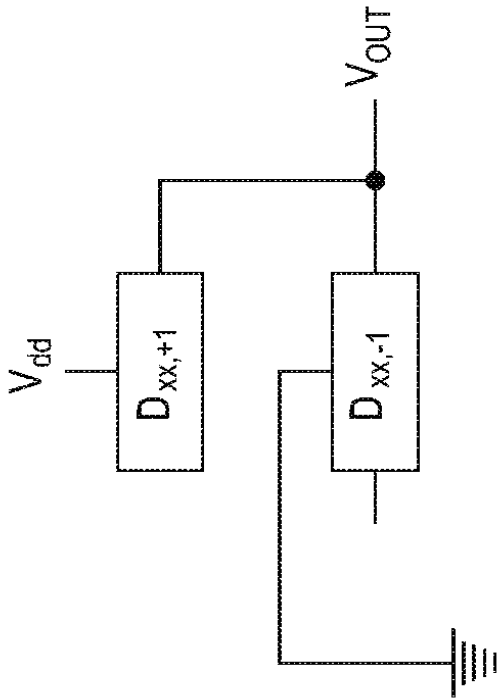


10

20

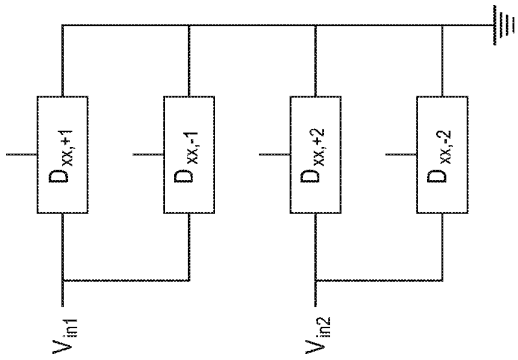
【図 1 5 B】

読み出しモード(NOT ゲート)



【図 1 5 C】

書き込みモード(NAND ゲート)

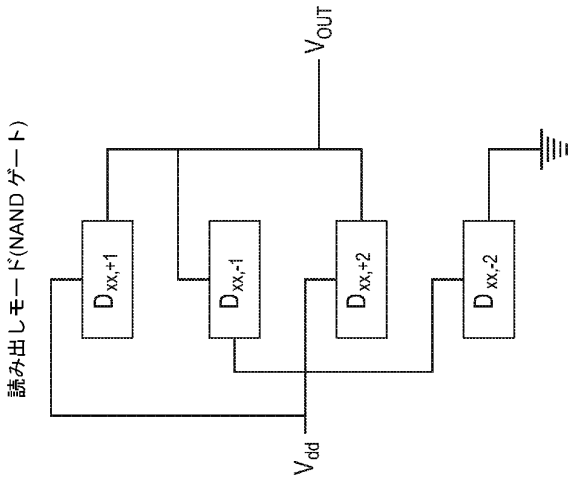


30

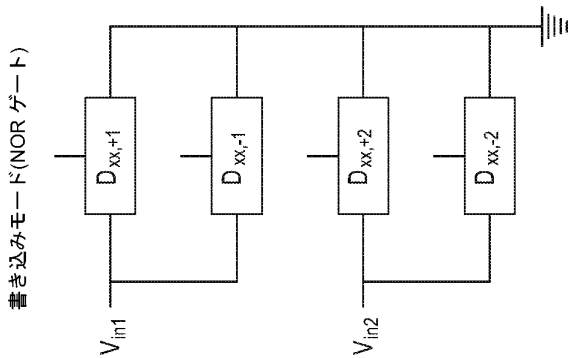
40

50

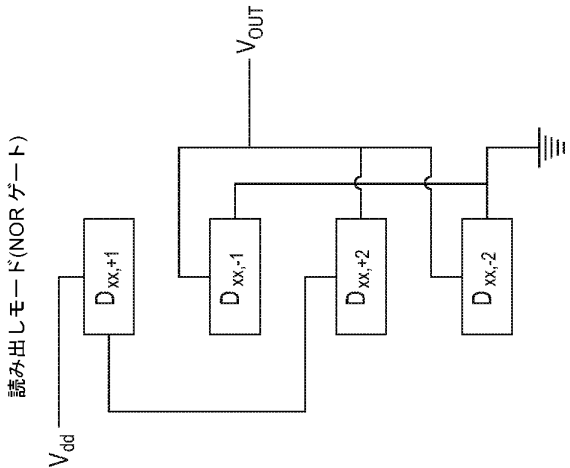
【図 1 5 D】



【図 1 5 E】



【図 1 5 F】



【図 1 6】

入力	D _{xx} +		D _{xx} -		出力
	m _x	R	m _x	R	
1		R _{ap}		R _p	0
0		R _p		R _{ap}	1

10

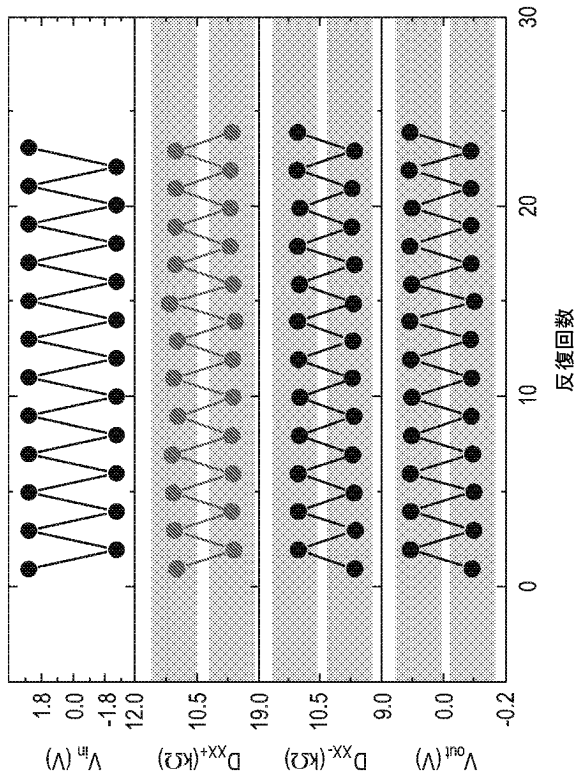
20

30

40

50

【図 17】



10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I	
H 0 1 F	10/14 (2006.01)	H 0 1 F	10/14
H 0 3 K	19/10 (2006.01)	H 0 3 K	19/10

(72)発明者 ブン、ティモシー
 アメリカ合衆国 9 5 1 2 0 - 6 0 9 9 カリフォルニア州サンノゼ アルマデン・リサーチ・センタ
 ー ハリー・ロード 6 5 0

(72)発明者 ガルグ、チラグ
 アメリカ合衆国 9 5 1 2 0 - 6 0 9 9 カリフォルニア州サンノゼ アルマデン・リサーチ・センタ
 ー ハリー・ロード 6 5 0

審査官 脇水 佳弘

(56)参考文献 特表 2 0 1 2 - 5 0 0 4 4 6 (J P , A)
 特開 2 0 1 9 - 0 4 6 9 7 6 (J P , A)
 特開 2 0 1 7 - 1 1 2 3 5 8 (J P , A)
 特開 2 0 1 9 - 0 5 4 1 5 4 (J P , A)
 中国特許出願公開第 1 0 7 7 3 2 0 0 5 (C N , A)
 ZHANG, Jie et al. , Role of Micromagnetic States on Spin-Orbit Torque-Switching Schemes
 , Nano Letters , 2018年 , Vol. 18 , pp. 4074-4080 , DOI: 10.1021/acs.nanolett.7b05247

(58)調査した分野 (Int.Cl. , D B 名)
 H 0 1 L 2 9 / 8 2
 H 1 0 B 6 1 / 0 0
 H 1 0 N 5 0 / 0 0
 H 1 0 N 5 2 / 0 0
 H 1 0 N 5 9 / 0 0
 G 1 1 C 1 1 / 1 6
 H 0 1 F 1 0 / 1 6
 H 0 1 F 1 0 / 1 4
 H 0 3 K 1 9 / 1 0
 A C S P U B L I C A T I O N S