

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】令和7年5月2日(2025.5.2)

【国際公開番号】WO2024/043008  
 【出願番号】特願2024-542702(P2024-542702)

【国際特許分類】  
 H 0 1 L 2 5 / 0 7 ( 2 0 0 6 . 0 1 )

【F I】

H 0 1 L 2 5 / 0 8            Z  
 H 0 1 L 2 5 / 0 4            C  
 H 0 1 L 2 5 / 0 8            Y

10

【手続補正書】

【提出日】令和7年1月20日(2025.1.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

厚さ方向の一方側を向く第1主面を有する第1半導体素子と、  
 前記第1半導体素子に対して前記厚さ方向の一方側に配置された配線層と、  
 前記配線層に対して前記厚さ方向の一方側に配置された第2半導体素子と、を備え、  
 前記第1半導体素子は、各々が前記第1主面に形成された第1電極、第2電極および第3電極を有し、  
 前記第2半導体素子は、前記厚さ方向に見て前記第1半導体素子と重なり、  
 前記第2半導体素子は、前記配線層を介して前記第1半導体素子に導通する、半導体装置。

30

【請求項2】

前記第2半導体素子は、前記厚さ方向の他方側を向く第2主面と、前記第2主面に形成された第4電極、第5電極および第6電極と、を有する、請求項1に記載の半導体装置。

【請求項3】

前記配線層は、第1配線、第2配線および第3配線を含み、  
 前記第1電極は、前記第1配線に導通し、  
 前記第2電極は、前記第2配線に導通し、  
 前記第4電極は、前記第2配線に導通し、  
 前記第5電極は、前記第3配線に導通する、請求項2に記載の半導体装置。

【請求項4】

前記第4電極は、前記厚さ方向に見て前記第2電極と重なる、請求項3に記載の半導体装置。

40

【請求項5】

第3半導体素子をさらに備え、  
 前記第3半導体素子は、前記配線層に対して前記厚さ方向の一方側に配置され、且つ前記配線層に導通し、  
 前記第3半導体素子は、前記厚さ方向に見て前記第1半導体素子と重なる、請求項3または4に記載の半導体装置。

【請求項6】

前記配線層は、第4配線および第5配線を含み、

50

前記第 3 半導体素子は、前記第 4 配線を介して前記第 3 電極に導通し、且つ前記第 5 配線を介して前記第 6 電極に導通する、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 半導体素子および前記第 2 半導体素子の各々は、スイッチング素子であり、  
 前記第 3 半導体素子は、制御素子であり、  
 前記第 1 電極および前記第 4 電極の各々は、ソースであり、  
 前記第 2 電極および前記第 5 電極の各々は、ドレインであり、  
 前記第 3 電極および前記第 6 電極の各々は、ゲートであり、  
 前記第 3 半導体素子は、前記厚さ方向の他方側を向く第 3 主面と、前記第 3 主面に形成された複数のパッドと、を有し、  
 前記複数のパッドは、前記第 4 配線および前記第 5 配線に導通するものを含む、請求項 6 に記載の半導体装置。

10

【請求項 8】

前記配線層は、第 6 配線、第 7 配線および第 8 配線を含み、  
 前記第 1 電極は、前記第 7 配線に導通し、  
 前記第 2 電極は、前記第 8 配線に導通し、  
 前記第 4 電極は、前記第 6 配線に導通し、  
 前記第 5 電極は、前記第 7 配線に導通する、請求項 2 に記載の半導体装置。

【請求項 9】

前記第 5 電極は、前記厚さ方向に見て前記第 1 電極と重なる、請求項 8 に記載の半導体装置。

20

【請求項 10】

第 3 半導体素子をさらに備え、  
 前記第 3 半導体素子は、前記配線層に対して前記厚さ方向の一方側に配置され、且つ前記配線層に導通し、  
 前記第 3 半導体素子は、前記厚さ方向に見て前記第 1 半導体素子と重なる、請求項 8 または 9 に記載の半導体装置。

【請求項 11】

前記配線層は、第 9 配線および第 10 配線を含み、  
 前記第 3 半導体素子は、前記第 9 配線を介して前記第 3 電極に導通し、且つ前記第 10 配線を介して前記第 6 電極に導通する、請求項 10 に記載の半導体装置。

30

【請求項 12】

前記第 1 半導体素子および前記第 2 半導体素子の各々は、スイッチング素子であり、  
 前記第 3 半導体素子は、制御素子であり、  
 前記第 1 電極および前記第 4 電極の各々は、ソースであり、  
 前記第 2 電極および前記第 5 電極の各々は、ドレインであり、  
 前記第 3 電極および前記第 6 電極の各々は、ゲートであり、  
 前記第 3 半導体素子は、前記厚さ方向の他方側を向く第 3 主面と、前記第 3 主面に形成された複数のパッドと、を有し、  
 前記複数のパッドは、前記第 9 配線および前記第 10 配線に導通するものを含む、請求項 11 に記載の半導体装置。

40

【請求項 13】

前記第 9 配線を介して前記第 3 電極に導通する前記パッドは、前記厚さ方向に見て、前記第 3 電極と重なる、請求項 12 に記載の半導体装置。

【請求項 14】

前記第 1 主面に対して前記厚さ方向の他方側に配置された複数の端子をさらに備え、  
 前記複数の端子は、前記第 1 半導体素子、前記第 2 半導体素子および前記第 3 半導体素子のいずれかに導通している、請求項 7 に記載の半導体装置。

【請求項 15】

前記配線層につながる複数の接続配線をさらに備え、

50

前記複数の接続配線は、複数の第1接続配線、複数の第2接続配線および複数の第3接続配線を含み、

前記複数の第1接続配線の各々は、前記厚さ方向において前記第1半導体素子と前記配線層との間に介在し、且つ前記第1電極、前記第2電極および前記第3電極のいずれかにつながり、

前記複数の第2接続配線の各々は、前記厚さ方向において前記第2半導体素子と前記配線層との間に介在し、且つ前記第4電極、前記第5電極および前記第6電極のいずれかにつながり、

前記複数の第3接続配線の各々は、前記厚さ方向において前記第3半導体素子と前記配線層との間に介在し、且つ前記複数のパッドのいずれかにつながる、請求項7に記載の半導体装置。

10

【請求項16】

前記第1半導体素子および前記第2半導体素子の少なくとも一部を覆う封止部をさらに備える、請求項2に記載の半導体装置。

【請求項17】

前記封止部は、第1封止部および第2封止部を含み、

前記第1封止部は、前記第1半導体素子の少なくとも一部を覆い、

前記第2封止部は、前記第1封止部に対して前記厚さ方向の一方側に配置され、且つ前記第2半導体素子の少なくとも一部を覆う、請求項16に記載の半導体装置。

【請求項18】

前記第1半導体素子は、前記厚さ方向において前記第1主面と離隔し、且つ前記厚さ方向の他方側を向く第1裏面を有し、

前記第2半導体素子は、前記厚さ方向において前記第2主面と離隔し、且つ前記厚さ方向の一方側を向く第2裏面を有し、

前記第1裏面は、前記第1封止部から露出しており、

前記第2裏面は、前記第2封止部から露出している、請求項17に記載の半導体装置。

20

【請求項19】

前記第1半導体素子は、スイッチング素子であり、

前記第2半導体素子は、制御素子であり、

前記第1電極は、ソースであり、

前記第2電極は、ドレインであり、

前記第3電極は、ゲートであり、

前記第2半導体素子は、前記配線層を介して前記第3電極に導通する、請求項1に記載の半導体装置。

30

40

50