

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月22日(22.02.2024)



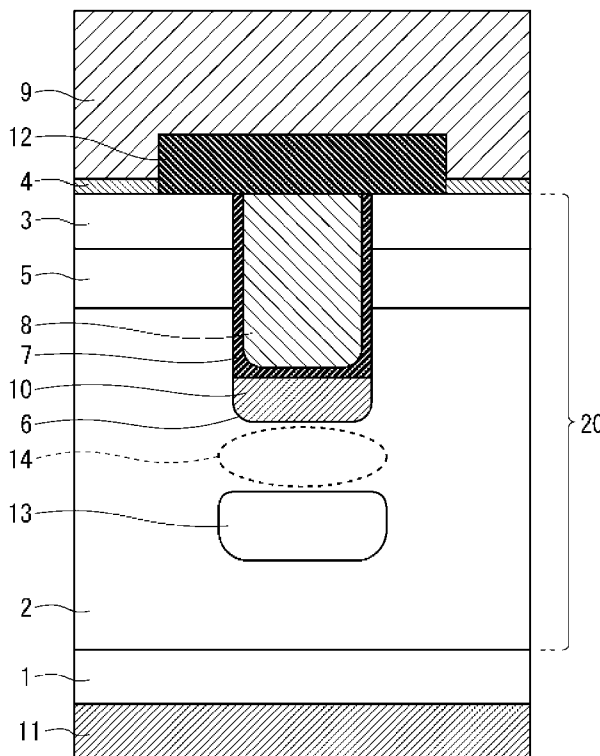
(10) 国際公開番号

WO 2024/038504 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
- (21) 国際出願番号: PCT/JP2022/030967
- (22) 国際出願日: 2022年8月16日(16.08.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:山城 祐介 (YAMASHIRO Yusuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小
- (74) 代理人:吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE, ELECTRIC POWER CONVERSION DEVICE, AND METHOD FOR PRODUCING SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置、電力変換装置および炭化珪素半導体装置の製造方法



(57) Abstract: This silicon carbide semiconductor device has, on the upper surface of a semiconductor layer (20), a trench (6) that passes through a source region (3) and a body region (5) and reaches a drift layer (2). On the bottom portion in the trench (6), a Schottky electrode (10) is formed. A gate insulation film (7) is formed so as to cover the side surface of the trench (6) and the upper surface of the Schottky electrode (10). On the gate insulation film (7), a gate electrode



WO 2024/038504 A1

LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(8) is formed so as to be embedded in the trench (6). Below the trench (6) in the drift layer (2), a protective region 13 is formed so as to be separate from the trench (6).

(57) 要約：炭化珪素半導体装置は、半導体層 (20) の上面に、ソース領域 (3) およびボディ領域 (5) を貫通してドリフト層 (2) に達するトレンチ (6) を有する。トレンチ (6) 内の底部には、ショットキー電極 (10) が形成されている。トレンチ (6) の側面およびショットキー電極 (10) の上面を覆うようにゲート絶縁膜 (7) が形成されている。ゲート絶縁膜 (7) 上には、トレンチ (6) 内に埋め込まれるようにゲート電極 (8) が形成されている。ドリフト層 (2) におけるトレンチ (6) の下方には、トレンチ (6) から離間して保護領域 13 が形成されている。

明 細 書

発明の名称：

炭化珪素半導体装置、電力変換装置および炭化珪素半導体装置の製造方法

技術分野

[0001] 本開示は、炭化珪素半導体装置および電力変換装置に関するものである。

背景技術

[0002] MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等のユニポーラ型のスイッチング素子を備える半導体装置に、ユニポーラ型の還流ダイオードとしてショットキーバリアダイオード (SBD : Schottky barrier diode) を内蔵させた電力制御用の半導体装置が知られている。当該半導体装置は、還流ダイオードを外付けする必要がないため、コストの低減に寄与できる。

[0003] 炭化珪素 (SiC) を母材として用いたMOSFETには、寄生pnダイオードのバイポーラ動作によるキャリアの再結合エネルギーに起因する結晶欠陥の拡張により、素子の信頼性が損なわれるという問題がある。上記の半導体装置では、MOSFETにショットキーバリアダイオードが内蔵されることで、寄生pnダイオードのバイポーラ動作を抑制できるというメリットもある。

[0004] MOSFETとしては、半導体層に形成されたトレンチ内にゲート電極が埋め込まれたトレンチゲート型のMOSFETと、半導体層の表面上にゲート電極が配置されたプレーナ型MOSFETとがある。トレンチゲート型のMOSFETは、トレンチの側壁にチャネルを形成できる分、プレーナ型MOSFETよりもチャネル幅密度を向上でき、オン抵抗を低減できる。

[0005] 例えば特許文献1には、トレンチゲート型MOSFETを備える半導体装置にショットキーバリアダイオードを内蔵させる方法として、ゲート電極が埋め込まれるトレンチの底部にショットキー電極を設けることで、当該トレンチの底部にショットキーバリアダイオードを形成する技術が開示されてい

る。この技術によれば、MOSFETセルとショットキーバリアダイオードセルとを並べて配置するよりもMOSFETセルのピッチを小さくできる。そのため、ショットキーバリアダイオードを内蔵させることによるオン抵抗の増加を抑制しつつ、MOSFETの寄生pnダイオードのバイポーラ動作を抑制することができる。

先行技術文献

特許文献

[0006] 特許文献1：特開2010-109221号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1の半導体装置のように、ゲート電極が埋め込まれるトレンチの底部にショットキーバリアダイオードを設ける場合、十分な耐圧を確保するために、ショットキー電極の厚さ（すなわち、深さ方向の長さ）は制限される。そのため、ショットキーバリアダイオードの面積を大きくできず、ショットキーバリアダイオードとMOSFETのドレイン電極との間の抵抗は高くなる。その結果、寄生pnダイオードのバイポーラ動作を抑制する効果が十分に得られないことがある。

[0008] 本開示は以上のような課題を解決するためになされたものであり、ゲート電極が埋め込まれるトレンチの底部にショットキーバリアダイオードを設けた構造の炭化珪素半導体装置において、耐圧の低下を抑制しつつ、ショットキーバリアダイオードの面積を大きくすることを目的とする。

課題を解決するための手段

[0009] 本開示に係る炭化珪素半導体装置は、炭化珪素からなる半導体層に形成された第1導電型のドリフト層と、前記半導体層の表層部に形成された第2導電型のボディ領域と、前記ボディ領域の表層部に形成された第1導電型のソース領域と、前記ソース領域および前記ボディ領域を貫通して前記ドリフト層に達するトレンチと、前記トレンチ内の底部に形成されたショットキー電

極と、前記トレンチの側面および前記ショットキー電極の上面を覆うゲート絶縁膜と、前記トレンチ内に埋め込まれるように、前記ゲート絶縁膜上に形成されたゲート電極と、前記ドリフト層における前記トレンチの下方に、前記トレンチから離間して形成された第2導電型の保護領域と、を備える。

発明の効果

[0010] 本開示に係る炭化珪素半導体装置によれば、保護領域によってトレンチ底部の電界集中が緩和されるため、ショットキー電極を厚くしても耐圧の低下は抑制される。また、保護領域はトレンチから離間しているため、保護領域によってショットキーバリアダイオードの面積が狭められることはない。よって、耐圧の低下を抑制しつつ、ショットキーバリアダイオードの面積を大きくすることができる。その結果、寄生pnダイオードのバイポーラ動作を抑制する効果が十分に得られる。

[0011] 本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

- [0012] [図1]実施の形態1に係る炭化珪素半導体装置の構成を示す縦断面図である。
[図2]実施の形態1に係る炭化珪素半導体装置の製造方法を示す縦断面図である。
[図3]実施の形態1に係る炭化珪素半導体装置の製造方法を示す縦断面図である。
[図4]実施の形態1に係る炭化珪素半導体装置の製造方法を示す縦断面図である。
[図5]実施の形態1に係る炭化珪素半導体装置の製造方法を示す縦断面図である。
[図6]実施の形態1に係る炭化珪素半導体装置の製造方法を示す縦断面図である。
[図7]実施の形態1に係る炭化珪素半導体装置の製造方法を示す縦断面図である。

[図8]実施の形態1に係る炭化珪素半導体装置の構成を示す平面図である。

[図9]実施の形態1に係る炭化珪素半導体装置の構成を示す縦断面図である。

[図10]実施の形態2に係る炭化珪素半導体装置の構成を示す縦断面図である。

。

[図11]実施の形態2に係る炭化珪素半導体装置の構成を示す縦断面図である。

。

[図12]実施の形態3に係る炭化珪素半導体装置の構成を示す平面図である。

[図13]実施の形態3に係る炭化珪素半導体装置の構成を示す縦断面図である。

。

[図14]実施の形態3に係る炭化珪素半導体装置の構成を示す縦断面図である。

。

[図15]実施の形態4に係る炭化珪素半導体装置の構成を示す縦断面図である。

。

[図16]実施の形態5に係る電力変換装置を適用した電力変換システムの構成を示すブロック図である。

発明を実施するための形態

[0013] 本開示に係る技術の実施の形態について説明する。以下の説明において、各領域の「不純物濃度」とは、その領域における不純物の最高値（ピーク値）を示すものとする。また、第1導電型をn型、第2導電型をp型として説明するが、それとは逆に、第1導電型をp型、第2導電型をn型としてもよい。

[0014] <実施の形態1>

図1は、実施の形態1に係る炭化珪素半導体装置の構成を示す縦断面図である。図1に示すように、実施の形態1に係る炭化珪素半導体装置は、炭化珪素からなる第1導電型（n型）の半導体基板1を用いて形成されている。ここでは、半導体基板1は、炭化珪素の結晶多形のうち六方晶系に属する4H-SiCであり、半導体基板1の表面は、(11-20)面に対して1度以上8度以下の角度で傾いているものとする。この傾きの角度は「オフ角」

と呼ばれる。

- [0015] 半導体基板 1 上には、炭化珪素からなる半導体層 20 が形成されている。この半導体層 20 は、不純物濃度が半導体基板 1 よりも低い第 1 導電型の炭化珪素をエピタキシャル成長させることによって形成される。
- [0016] ドリフト層 2 の表層部には、第 2 導電型のボディ領域 5 が形成されている。さらに、ボディ領域 5 の表層部には、第 1 導電型のソース領域 3 が形成されている。半導体層 20 おいて、ソース領域 3 およびボディ領域 5 が形成されずに残った第 1 導電型の領域は、ドリフト層 2 となる。つまり、ドリフト層 2 は、半導体基板 1 上に形成され、不純物濃度が半導体基板 1 よりも低い第 1 導電型の半導体領域である。また、ボディ領域 5 は、ドリフト層 2 上に形成された第 2 導電型の半導体領域である。ソース領域 3 は、ボディ領域 5 上に形成された第 1 導電型の半導体領域である。
- [0017] 半導体層 20 の上面には、ソース領域 3 およびボディ領域 5 を貫通してドリフト層 2 に達するトレンチ 6 が形成されている。トレンチ 6 は、平面視で、半導体層 20 の $\langle 11-20 \rangle$ 方向に伸びるストライプ状（すなわち等間隔に並ぶ複数のライン状）に形成されている。
- [0018] トレンチ 6 の底部には、ショットキー電極 10 が形成されている。ショットキー電極 10 は、トレンチ 6 の少なくとも底面でドリフト層 2 に接しており、ドリフト層 2 との間でショットキーコンタクトを形成する。ここでは、ショットキー電極 10 は、Ti あるいは Mo を含む金属膜または金属シリサイドとした。ショットキー電極 10 は、図 1 では不図示の領域で、ソース電極 9 と接続されている。
- [0019] トレンチ 6 の側面およびショットキー電極 10 の上面は、ゲート絶縁膜 7 で覆われている。ゲート絶縁膜 7 の上には、ゲート電極 8 が、トレンチ 6 に埋め込まれるように形成されている。ゲート電極 8 は、ゲート絶縁膜 7 を介して、ソース領域 3、ボディ領域 5 およびドリフト層 2 に面している。ショットキー電極 10 とゲート電極 8 との間は、ゲート絶縁膜 7 によって絶縁されている。

- [0020] 半導体層 20 上には、トレンチ 6 内のゲート電極 8 を覆うように層間絶縁膜 12 が形成されている。層間絶縁膜 12 には、ソース領域 3 に達するコンタクトホールが形成されており、コンタクトホールの底に露出したソース領域 3 上にソースコンタクト電極 4 が形成されている。ソースコンタクト電極 4 は、Ni や Ti 等の金属とソース領域 3 とが反応して形成されたシリサイドであり、ソース領域 3 との間でオーミックコンタクトを形成する。
- [0021] 層間絶縁膜 12 の上には、ソース電極 9 が形成されている。ソース電極 9 は、コンタクトホールを通してソースコンタクト電極 4 に接続している。よって、ソース電極 9 は、ソースコンタクト電極 4 を介してソース領域 3 と電氣的に接続される。
- [0022] また、半導体基板 1 の裏面にはドレイン電極 11 が形成されている。ドレイン電極 11 は、半導体基板 1 と電氣的に接続されている。
- [0023] 図示は省略するが、ボディ領域 5 の表層部の一部に、ソースコンタクト電極 4 に接し、ボディ領域 5 よりも不純物濃度が高い第 2 導電型の「ウェルコンタクト領域」が形成されてもよい。ウェルコンタクト領域は、ソースコンタクト電極 4 との間でオーミックコンタクトを形成し、ソースコンタクト電極 4 とボディ領域 5 との間を低抵抗で電氣的に接続するように機能する。
- [0024] ドリフト層 2 の第 1 導電型の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下が好ましく、炭化珪素半導体装置に求められる耐圧等に基づいて設定される。ボディ領域 5 の第 2 導電型の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下が好ましい。ソース領域 3 の第 1 導電型の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上、 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下が好ましい。また、ウェルコンタクト領域（不図示）の第 2 導電型の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上、 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下が好ましい。
- [0025] 実施の形態 1 に係る炭化珪素半導体装置では、ドリフト層 2 におけるトレンチ 6 の下方に第 2 導電型の保護領域 13 が形成されている。保護領域 13 の不純物濃度は、ボディ領域 5 の不純物濃度の 0.2 倍以上、2 倍以下であ

ることが好ましい。

[0026] 保護領域13は、トレンチ6から離間している。よって、保護領域13とトレンチ6の底部との間には、ドリフト層2の一部である第1導電型の半導体領域が存在する。以下、この領域を「離間領域14」と称す。

[0027] 図1に示す炭化珪素半導体装置の動作について簡単に説明する。ゲート電極8に閾値電圧以上の電圧が印加されると、ボディ領域5において、導電型が反転したチャネル、すなわち第1導電型のチャネルがトレンチ6の側面に沿って形成される。それにより、ソース電極9からドレイン電極11までの間に同一導電型の電流経路が形成され、その電流経路に電流が流れる。このようにゲート電極8に閾値電圧以上の電圧が印加された状態が、炭化珪素半導体装置のオン状態となる。また、ゲート電極8に閾値電圧未満の電圧が印加されると、ボディ領域5にはチャネルが形成されず、オン状態の場合のような電流経路は形成されない。そのため、ドレイン電極11とソース電極9との間に電圧が印加されても、ドレイン電極11からソース電極9へは電流がほとんど流れない。このようにゲート電極8の電圧が閾値電圧以下の状態が、炭化珪素半導体装置のオフ状態となる。ゲート電極8に印加する電圧を制御することによって、炭化珪素半導体装置のオン状態とオフ状態とが切り換わる。

[0028] 炭化珪素半導体装置のオフ状態において、ショットキー電極10が構成するショットキーバリアダイオードに順方向電圧が印加されると、ショットキー電極10とドレイン電極11との間にユニポーラ電流が流れる。この順方向電圧を上げていくと、しばらくはユニポーラ電流が増加するが、ソース電極9とドレイン電極11との電位差がある値に達すると、ボディ領域5とドレイン電極11との間および保護領域13とドレイン電極11との間に、ボディ領域5とドリフト層2との間のpn接合および保護領域13とドリフト層2との間のpn接合に由来したバイポーラ電流が流れる。バイポーラ電流が流れ始める直前に流すことができるユニポーラ電流を「最大ユニポーラ電流」と称す。

- [0029] 最大ユニポーラ電流の大きさは、ボディ領域5とドリフト層2との間のpn接合や、保護領域13とドリフト層2との間のpn接合、ドリフト層2に生じる電位差によって影響される。ユニポーラ電流の流れる経路を確保して、最大ユニポーラ電流を高く維持することでできれば、寄生pnダイオードのバイポーラ動作を抑制する効果を十分に得ることができる。
- [0030] 図2から図7は、実施の形態1に係る炭化珪素半導体装置の製造方法の各工程を示す縦断面図である。以下、これらの図を参照しつつ、実施の形態1に係る炭化珪素半導体装置の製造方法を説明する。
- [0031] まず、炭化珪素半導体からなる第1導電型のドリフト層2が形成された半導体基板1を用意する。具体的には、炭化珪素からなる第1導電型の半導体基板1上に、第1導電型のドリフト層2をエピタキシャル成長法によって形成する。そして、図2のように、半導体層20の表層部にソース領域3およびボディ領域5を、それぞれイオン注入によって形成する。半導体層20において、ソース領域3およびボディ領域5が形成されずに残った第1導電型の領域が、ドリフト層2となる。図示は省略するが、マスクを用いた選択的なイオン注入などにより、ボディ領域5の表層部に、ボディ領域5よりも第2導電型の不純物濃度が高いウェルコンタクト領域を形成してもよい。
- [0032] 上記の工程で、第1導電型領域を形成するときは、ドナーとして例えばNやP等のイオンが注入され、第2導電型領域を形成するときは、アクセプタとして例えばA1やB等のイオンが注入される。なお、上記の各領域を形成する順序は問わない。また、それらの領域の全部または一部は、イオン注入ではなくエピタキシャル成長によって形成されてもよい。
- [0033] 次に、反応性イオンエッチング（RIE）またはドライエッチングによって、図3のように、半導体層20の表面からソース領域3およびボディ領域5を貫通してドリフト層2に達するトレンチ6を形成する。
- [0034] 続いて、トレンチ6の底面へのイオン注入によって、図4のように、ドリフト層2におけるトレンチ6の下方に、第2導電型の保護領域13を形成する。保護領域13は、トレンチ6から離間して形成される。保護領域13と

トレンチ6との間に第1導電型の領域が、離間領域14となる。保護領域13および離間領域14も、イオン注入ではなくエピタキシャル成長によって形成してもよい。

[0035] その後、半導体層20に注入した不純物を電氣的に活性化させるための熱処理を行う。この熱処理は、アルゴンまたは窒素等の不活性ガス雰囲気、若しくは、真空中で、1500℃以上、2200℃以下の温度、0.5分以上、60分以下の時間で行うとよい。また、この熱処理は、半導体層20の表面を炭素からなる保護膜で覆った状態で行ってもよい。その場合、熱処理装置内の残留水分や残留酸素との反応によるエッチングで半導体層20の表面が荒れることを抑止できる。

[0036] その後、図5のように、トレンチ6内の底部に、ドリフト層2と接するショットキー電極10を形成する。そして、図6のように、トレンチ6の側面およびショットキー電極10の上面を覆うようにゲート絶縁膜7を形成し、ゲート絶縁膜7の上に、トレンチ6に埋め込まれるようにゲート絶縁膜7を形成する。

[0037] その後、半導体層20上に、ゲート電極8を覆うように層間絶縁膜12を形成する。そして、レジストマスク等を用いた選択的なエッチング等により、層間絶縁膜12にソース領域3に達するコンタクトホールを形成する。そして、図6のように、当該コンタクトホールの底に露出したソース領域3上にソースコンタクト電極4を形成する。上の工程でウェルコンタクト領域を形成した場合、コンタクトホールおよびソースコンタクト電極4は、ウェルコンタクト領域上にも形成される。

[0038] ソースコンタクト電極4の形成方法としては、コンタクトホール内の含む層間絶縁膜12上の全面にNiを主成分とする金属膜を成膜し、600℃以上、1100℃以下の熱処理により金属膜を炭化珪素半導体と反応させて、ソースコンタクト電極4となるシリサイド膜を形成し、その後、層間絶縁膜12上の未反応の金属膜をウェットエッチングにより除去する、という方法が挙げられる。層間絶縁膜12上の未反応の金属膜を除去した後に、再度の

熱処理を行ってもよい。再度の熱処理を先の熱処理よりも高温で行うことで、コンタクト抵抗のより低いオーミックコンタクトが形成される。

[0039] その後、層間絶縁膜 12 上に、コンタクトホールを通してソースコンタクト電極 4 に接続するソース電極 9 を形成し、さらに、半導体基板 1 の裏面にドレイン電極 11 を形成することで、図 1 に示した構造の炭化珪素半導体装置が得られる。

[0040] 図 8 は、実施の形態 1 に係る炭化珪素半導体装置の構成を示す平面図である。図 8 においては、ソースコンタクト電極 4、ソース電極 9 および層間絶縁膜 12 の図示が省略されており、半導体層 20 の上面の構成が示されている。なお、ゲート電極 8 は、化学堆積法で形成することができ、ショットキー電極 10、ソース電極 9 およびドレイン電極 11 は、スパッタ法などの物理蒸着法で形成することができる。

[0041] 図 8 において〈11-20〉方向に垂直な A1-A2 線に沿った縦断面図は、図 1 に対応する。〈11-20〉と平行な B1-B2 線に沿った縦断面図を、図 9 に示す。図 9 のように、ショットキー電極 10 の一部は、ゲート電極 8 に設けられた開口を通して半導体層 20 の上面に引き出されている。なお、ゲート絶縁膜 7 は、ゲート電極 8 に設けられた開口内のショットキー電極 10 の側面にも形成されており、それにより、ゲート電極 8 とショットキー電極 10 との絶縁は確保されている。また、ソース電極 9 は、層間絶縁膜 12 に形成されたコンタクトホールを通して、半導体層 20 の上面に引き出されたショットキー電極 10 に接続されている。

[0042] あるいは、ショットキー電極 10 をトレンチ 6 の底部のみに形成し、ゲート電極 8 に設けられた開口内に、絶縁膜を介してソース電極 9 の一部を埋め込むことで、ソース電極 9 とショットキー電極 10 とを接続させてもよい。

[0043] 実施の形態 1 に係る炭化珪素半導体装置では、ショットキー電極 10 が、ゲート電極 8 が埋め込まれるトレンチ 6 の底部に配置されるため、図 1 の横方向において、ショットキー電極 10 を設ける領域を広くとる必要がない。それにより、チップ面積を小さくして、チップコストを安くすることができ

る。

- [0044] また、ショットキー電極10の下方に保護領域13が設けられることで、トレンチ6の底部の電界集中が緩和される。それにより、ショットキーバリアダイオードの面積（つまり、ショットキー電極10とドリフト層2との接触面積）を大きくするためにショットキー電極10を厚くしても耐圧の低下は抑制される。
- [0045] さらに、保護領域13が、トレンチ6から離間しているため、保護領域13によってショットキーバリアダイオードの面積が狭められることはない。よって、ショットキー電極10からドレイン電極11へ流れるユニポーラ電流の経路が確保され、最大ユニポーラ電流が高く維持される。それにより、寄生pnダイオードのバイポーラ動作を抑制する効果が十分に得られる。
- [0046] 以上より、実施の形態1に係る炭化珪素半導体装置によれば、耐圧の低下を抑制しつつ、ショットキーバリアダイオードの面積を大きくすることができる。その結果、寄生pnダイオードのバイポーラ動作を抑制する効果が十分に得られ、炭化珪素半導体装置の信頼性が向上する。
- [0047] なお、トレンチ6の下に離間領域14が存在することで、ドレイン電極11に高電圧が印加されたときにトレンチ6の底の角部の電界が高くなるおそれがあるが、トレンチ6の底部にショットキー電極10が形成されているため、ドレイン電極11からゲート絶縁膜7を介してゲート電極8へ流れるリーク電流は抑制される。
- [0048] また、ショットキー電極10の幅（短手方向の長さ）を、ショットキー電極10の厚さ（トレンチ6の深さ方向の長さ）よりも大きくしてもよい。すなわち、図1のように、ショットキー電極10の幅を w 、ショットキー電極10の厚さを h とすると、 $w > h$ の関係となるようにしてもよい。その場合、離間領域14を設けたことによるショットキーバリアダイオードの面積の増加率が大きくなり、離間領域14による最大ユニポーラ電流の増加効果が高くなる。
- [0049] 保護領域13は、ソース電極9およびソース領域3と電氣的に接続させて

もよいし、電氣的にフローティングでもよい。保護領域 13 の電位をフローティングにした場合、保護領域 13 とドレイン電極 11 との間にバイポーラ電流が流れなくなるため、最大ユニポーラ電流を増加させることができる。

[0050] また、複数の保護領域 13 のうちの一部を電氣的にフローティングとし、他の一部をソース電極 9 およびソース領域 3 と電氣的に接続させてもよい。この場合、チップの端部などバイポーラ電流が流れやすい領域に配置される保護領域 13 をフローティング電位にし、活性領域の中央部などオフ時のリーク電流が発生しやすい領域に配置される保護領域 13 をソース電位にすると、バイポーラ電流を抑制しつつ耐圧を向上させることができる。

[0051] <実施の形態 2>

図 10 は、実施の形態 2 に係る炭化珪素半導体装置の構成を示す縦断面図である。図 10 に示す炭化珪素半導体装置の構成は、図 1 の構成に対し、トレンチ 6 と保護領域 13 との間に、ドリフト層 2 よりも不純物濃度が高い第 1 導電型の低抵抗領域 15 を設けたものである。その他の構成要素は図 1 と同様であるため、ここではそれらの説明は省略する。

[0052] トレンチ 6 と保護領域 13 との間に低抵抗領域 15 が設けられることで、ショットキー電極 10 からドレイン電極 11 へ流れるユニポーラ電流の経路の抵抗が小さくなるため、実施の形態 1 よりもさらに最大ユニポーラ電流を増加させることができる。

[0053] 低抵抗領域 15 は、ショットキー電極 10 と接するように形成されてもよい。例えば図 11 のように、低抵抗領域 15 がショットキー電極 10 の底面および側面に接するようにすれば、ショットキー電極 10 の底および側面からドレイン電極 11 へ流れるユニポーラ電流の電流経路の抵抗を小さくできる。

[0054] <実施の形態 3>

図 12 は、実施の形態 3 に係る炭化珪素半導体装置の構成を示す平面図であり、実施の形態 1 で示した図 8 に対応している。図 12 において、〈11-20〉方向に垂直な A1-A2 線に沿った縦断面図は、図 1 と同様である

。〈11-20〉と平行なB1-B2の縦断面図を、図13に示す。また、〈11-20〉方向と垂直なC1-C2線に沿った縦断面図を、図14に示す。

[0055] 実施の形態3では、図12のように、トレンチ6の側面には、局所的に凹んだ箇所が設けられている。つまり、トレンチ6は、局所的に幅の広い箇所を有している。ショットキー電極10は、図14のように、トレンチ6の側面が凹んだ箇所でも半導体層20の上面に引き出され、ソースコンタクト電極4に接続している。そのため、ゲート電極8には、実施の形態1で図8および図9に示したような開口を設ける必要がない。よって、図12および図13のように、ゲート電極8のそれぞれを連続的なライン状にすることができる。

[0056] 図8および図9に示したゲート電極8は、ショットキー電極10を引き出すための開口によって断線するため、ショットキー電極10の引き出し箇所を設ける位置や数に制約がある。それに対し、実施の形態3では、ゲート電極8のそれぞれを連続的なライン状にできるため、ショットキー電極10の引き出し箇所を任意の位置に配置できる。例えば、ゲート電極8のそれぞれにショットキー電極10の引き出し箇所を複数設けることもできる。

[0057] <実施の形態4>

図15は、実施の形態4に係る炭化珪素半導体装置の構成を示す平面図であり、図8に示したB1-B2の縦断面図に対応する。

[0058] 保護領域13を電氣的にフローティングとした場合、保護領域13の平面形状の多様化が可能になる。例えば図15に示すように、トレンチ6の下方に島状の保護領域13を複数個並べて配置してもよい。図15の構成では、島状の保護領域13は互いに離間しているため、図8のように保護領域13が連続的な場合に比べ、ショットキー電極10からドレイン電極11へ流れるユニポーラ電流の経路が広がり、最大ユニポーラ電流を増加させることができる。

[0059] また、複数の保護領域13のうちの一部を電氣的にフローティングとし、

他の一部をソース電極 9 およびソース領域 3 と電氣的に接続させる場合には、電氣的にフローティングな保護領域 13 を、それぞれ島状に形成してもよい。

[0060] <実施の形態 5 >

本実施の形態は、上述した実施の形態 1 から 4 に係る炭化珪素半導体装置を電力変換装置に適用したものである。実施の形態 1 から 4 に係る炭化珪素半導体装置の適用は特定の電力変換装置に限定されるものではないが、以下、実施の形態 5 として、三相のインバータに実施の形態 1 から 4 に係る炭化珪素半導体装置を適用した場合について説明する。

[0061] 図 16 は、本実施の形態に係る電力変換装置を適用した電力変換システムの構成を示すブロック図である。

[0062] 図 16 に示す電力変換システムは、電源 100、電力変換装置 200、負荷 300 から構成される。電源 100 は、直流電源であり、電力変換装置 200 に直流電力を供給する。電源 100 は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路や AC/DC コンバータで構成することとしてもよい。また、電源 100 を、直流系統から出力される直流電力を所定の電力に変換する DC/DC コンバータによって構成することとしてもよい。

[0063] 電力変換装置 200 は、電源 100 と負荷 300 の間に接続された三相のインバータであり、電源 100 から供給された直流電力を交流電力に変換し、負荷 300 に交流電力を供給する。電力変換装置 200 は、図 16 に示すように、直流電力を交流電力に変換して出力する主変換回路 201 と、主変換回路 201 の各スイッチング素子を駆動する駆動信号を出力する駆動回路 202 と、駆動回路 202 を制御する制御信号を駆動回路 202 に出力する制御回路 203 とを備えている。

[0064] 負荷 300 は、電力変換装置 200 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 300 は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド

自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

[0065] 以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子と還流ダイオードを備えており（図示せず）、スイッチング素子がスイッチングすることによって、電源100から供給される直流電力を交流電力に変換し、負荷300に供給する。主変換回路201の具体的な回路構成は種々のものがあるが、本実施の形態に係る主変換回路201は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードから構成することができる。主変換回路201の各スイッチング素子および各還流ダイオードには、上述した実施の形態1から4のいずれかに係る炭化珪素半導体装置を適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相、W相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

[0066] 駆動回路202は、主変換回路201のスイッチング素子を駆動する駆動信号を生成し、主変換回路201のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路203からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

[0067] 制御回路203は、負荷300に所望の電力が供給されるよう主変換回路201のスイッチング素子を制御する。具体的には、負荷300に供給すべき電力に基づいて主変換回路201の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって主変換回路201を制

御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路202に制御指令（制御信号）を出力する。駆動回路202は、この制御信号に従い、各スイッチング素子の制御電極にオン信号またはオフ信号を駆動信号として出力する。

[0068] 本実施の形態に係る電力変換装置では、主変換回路201のスイッチング素子として実施の形態1から4に係る炭化珪素半導体装置を適用するため、信頼性向上を実現することができる。

[0069] 本実施の形態では、2レベルの三相インバータに実施の形態1から4に係る炭化珪素半導体装置を適用する例を説明したが、実施の形態1から4に係る炭化珪素半導体装置の適用は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置としたが3レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに実施の形態1から4に係る炭化珪素半導体装置を適用しても構わない。また、直流負荷等に電力を供給する場合にはDC/DCコンバータやAC/DCコンバータに実施の形態1から4に係る炭化珪素半導体装置を適用することも可能である。

[0070] また、実施の形態1から4に係る炭化珪素半導体装置を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、または誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

[0071] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変換、省略したりすることが可能である。

[0072] 上記した説明は、すべての態様において、例示であって、例示されていない無数の変形例が想定され得るものと解される。

符号の説明

[0073] 1 半導体基板、2 ドリフト層、3 ソース領域、4 ソースコンタク

ト電極、5 ボディ領域、6 トレンチ、7 ゲート絶縁膜、8 ゲート電極、9 ソース電極、10 ショットキー電極、11 ドレイン電極、12 層間絶縁膜、13 保護領域、14 離間領域、15 低抵抗領域、20 半導体層、100 電源、200 電力変換装置、201 主変換回路、202 駆動回路、203 制御回路、300 負荷。

請求の範囲

- [請求項1] 炭化珪素からなる半導体層に形成された第1導電型のドリフト層と、
、
前記半導体層の表層部に形成された第2導電型のボディ領域と、
前記ボディ領域の表層部に形成された第1導電型のソース領域と、
前記ソース領域および前記ボディ領域を貫通して前記ドリフト層に達するトレンチと、
前記トレンチ内の底部に形成されたショットキー電極と、
前記トレンチの側面および前記ショットキー電極の上面を覆うゲート絶縁膜と、
前記トレンチ内に埋め込まれるように、前記ゲート絶縁膜上に形成されたゲート電極と、
前記ドリフト層における前記トレンチの下方に、前記トレンチから離間して形成された第2導電型の保護領域と、
を備える炭化珪素半導体装置。
- [請求項2] 前記ショットキー電極の幅は、前記ショットキー電極の厚さよりも大きい、
請求項1に記載の炭化珪素半導体装置。
- [請求項3] 前記保護領域の不純物濃度は、前記ボディ領域の不純物濃度の0.2倍以上、2倍以下である、
請求項1または請求項2に記載の炭化珪素半導体装置。
- [請求項4] 前記保護領域は、電氣的にフローティングである、
請求項1から請求項3のいずれか一項に記載の炭化珪素半導体装置。
- [請求項5] 前記トレンチの下方に、島状の前記保護領域が複数並べて形成されている、
請求項4に記載の炭化珪素半導体装置。
- [請求項6] 前記トレンチおよび前記保護領域を複数備え、
複数の前記保護領域のうちの一部は電氣的にフローティングであり

、他の一部は前記ソース領域と電氣的に接続している、
請求項 1 から請求項 3 のいずれか一項に記載の炭化珪素半導体装置。

[請求項7] 複数の前記保護領域のうち電氣的にフローティングな前記保護領域は、それぞれ島状に形成されている、
請求項 6 に記載の炭化珪素半導体装置。

[請求項8] 前記トレンチと前記保護領域との間に、前記ドリフト層よりも不純物濃度が高い第 1 導電型の低抵抗領域が形成されている、
請求項 1 から請求項 7 のいずれか一項に記載の炭化珪素半導体装置。

[請求項9] 前記低抵抗領域は、前記ショットキー電極に接している、
請求項 8 に記載の炭化珪素半導体装置。

[請求項10] 請求項 1 から請求項 9 のいずれか一項に記載の炭化珪素半導体装置を有し、入力される電力を変換して出力する主変換回路と、
前記炭化珪素半導体装置を駆動する駆動信号を前記炭化珪素半導体装置に出力する駆動回路と、
前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、
を備えた電力変換装置。

[請求項11] 炭化珪素からなる半導体層に第 1 導電型のドリフト層を形成する工程と、
前記半導体層の表層部に第 2 導電型のボディ領域を形成する工程と、
、
前記ボディ領域の表層部に第 1 導電型のソース領域を形成する工程と、
前記ソース領域および前記ボディ領域を貫通して前記ドリフト層に達するトレンチを形成する工程と、
前記ドリフト層における前記トレンチの下方に、前記トレンチから離間して第 2 導電型の保護領域を形成する工程と、
前記トレンチ内の底部にショットキー電極を形成する工程と、

前記トレンチの側面および前記ショットキー電極の上面を覆うゲート絶縁膜を形成する工程と、

前記トレンチに埋め込まれるように、前記ゲート絶縁膜上にゲート電極を形成する工程と、

を備える炭化珪素半導体装置の製造方法。

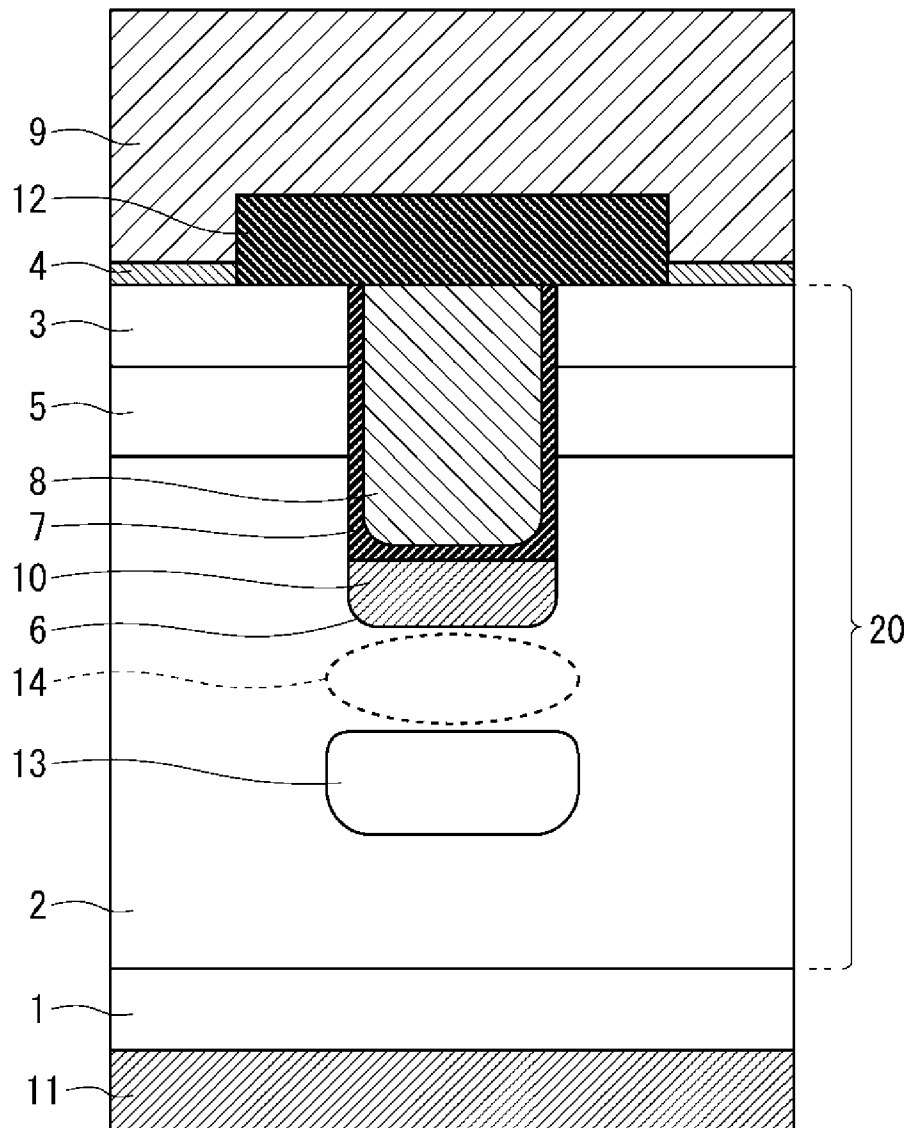
[請求項12]

前記ショットキー電極を形成する工程は、物理蒸着法で行われ、

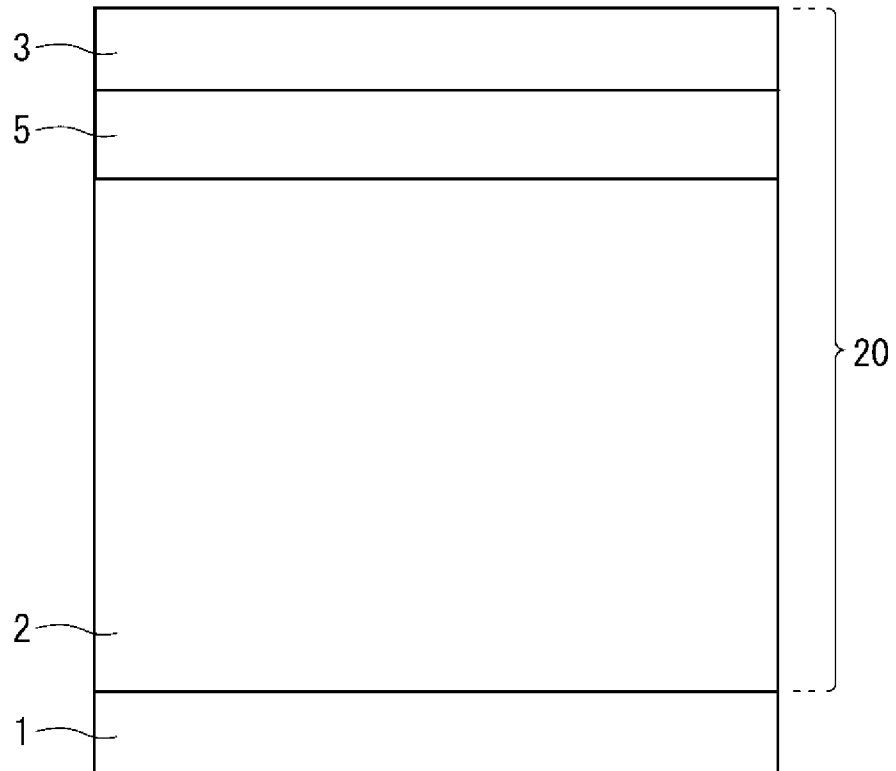
前記ゲート電極を形成する工程は、化学堆積法で行われる、

請求項11に記載の炭化珪素半導体装置の製造方法。

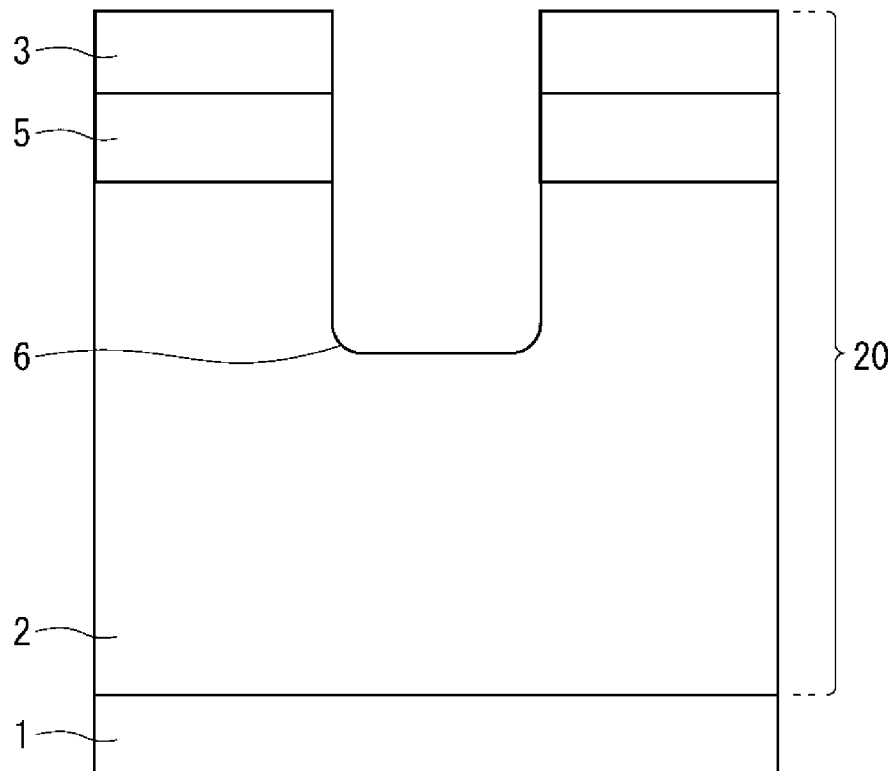
[図1]



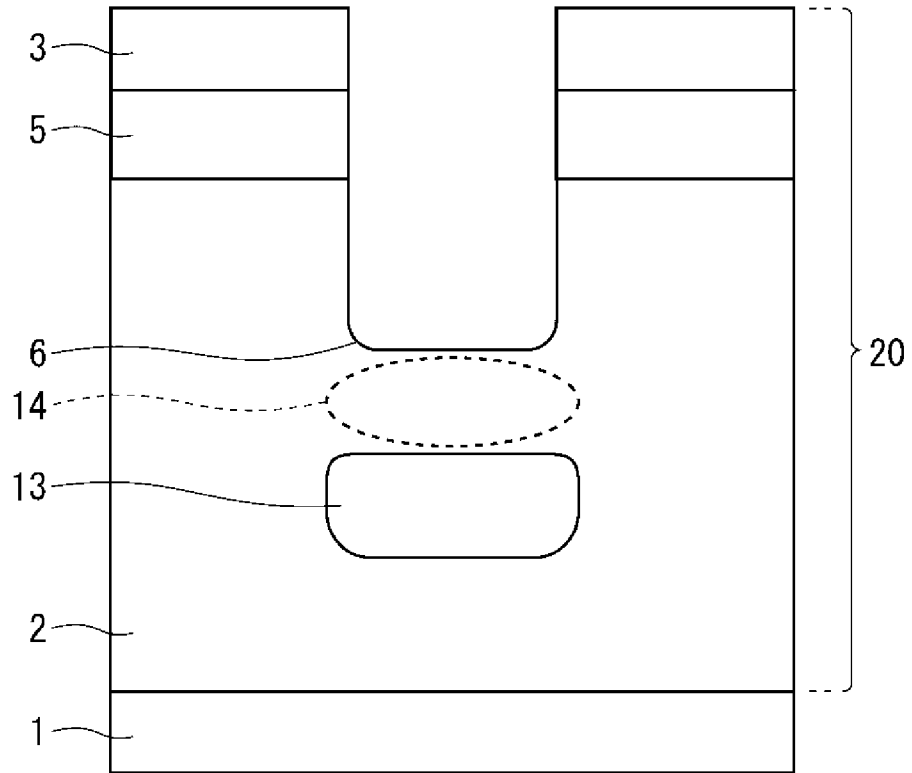
[図2]



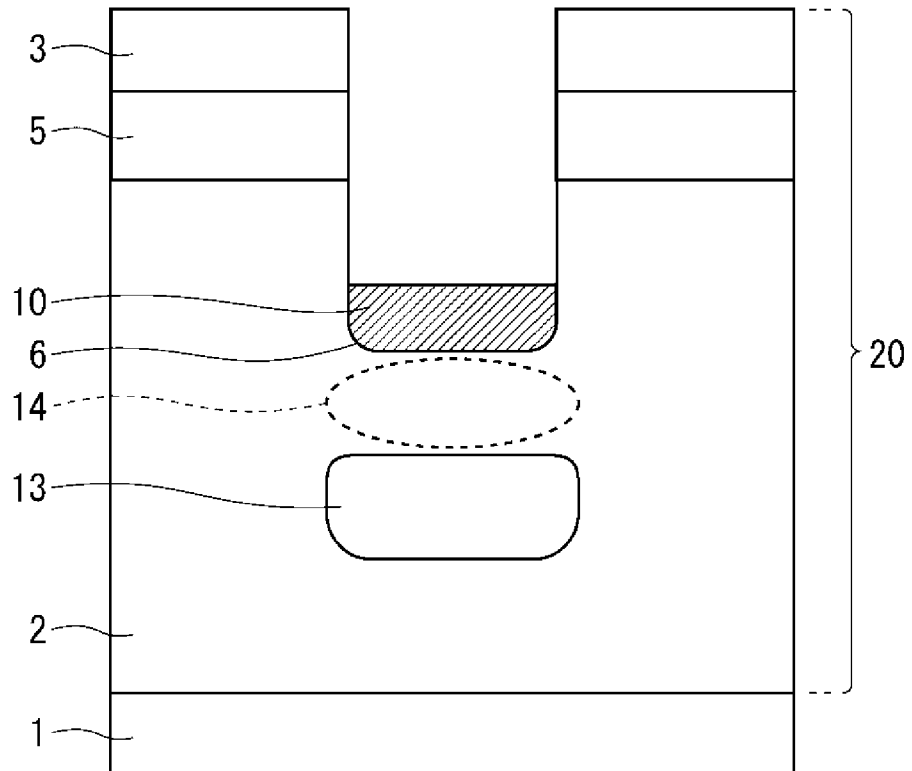
[図3]



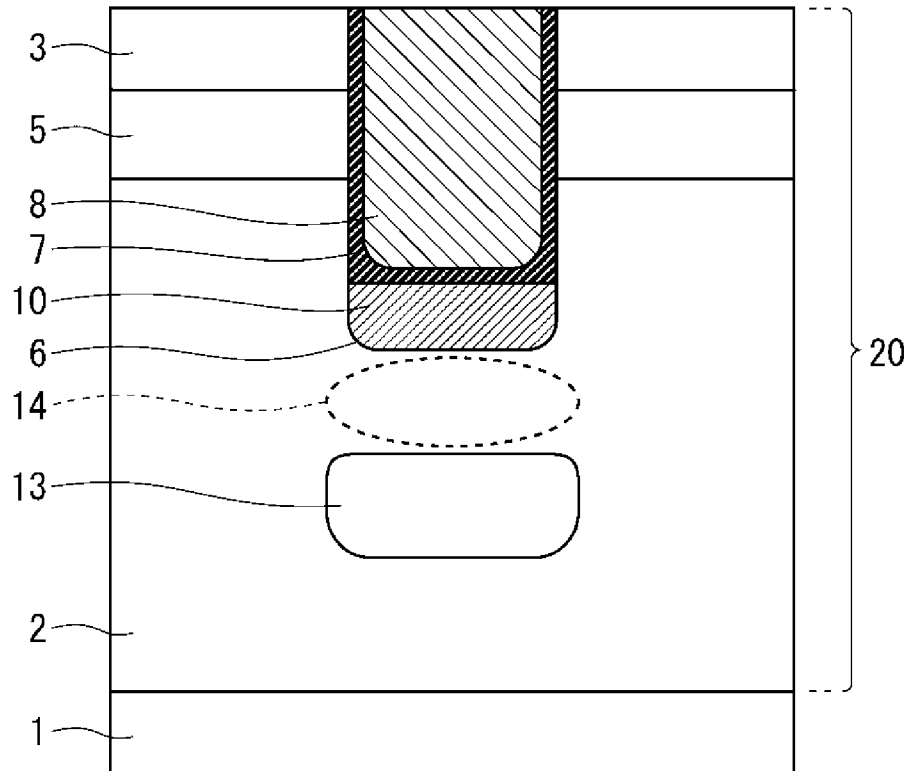
[図4]



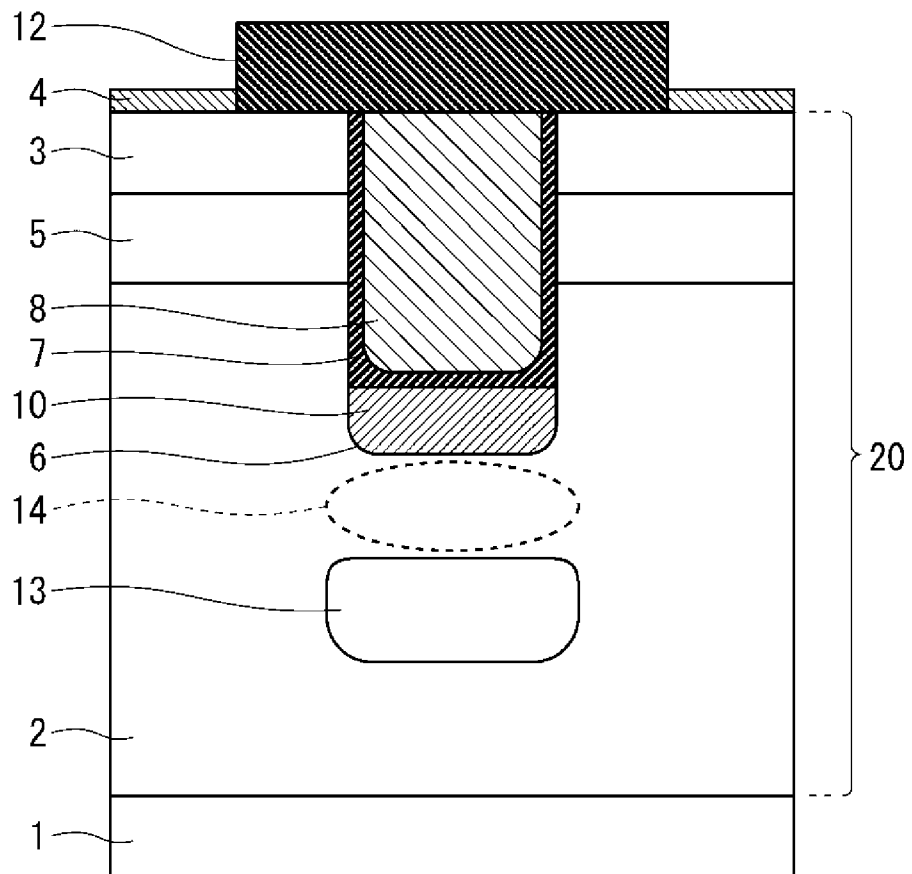
[図5]



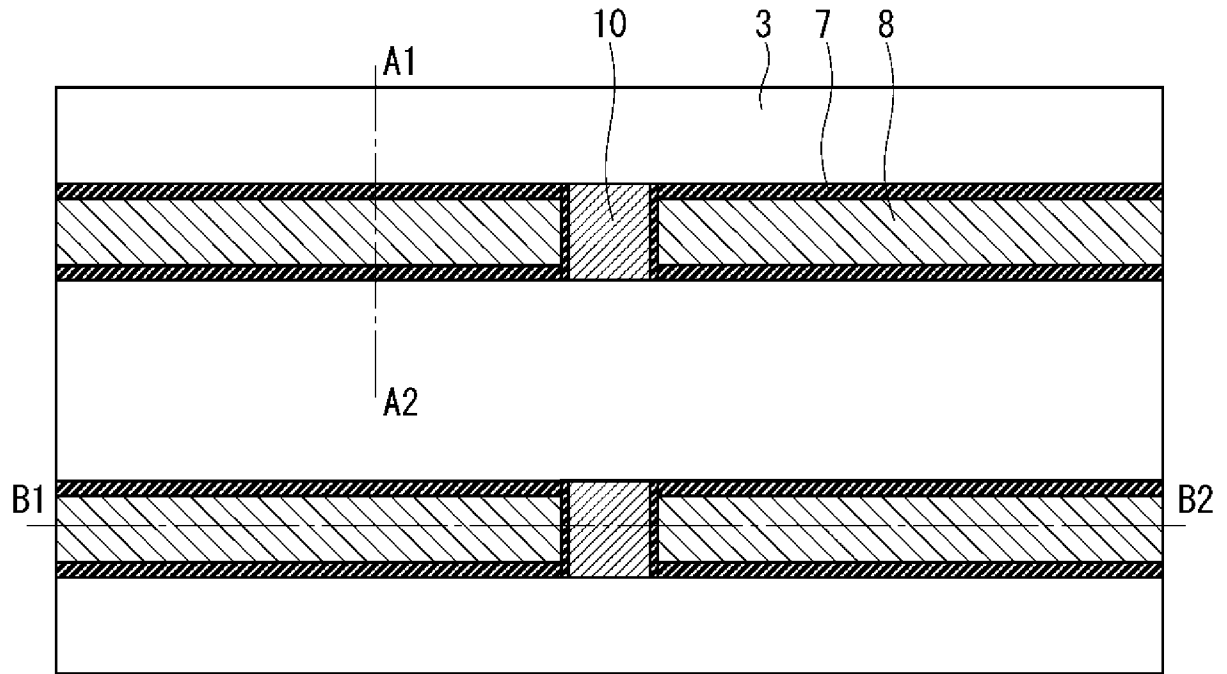
[図6]



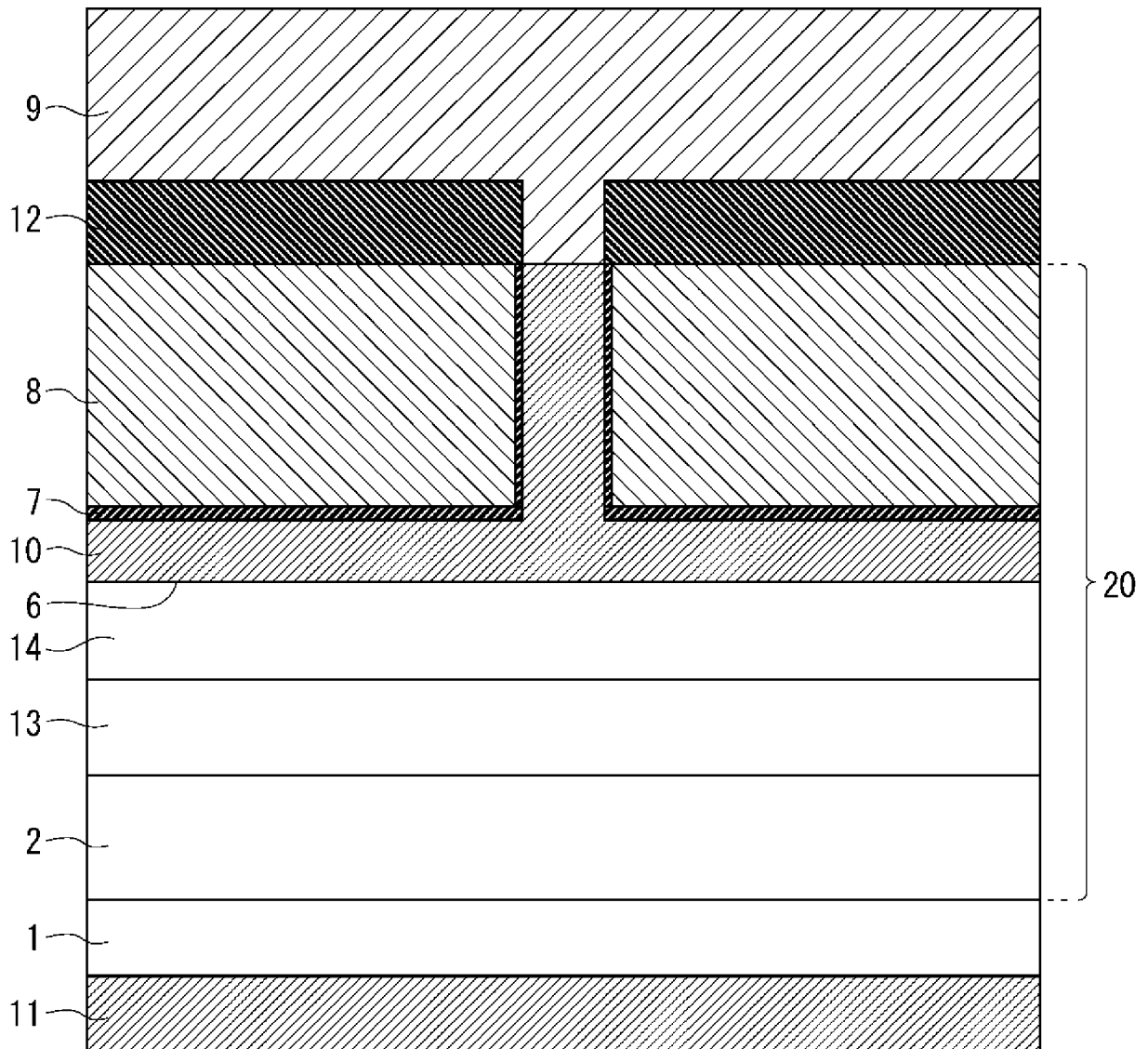
[図7]



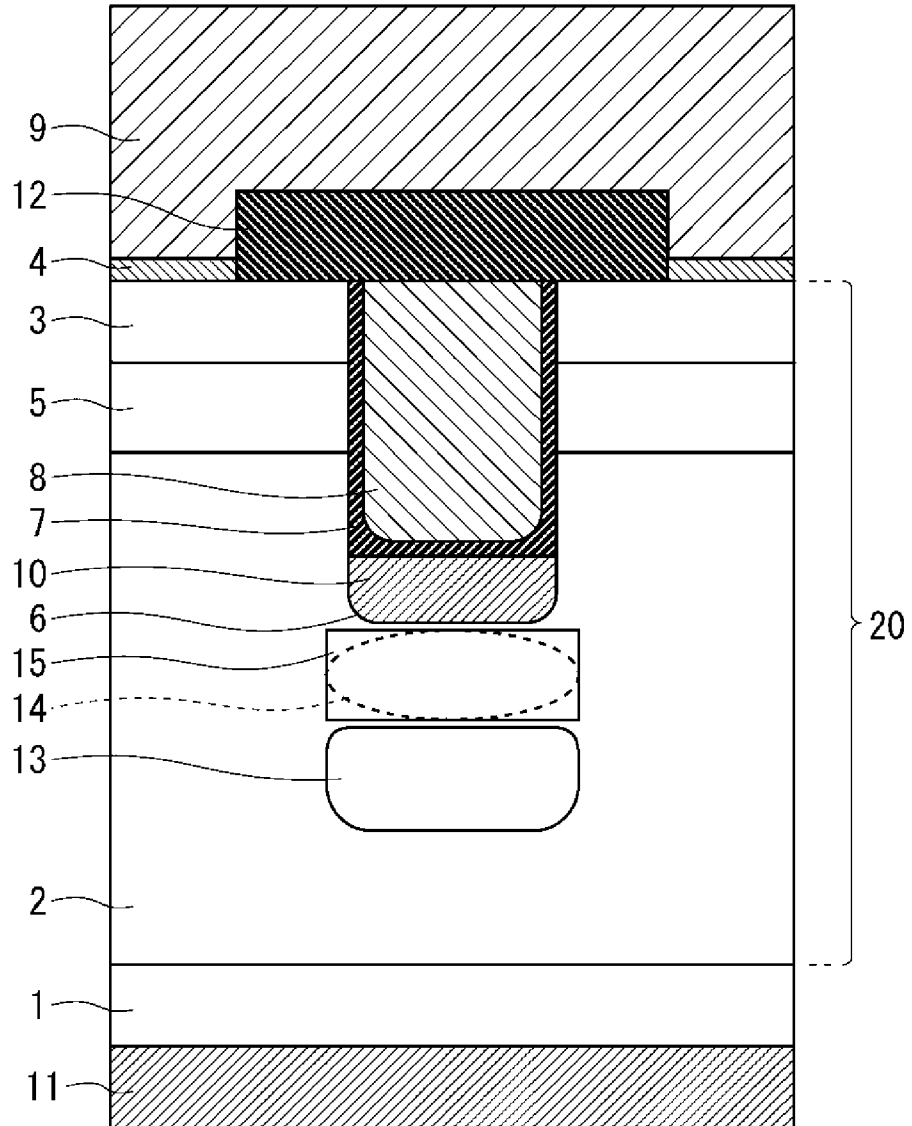
[図8]



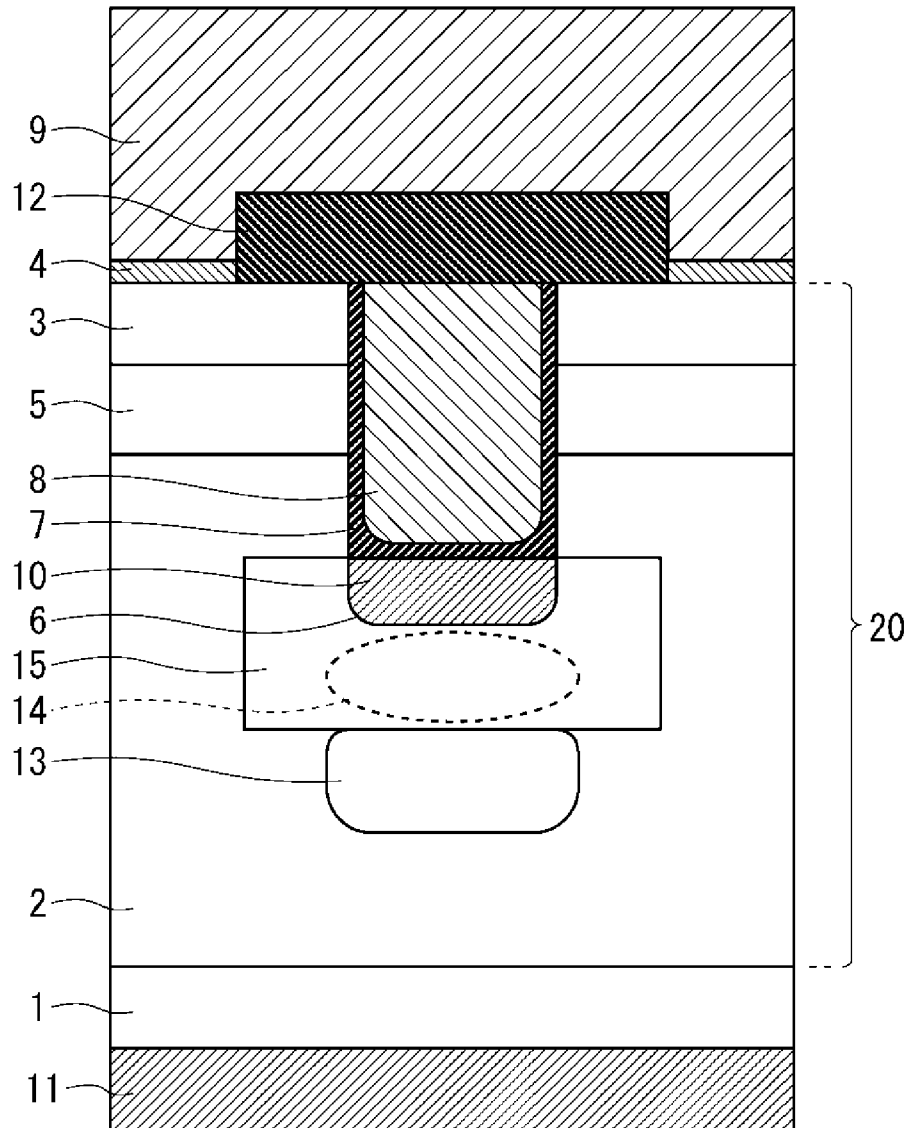
[図9]



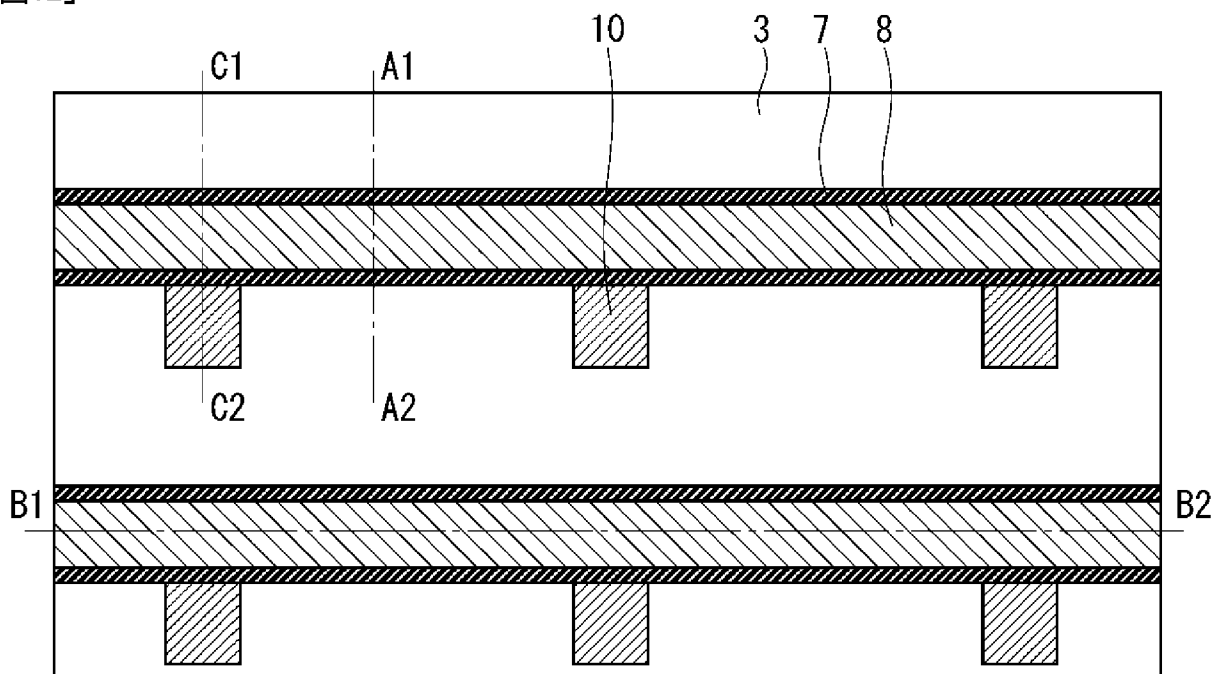
[図10]



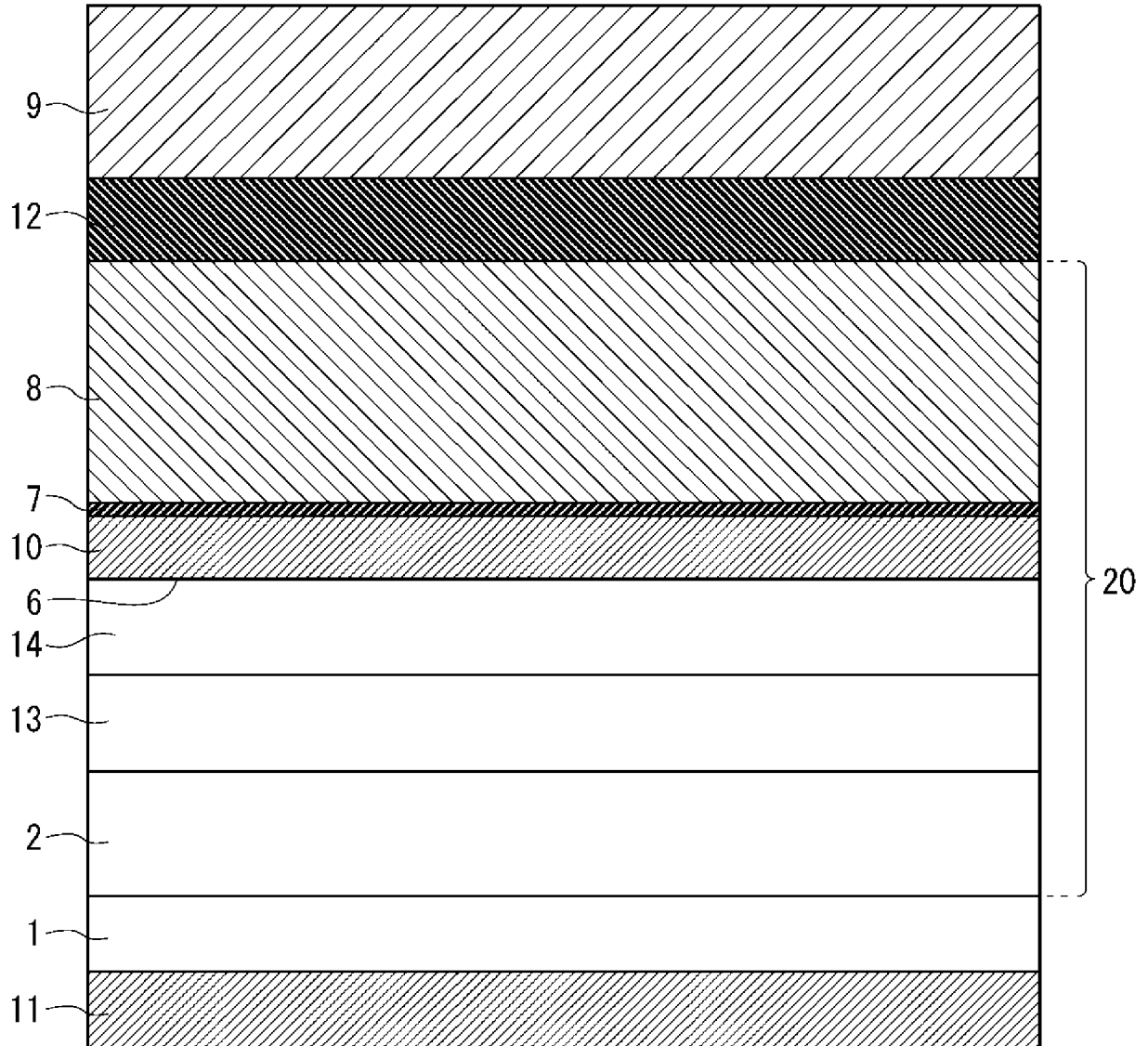
[図11]



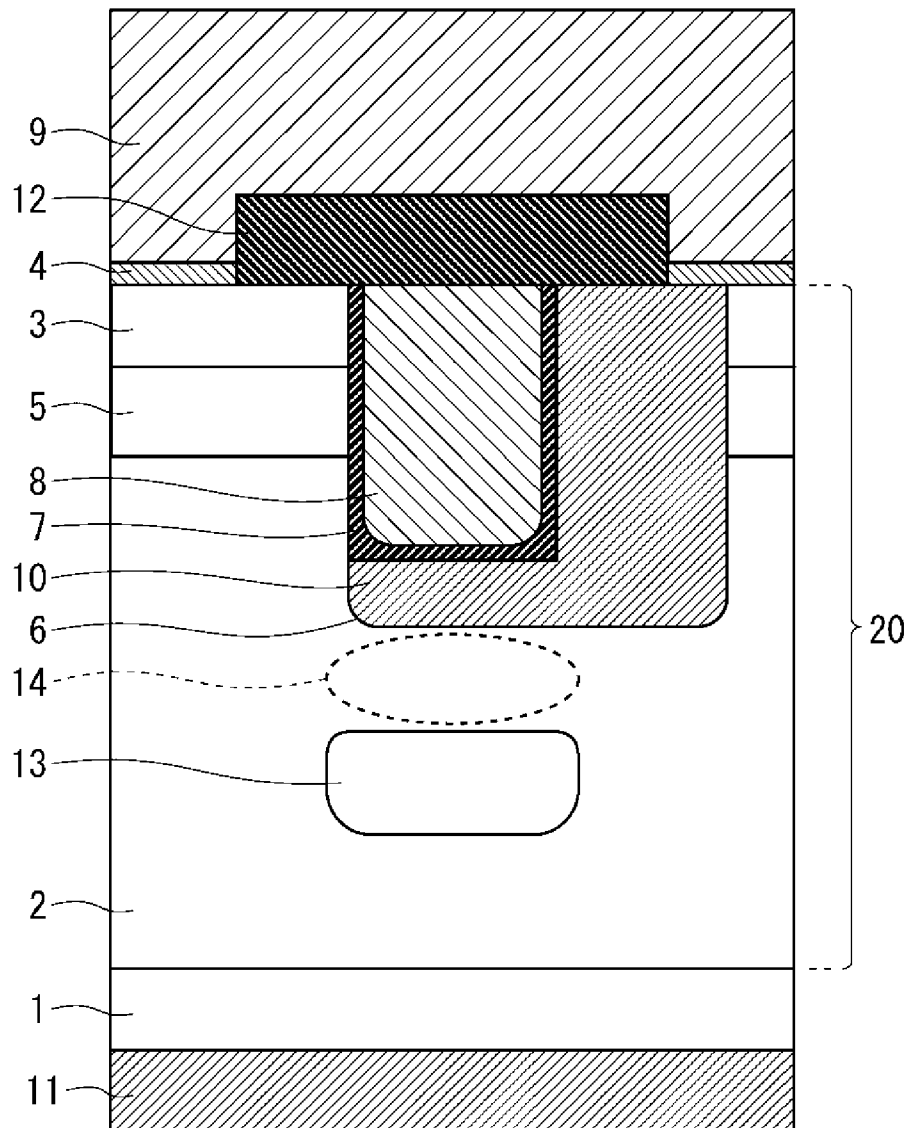
[図12]



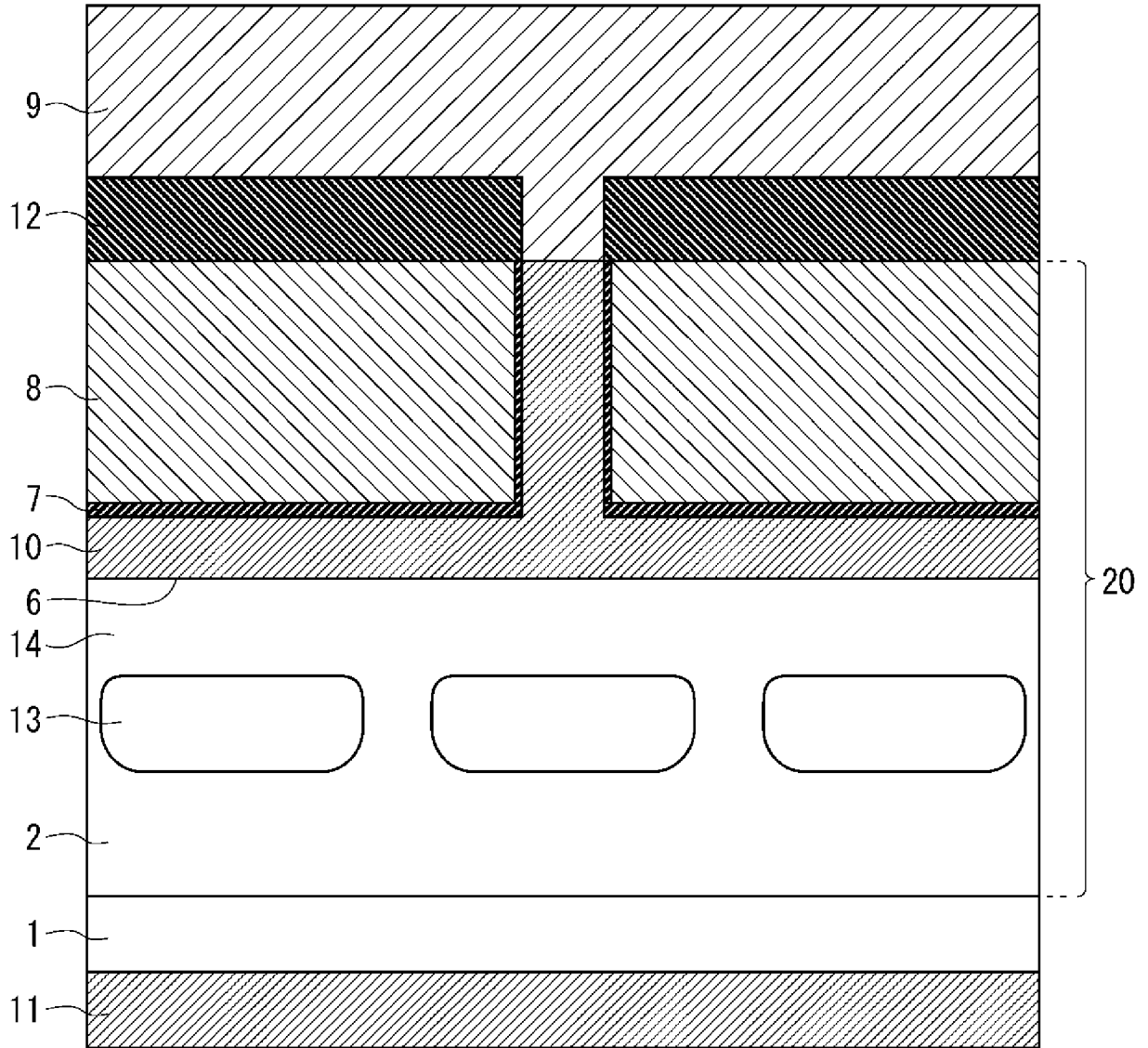
[図13]



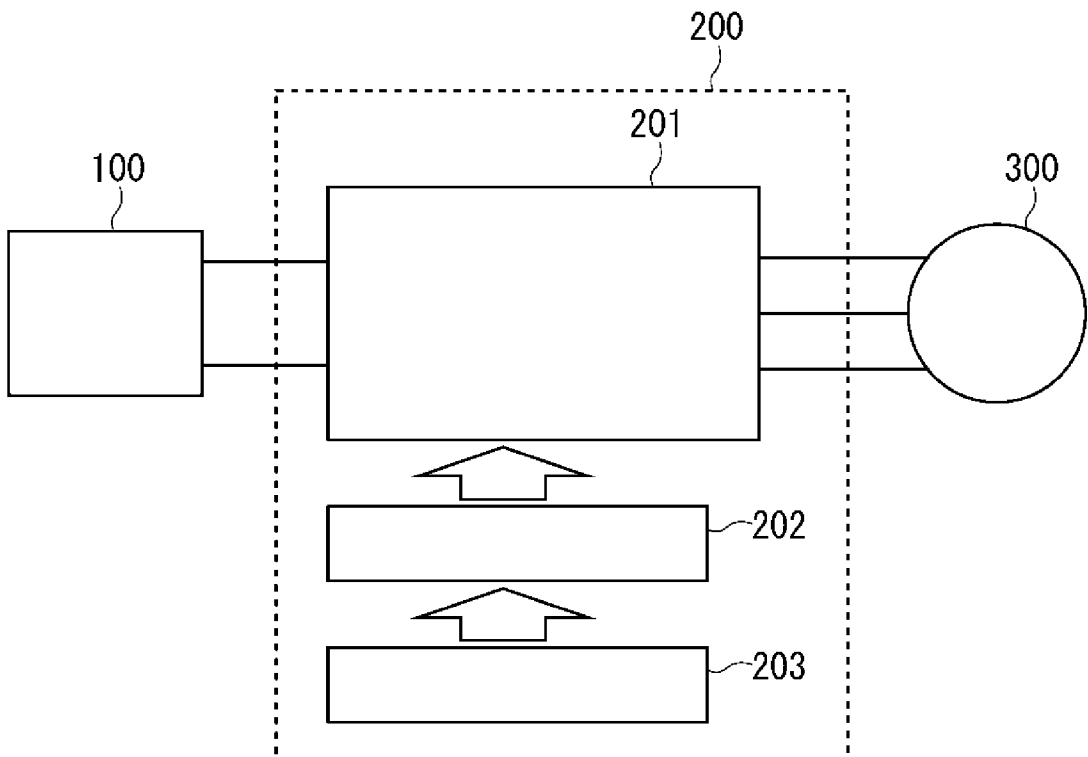
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/030967

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/78</i> (2006.01)i; <i>H01L 29/12</i> (2006.01)i FI: H01L29/78 657A; H01L29/78 653A; H01L29/78 652T; H01L29/78 652H		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L29/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 212542447 U (ZIBO HANLIN SEMICONDUCTOR CO., LTD.) 12 February 2021 (2021-02-12)	1-12
A	CN 206657811 U (ZIBO HANLIN SEMICONDUCTOR CO., LTD.) 21 November 2017 (2017-11-21)	1-12
A	CN 109192779 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 11 January 2019 (2019-01-11)	1-12
A	JP 2010-109221 A (ROHM CO LTD) 13 May 2010 (2010-05-13)	1-12
A	JP 2013-089778 A (TOYOTA MOTOR CORP) 13 May 2013 (2013-05-13)	1-12
A	JP 2016-009712 A (SUMITOMO ELECTRIC INDUSTRIES) 18 January 2016 (2016-01-18)	1-12
A	JP 2020-087958 A (RENESAS ELECTRONICS CORP) 04 June 2020 (2020-06-04)	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 October 2022		Date of mailing of the international search report 08 November 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/030967

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 212542447 U	12 February 2021	(Family: none)	
CN 206657811 U	21 November 2017	(Family: none)	
CN 109192779 A	11 January 2019	(Family: none)	
JP 2010-109221 A	13 May 2010	(Family: none)	
JP 2013-089778 A	13 May 2013	US 2014/0252465 A1 DE 112012004406 T5 CN 103890954 A	
JP 2016-009712 A	18 January 2016	(Family: none)	
JP 2020-087958 A	04 June 2020	US 2020/0161480 A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 29/12(2006.01)i FI: H01L29/78 657A; H01L29/78 653A; H01L29/78 652T; H01L29/78 652H</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L29/12</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2022年									
日本国実用新案登録公報	1996 - 2022年									
日本国登録実用新案公報	1994 - 2022年									
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	CN 212542447 U (ZIBO HANLIN SEMICONDUCTOR CO., LTD.) 12.02.2021 (2021 - 02 - 12)	1-12								
A	CN 206657811 U (ZIBO HANLIN SEMICONDUCTOR CO., LTD.) 21.11.2017 (2017 - 11 - 21)	1-12								
A	CN 109192779 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 11.01.2019 (2019 - 01 - 11)	1-12								
A	JP 2010-109221 A (ローム株式会社) 13.05.2010 (2010 - 05 - 13)	1-12								
A	JP 2013-089778 A (トヨタ自動車株式会社) 13.05.2013 (2013 - 05 - 13)	1-12								
A	JP 2016-009712 A (住友電気工業株式会社) 18.01.2016 (2016 - 01 - 18)	1-12								
A	JP 2020-087958 A (ルネサスエレクトロニクス株式会社) 04.06.2020 (2020 - 06 - 04)	1-12								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>										
国際調査を完了した日	21.10.2022	国際調査報告の発送日 08.11.2022								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 岩本 勉 5F 2576 電話番号 03-3581-1101 内線 3516									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/030967

引用文献	公表日	パテントファミリー文献	公表日
CN 212542447 U	12.02.2021	(ファミリーなし)	
CN 206657811 U	21.11.2017	(ファミリーなし)	
CN 109192779 A	11.01.2019	(ファミリーなし)	
JP 2010-109221 A	13.05.2010	(ファミリーなし)	
JP 2013-089778 A	13.05.2013	US 2014/0252465 A1 DE 112012004406 T5 CN 103890954 A	
JP 2016-009712 A	18.01.2016	(ファミリーなし)	
JP 2020-087958 A	04.06.2020	US 2020/0161480 A1	