



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월05일
 (11) 등록번호 10-0985639
 (24) 등록일자 2010년09월29일

- (51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 출원번호 10-2007-7008883
- (22) 출원일자(국제출원일자) 2005년10월11일
 심사청구일자 2008년03월28일
- (85) 번역문제출일자 2007년04월19일
- (65) 공개번호 10-2007-0064346
- (43) 공개일자 2007년06월20일
- (86) 국제출원번호 PCT/US2005/036471
- (87) 국제공개번호 WO 2006/044349
 국제공개일자 2006년04월27일
- (30) 우선권주장
 10/711,974 2004년10월18일 미국(US)
- (56) 선행기술조사문헌
 US20040108559 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 인터내셔널 비지네스 머신즈 코퍼레이션
 미국 10504 뉴욕주 아몬크 뉴오차드 로드
- (72) 발명자
 앤더슨 브렌트 에이
 미국 버몬트주 05465 제리코 실레이 힐 로드 221
 노왁 에드워드 제이
 미국 버몬트주 05452 애섹스 정선 윈드러지 로드 8
 랜킨 제드 에이치
 미국 버몬트주 05477 리치몬드 스테이지 로드 2552
- (74) 대리인
 윤여원, 허정훈

전체 청구항 수 : 총 3 항

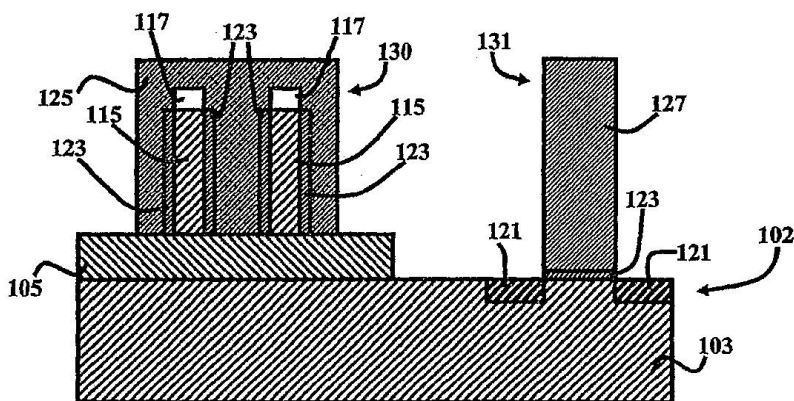
심사관 : 박근용

(54) FinFETs와 통합된 평면 기판 장치 및 제조 방법

(57) 요약

본 전계 효과 트랜지스터(FinFET)와 통합된 평면 기판 장치(100) 및 제조 방법은, 기판(103); 상기 기판(103) 상부의 매립된 절연층(105); 및 상기 매립된 절연층(105) 상부의 반도체층(115)을 포함하는 절연체 상 실리콘(SOI) 웨이퍼(101)를 포함한다. 상기 구조체(100)는 상기 매립된 절연층(105) 상부의 FinFET(130) 및 상기 기판(103) 내에 집적화된 전계 효과 트랜지스터(FET)(131)를 더 포함하며, 상기 FET 게이트(127)는 상기 FinFET 게이트(125)에 대해 평탄하다. 상기 구조체(100)는 상기 기판(103) 내에 구성되는 리트로그래이드웰 영역(104,106,108,110)을 더 포함한다. 일 실시예에서, 상기 구조체(100)는 상기 기판(103) 내에 구성되는 얇은 트랜치 분리 영역(111)을 더 포함한다.

대표도 - 도9



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

핀 전계 효과 트랜지스터(FinFET)와 통합된 평면 기판 장치를 형성하는 방법으로서,

기판을 제공하는 단계;

상기 기판 상부에, 매립된 분리층을 형성하는 단계;

상기 매립된 분리층에 반도체층을 접착하는 단계;

상기 매립된 분리층 상부에 FinFET 게이트 영역을 포함하는 FinFET를 형성하는 동시에, 상기 기판 내에 전계 효과 트랜지스터(FET) 게이트 영역을 포함하는 FET를 형성하는 단계; 및

상기 FinFET 게이트 영역과 상기 FET 게이트 영역을 평탄화하는 단계를 포함하는, 평면 기판 장치 형성 방법.

청구항 9

제8항에 있어서, 상기 FinFET를 형성하는 단계는,

측벽들을 포함하는 상기 반도체층 상부에 제1 FinFET 유전층을 형성하는 단계;

상기 반도체층의 상기 각각의 측벽을 따라 상기 기판 상부에 제2 FinFET 유전층을 구성하는 단계;

상기 제1 및 제2 FinFET 유전층 상부에 상기 FinFET 게이트 영역을 형성하는 단계; 및

상기 FinFET 게이트 영역의 대향하는 측면들 상에 FinFET 소스/드레인 영역을 형성하는 단계를 포함하는 것인, 평면 기판 장치 형성 방법.

청구항 10

제8항에 있어서, 상기 FET를 형성하는 단계는,

상기 기판 상부에 FET 게이트 유전층을 형성하는 단계;

상기 FET 게이트 유전층 상부에 상기 FET 게이트 영역을 형성하는 단계 -상기 FET 게이트 유전층은 상기 FET 게

이트 영역과 인접한 것임-; 및

상기 기판 내에 FET 소스/드레인 영역을 형성하는 단계를 포함하는 것인, 평면 기판 장치 형성 방법.

명세서

기술분야

[0001] 본 발명의 실시예는 일반적으로 마이크로전자 로직 장치 및 제조 방법에 관한 것으로, 더 구체적으로는 개선된 장치 성능 특성 및 개선된 제조 방법을 가지는 집적 회로 장치의 제조 및 설계에 관한 것이다.

배경기술

[0002] 집적 회로(ICs)의 발전과 향상이 계속됨에 따라, 산업 표준이 되는 칩 상에 수억 개의, 10억 개에 이르는 장치를 구비하는 IC를 제조하면서, IC 기판 상에 형성되는 장치의 개수와 밀도가 상당히 증가하였다. IC 기판 상에 형성되는 장치 개수의 증가 및 수반되는 장치의 밀도의 증가와 함께, 장치의 디멘션(dimension)은 상당히 떨어졌다. 예컨대, 게이트 두께 및 소스와 드레인 요소의 채널 간격의 디멘션은, 오늘날 소스, 드레인, 및 게이트의 마이크로미터 및 나노미터의 간격이 요구되는 정도로 계속해서 최소화되었다. 장치의 크기가 꾸준히 감소되고 있는 동안, 장치의 성능도 계속하여 유지되거나 개선되어야 한다. 더욱이, 이러한 IC 제조의 용이성과 비용 효율도 역시 개선해야 한다.

[0003] 핀 전계 효과 트랜지스터 절연체 상 실리콘 CMOS(FinFET SOI CMOS) 장치를 구비한 평면 IC 장치의 집적화는 정전기 방전(Electrostatic discharge; ESD) 및 아날로그 응용(analog application)과, 기존 설계의 사용에 대해 몇몇 장점들을 가지고 있다. 이 집적화를 수행하는 종래 기술은 FET 게이트를 SOI 아일랜드(island)의 상부 상에 배치하는 것을 포함한다. 그러나, 이것은 일반적으로 FinFET 게이트 및 평면 로직 상부의 게이트(즉, FET 게이트) 사이에 큰 높이차(height differences)를 야기하는 경향이 있다. 그리하여, 단차(step height) 차이는 리소그래피 및 에칭에 대한 심각한 문제이고, 위 문제를 개선하기 위해 수 개의 추가적 제조 단계를 필요로 하여, 총 제조 비용을 증가시키게 된다. 따라서, 제조의 용이성과 제조 비용의 절감을 동시에 달성하면서 우수한 IC 장치 성능을 제공하는 새로운 방법 및 구조체를 필요로 하게 된다.

발명의 상세한 설명

[0004] 이상에서 설명한 바에 비추어, 본 발명의 실시예는 기판; 상기 기판 상부의 매립된 분리층(buried isolation layer); 상기 매립된 분리층 상부의 핀 전계 효과 트랜지스터(FinFET); 및 기판에 집적화된 전계 효과 트랜지스터(FET)를 포함하며, 상기 FET의 게이트 영역은 상기 FinFET의 게이트 영역에 대해 평탄하다. 상기 구조체는 기판 내에 형성되는 리트로그레이드웰(retrograde well) 영역을 더 포함한다. 상기 FinFET은 측벽; 반도체층 상부의 제1 유전층; 상기 반도체층의 각각의 측벽을 따라 형성되는 제2 유전층; 상기 제1 및 제2 유전층 상부의 FinFET 게이트 영역; 및 FinFET 게이트 영역의 대향하는 측면들 상의 FinFET 소스/드레인 영역을 포함하는 반도체층을 포함한다. 상기 FET는 FET 게이트 영역의 대향하는 측면들 상의 FET 소스/드레인 영역; 및 FET 게이트 영역과 기판 사이의 게이트 유전층을 포함한다. 일 실시예에서, 상기 구조체는 기판 내에 형성되는 얇은 트렌치 분리(shallow trench isolation; STI) 영역을 더 포함한다.

[0005] 본 발명의 다른 예에서, 절연체 상 실리콘(SOI) 웨이퍼를 포함하는 구조체는 기판; 상기 기판 상부의 매립된 절연층; 및 상기 매립된 절연층 상부의 반도체층을 포함한다. 상기 구조체는 매립된 절연층 상부에 FinFET과 기판 내에 집적화된 FET를 더 포함하며, FET의 게이트 영역은 FinFET의 게이트 영역에 대해 평탄하다. 상기 구조체는 기판 내에 구성된 리트로그레이드웰 영역을 더 포함한다. 상기 FinFET은 반도체층 상부에 구성된 측벽; 상기 반도체층 상부의 제1 FinFET 유전층; 상기 반도체층의 각각의 측벽을 따라 구성된 제2 FinFET 유전층; 상기 제1 및 제2 FinFET 유전층 상부의 FinFET 게이트 영역; 및 상기 FinFET 게이트 영역의 대향하는 측면들 상의 FinFET 소스/드레인 영역을 포함한다. 상기 FET는 FET 게이트 영역의 대향하는 측면들 상의 소스/드레인 영역; 및 상기 FET 게이트 영역과 기판 사이의 게이트 유전층을 포함한다. 일 실시예에서, 매립된 절연층은 매립된 산화물을 포함한다. 추가적으로, 다른 실시예에서, 상기 구조체는 기판 내에 구성되는 STI 영역을 더 포함한다.

[0006] 본 발명의 다른 실시예는 FinFET과 통합된 평면 기판 장치를 형성하는 방법을 제공하며, 상기 방법은, 기판을 제공하는 단계; 상기 기판 상부에 매립된 분리층을 형성하는 단계; 상기 매립된 분리층에 반도체층을 접착하는 단계; 상기 매립된 분리층 상부에 FinFET 게이트 영역을 포함하는 FinFET를 형성하는 동시에, 상기 기판 내에

전계 효과 트랜지스터(FET) 게이트 영역을 포함하는 FET를 형성하는 단계; 및 상기 FinFET 게이트 영역과 상기 FET 게이트 영역을 평탄화하는 단계를 포함한다. 상기 방법은 상기 기판 내에 웰 영역을 구성하는 단계를 더 포함한다. FinFET을 형성하는 프로세스는, 반도체층 상부에 제1 FinFET 유전층을 형성하는 단계로서 상기 반도체층은 측벽을 포함하는 것인 단계; 상기 반도체층의 각각의 측벽을 따라 상기 기판 상부에 제2 FinFET 유전층을 구성하는 단계; 제1 및 제2 FinFET 유전층 상부에 FinFET 게이트 영역을 형성하는 단계; 및 상기 FinFET 게이트 영역의 대향하는 측면들 상에 소스/드레인 영역을 형성하는 단계를 포함한다.

[0007] FET를 형성하는 프로세스는, 상기 기판 상부에 FET 게이트 유전층을 형성하는 단계; 상기 FET 유전층 상부에 FET 게이트 영역을 형성하는 단계로서, 상기 FET 게이트 유전층은 상기 FET 게이트 영역에 인접한 것인 단계; 및 상기 기판 내의 FET 소스/드레인 영역을 형성하는 단계를 포함한다. 또한, 상기 FET 게이트 유전층은 상기 FET 게이트 영역과 기판 사이에 형성된다. 본 발명의 일 실시예에서, 상기 방법은 기판 내의 STI 영역을 구성하는 단계를 더 포함한다. 추가적으로, 상기 FinFET 게이트 영역은 폴리실리콘을 포함하고, 상기 FET 게이트 영역도 폴리실리콘을 포함한다. 일 실시예에서, 매립된 절연층은 매립된 산화물을 포함한다.

[0008] 본 발명의 실시예는, 평면 로직 집적 회로 장치가 FinFET 장치와 통합되고, FET 게이트 및 FinFET 게이트가 단 일 제조 단계에서 형성되도록 형성됨으로써, 집적 기술을 용이하게 구현하도록 한다. 예컨대, FET 게이트 물질 및 FinFET 게이트 물질의 증착은 동시에 발생하고, FET 게이트 물질 및 FinFET 게이트 물질(125)의 평탄화도 동시에 발생한다. FET 게이트 물질 및 FinFET 게이트 물질은 동일한 상부 높이로 평탄화되어 추가적인 리소그래피 및 에칭 프로세스의 불필요하게 되고, 그로 인해 제조 단계의 개수가 감소함에 따라 전체 제조 비용이 감소하게 된다.

[0009] 본 발명의 실시예의 여러 양상은 이하의 상세한 설명과 첨부 도면과 함께 고려될 때 더 잘 인식되고 이해될 것이다. 그러나 이하의 설명은, 본 발명의 선호되는 실시예와 그들의 다양한 특성의 상세한 설명으로 나타나고 있지만, 이는 예시를 위한 것이지 제한하기 위해 제공된 것이 아니다. 본 발명의 실시예의 범주 내에서 그들의 사상을 벗어남이 없이 다양한 변화 및 변경이 가해질 수 있고 본 발명의 실시예는 그러한 모든 변경을 포함한다.

실시예

[0023] 본 발명의 실시예들 및 그들의 다양한 특징 및 유리한 상세내용은, 첨부 도면에서 도시되고 이하의 설명에서 상세되는 제한하지 않는 실시예를 참조하여 더 완전히 설명된다. 도면에서 도시되는 피처(feature)는 반드시 비례로 도시된 것이 아님을 알아야 한다. 주지의 컴포넌트와 프로세싱 기술은 불필요하게 발명의 실시예를 불명확하도록 하지 않기 위해 생략된다. 본원에서 사용되는 예들은 단지 본 발명의 실시예가 실시되는 방법의 이해를 용이하게 하고, 나아가 당업자가 본 발명을 실시할 수 있도록 해주기 위함이다. 따라서, 이 예들이 본 발명의 실시예의 범위를 제한하려는 의미로 파악되어서는 안된다.

[0024] 언급한 바와 같이, 제조의 용이성과 제조 비용의 절감을 동시에 달성하면서 우수한 IC 장치 성능을 제공하는 새로운 방법 및 구조체를 필요로 한다. 일반적으로, 이 요구를 해결하기 위해 본 발명의 실시예는 평면 장치가 요구되는(즉, 집적 회로 내에 벌크 로직 FET 장치가 위치하는) 매립된 분리영역을 제거하는 기술을 제공한다. 이제 도면을 참조하면, 보다 구체적으로 동일 참조 번호는 도면 전부에서 일관하여 대응하는 피처를 나타내고 있는 도 1 내지 도 14를 참조하면, 본 발명의 선호되는 실시예가 나타나 있다.

[0025] 본 발명의 실시예에 따른 집적 회로 장치(100)의 형성은, 도 1 내지 도 8에서 도시되는 일반적으로 순차적인 제조 단계를 통해 도시된다. 일반적으로 완성되는 장치의 대안적인 실시예는 도 9 내지 도 11에서 도시되고, 일반적인 방법 흐름의 예가 도 12 내지 도 14에서 도시된다. 도 1에서 보이는 바와 같이, SOI 웨이퍼(101)는 SIMOX(separation by implantation of oxygen) 또는 웨이퍼 본딩(wafer bonding) 및 에치백(etch-back)에 의한 분리, 또는 해당 분야에서 일반적으로 사용되는 다른 주지 기술과 같은 주지 기술들을 사용하여 형성된다. SOI 웨이퍼(101)는 기판(103) 상부의 매립된 분리층(105) 상부의 실리콘층(115)을 포함한다. 매립된 분리층(105)은 절연 물질을 포함하나, 매립된 산화물을 제외한 임의 유형의 매립된 절연체가 매립된 분리층(105)의 대안으로 사용될 수 있다. 바람직하게는, 매립된 분리층(105)은 매우 얇고, 약 20-2000Å이다.

[0026] 일 실시예에서, 기판(103)은 단결정(single crystal) 실리콘층을 포함한다. 대안적으로, 기판(103)은 실리콘(Si), 게르마늄(Ge), 인화갈륨(GaP), 비소화인듐(InAs), 인화인듐(InP), 실리콘 게르마늄(SiGe), 비소화갈륨(GaAs), 또는 다른 III/V족 화합물을 포함하는(그러나 이들에 한정되지는 않음) 임의의 적당한 반도체 물질을 포함할 수 있다. 기판(103)의 반전을 방지하기 위해, 기판(103)의 일부는 약하게 도핑된 리트로그래이드웰 영

역(104,106)을 포함한다. 추가적으로, 강하게 도핑된 리트로그레이드웰 영역(108,110)이 기판(103) 내에 역시 형성된다. 당업자는 웰 영역(104,106,108,110)이, 대응하는 엔웰(Nwell) 및/또는 피웰(Pwell) 영역으로서 구체화될 수 있다. 또한, 리트로그레이드웰 영역(104,106,108,110)은 고에너지 이온 주입 및 어닐링(annealing)과 같은 임의의 주지 기술을 사용하여 형성될 수 있다. 더욱이, 당업자는 리트로그레이드웰 영역(104,106,108,110)이 이후의 프로세싱 단계에 남아 있음을 이해할 수 있을 것이나, 본 발명의 실시예에 의해 제공되는 다른 적절한 피처를 불명확하게 하지 않도록 하기 위해, 리트로그레이드웰 영역(104,106,108,110)은 도 2 내지 도 11의 도면에 도시된 구조체 내에도 존재하지만 상기 도면들 내에서 생략되어 있다. 약하게 도핑된 웰의 통상의 도즈(dose)는 약 1×10^{14} 내지 $5 \times 10^{15} / \text{cm}^2$ 이고, 강하게 도핑된 웰의 도즈는 약 3×10^{17} 내지 $8 \times 10^{18} / \text{cm}^2$ 이다. 도 2에서 보이는 바와 같이, 하드마스크 필름(hardmask film)(107)은 실리콘층(115) 상부에 증착된다. 그 후, 하드마스크 필름(107), 실리콘층(115), 매립된 분리층(105) 및 하부 기판(103)이 에칭에 의해 제거되는 곳에서 적합한 지향성 에칭이 수행되고, 그로 인해 장치(100)에 좁은 갭(109)을 형성한다. 다음으로, 도 3은 유전층(111)이 갭(109)필링(filling)을 포함해 하드마스크 필름(107) 상부로 증착된 후의 IC 장치(100)를 도시한다. 유전층(111)은, 집적 회로(100) 내의 다양한 장치들 사이를 전기적으로 분리시키기 위해 결국 얇은 트렌치 분리(shallow trench isolation; STI) 영역(111)이 될 부분(도 4에서 보다 구체적으로 도시)을 형성할 것이다.

[0027] 도 4에서 보이는 바와 같이, 하드마스크 필름(107)과 과도 유전층(111)은 적합한 화학 프로세스에 의해 제거되고, 그로 인해 리세스된(recessed) STI 영역(111)을 형성한다. STI 영역(111)은 본 발명의 제1 실시예에 따라 집적 회로(100)에 통합된다. 그러나, 본 발명의 제2 실시예에 따른 집적 회로(102)(도 9 내지 도 11에 도시됨)는 STI 영역 없이 구성될 것이다. 따라서, 본 발명의 제2 실시예의 제조에 있어서, 하드마스크 필름(107)의 증착, 후속되는 에칭 및 유전층(111)의 증착을 포함하는, STI 영역(111)의 형성과 관련된 프로세싱 단계가 포함되지 않는다.

[0028] 다음으로, 도 5에서 도시된 바와 같이, 유전체 캡층(dielectric cap layer)(117)은 증착되고, 마스크되고(masked), 에칭된다. 더욱이, 실리콘층(115)은 이 하드마스크 필름(117)을 사용해 에칭된다. 전체적으로, 실리콘층(115)과 유전층(117)은 핀 구조체(113)를 형성한다. 그 후에, 도 6에서 보이는 바와 같이, 레지스트층(119)은 매립된 분리층(105)의 일부를 노출시키고 핀 구조체(113)를 보호하도록 마스크된다. 필름(119)은 바람직하게는, 매립된 분리층(105)을 에칭할 수 있도록 마스크되고 노출된 레지스트 이미지(resist image)를 포함한다. 그 후, 필름(119)에 의해 보호되지 않는(즉, 장치(100)의 평면 영역) 매립된 분리층(105)의 일부분들이 제거됨으로써 에칭 프로세스가 일어나고, 그에 의해 하부층(103)을 노출시킨다.

[0029] 도 7에서 도시된 바와 같이, 필름(119)이 적합한 화학 프로세스에 의해 제거된 후에, 니트라이드(nitride)를 포함할 수 있는 유전 박층(123)(예컨대, 약 10-40Å 두께)이 장치(100) 상에서, 더 명확하게는, 실리콘층(115), 유전층(117), 실리콘 기판(103)의 노출된 모든 부분, 및 소스/드레인 정션(junction)(121)(도 8에서 도시됨) 상부에서 열적으로 성장한다. 실리콘층(115)을 둘러싸는 유전층(123)은 핀 구조체(113)에 대해 게이트 유전체로서 작용하고, 기판(103) 상부의 유전층(123)은 게이트 유전체(123)로 작용한다.

[0030] 도 8은, 바람직하게는 폴리실리콘 또는 실리콘 게르마늄 물질을 포함하는 게이트 물질(125,127)이 장치(100) 상부에 증착된 후의 장치(100)의 제1 실시예를 도시한다. 그 후, 장치(100)는 단일 단계에서 게이트 물질(125,127)을 평탄화시키기 위한 화학 기계적 연마(chemical mechanical polishing; CMP) 프로세스를 수행하고, 그에 의해 반복 프로세싱 단계를 제거시켜, FET 게이트(127) 및 FinFET 게이트(125)가 유사한 높이로 구성되도록 한다. 그 후, FET 및 FinFET 게이트(127,125)는 각각, 공지의 리소그래피 기술을 사용해 패터닝되고, 게이트 물질(125,127)의 일부분들이 FinFET 게이트 전극(125) 및 FET 게이트 전극(127)을 형성하기 위해 반응성 이온 에칭(reactive ion etching; RIE) 프로세스에 의해 선택적으로 제거됨으로써 에칭된다. 추가적으로, 에칭 프로세스 중에 유전층(123)의 노출된 영역도 역시 제거된다.

[0031] 소스/드레인 임플란트 정션(121)(그들 사이의 채널 영역(도시되지 않음)과 함께)도 역시 기판(103) 내에서 형성된다. 마찬가지로, 소스/드레인 임플란트 정션(122)(그들 사이의 채널 영역(도시되지 않음)과 함께)도 역시, 기판 내에서 소스/드레인 임플란트 정션(121)의 형성과 동시에 FinFET 게이트(125)의 대향하는 측면들 상에 형성된다. 제 1 실시예에서도 비슷한 구성이 제공되어 있지만, 소스/드레인 임플란트 정션(122)은 본 발명의 제2 실시예에 대응하는 도 10 및 도 11에 가장 잘 나타나 있다. 소스/드레인 임플란트 정션(121,122)의 형성은 제조 시퀀스의 임의의 적절한 시점에서 발생할 수 있다. 게다가, 소스/드레인 임플란트 정션(121,122)은 특정 성능의 요구에 의해 만들어진 임의의 공지 방법을 사용해 완성될 수 있다. 그러한 것으로, 다양한 레벨의 복잡도

를 가지는 소스/드레인 정션(121,122)을 형성하는 다양한 방법들이 있다. 본 발명의 일부 실시예에서, 소스/드레인 정션(121,122)은 약하게 도핑되고 이온 주입을 사용하여 형성될 수 있다. 예컨대, NFETs의 경우, 소스/드레인 임플란트(121,122)를 위해 보통 인(P), 비소(As), 안티몬(Sb), 또는 다른 적합한 물질이, 1 내지 5 keV의 범위이고 5×10^{14} 내지 $2 \times 10^{15}/\text{cm}^2$ 의 도즈에서 사용될 수 있다. 마찬가지로, PFETs의 경우, 소스/드레인 임플란트(121,122)를 위해 보통 붕소(B), 인듐(In), 갈륨(Ga), 또는 다른 적합한 물질이, 0.5 내지 3 keV의 범위이고 5×10^{14} 내지 $2 \times 10^{15}/\text{cm}^2$ 의 도즈에서 사용될 수 있다.

[0032] 또한, 본 발명의 다른 실시예에서, 단채널 효과(Short Channel Effect; SCE)를 개선하기 위해서 확장 및 할로(halo) 임플란트(도시되지 않음)가 형성될 수 있다. NFETs의 경우, 할로 임플란트를 위해 보통 붕소(B), 인듐(In), 갈륨(Ga), 또는 다른 적합한 물질이, 5 내지 15 keV의 범위의 에너지이고 1×10^{13} 내지 $8 \times 10^{13}/\text{cm}^2$ 의 도즈에서 사용될 수 있다. 마찬가지로, PFETs의 경우, 할로 임플란트를 위해 보통 인(P), 비소(As), 안티몬(Sb), 또는 다른 적합한 물질이, 20 내지 45 keV의 범위이고 1×10^{13} 내지 $8 \times 10^{13}/\text{cm}^2$ 의 도즈에서 사용될 수 있다.

[0033] 도 9 내지 도 11은 게이트 전극(125) 및 FET 게이트 전극(127)이 형성된 후의 장치(100)의 제2 실시예를 도시한다. 또, 제1 및 제2 실시예의 차이점은 제1 실시예의 장치(100)는 용기형(raised) STI 영역(11)을 포함하는 반면에, 제2 실시예의 장치(102)는 트렌치 분리 영역을 포함하지 않는다는 점이다. 게이트 물질(125,127)은 평면 영역(131)(매립된 분리층(105)이 제거되는 영역) 및 FINFET 영역(130) 상에 증착되고, 단일 에칭으로 양쪽 영역에서 에칭된다. 따라서, 본 발명의 실시예에 의해서 제공되는 제조 기술은 일반 SOI FINFET 프로세스에 단지 약간의 변형만을 요구하고, FET 구조체(131) 및 FinFET 구조체(130)에서 무시할 수 있는 게이트 단차 차이를 가진 제조 프로세스를 용이하도록 해준다. 도 10 및 도 11은 제2 실시예를 명확히 도시하고 있지만, 당업자는 도 10 및 도 11이 제1 실시예에서 제공되는 STI 영역(111)을 포함하지 않는 것을 제외하고, 제1 실시예의 대안적인 뷰를 제공함을 쉽게 이해할 수 있을 것이다. 더욱이, 도 11에서 AA-AA' 파선은 도 9의 단면도의 경계를 제공한다.

[0034] FET 구조체(131) 및 FinFET 구조체(130)의 형성 후에, 장치(100,102)는 장치높이 위에서 형성되는 인터커넥트(interconnect), 콘택(contact), 배선층(wiring layer) 등(도시되지 않음)을 포함하는 남아있는 집적 회로 구조체의 형성을 위한 종래 프로세스를 수행한다. 더욱이, 다수의 다마신층(damascene layer)(도시되지 않음)은 종래 제조 기술에 따라 장치(100,102) 상부에 형성될 수 있다.

[0035] 도 1 내지 도 11에 도시되는 구조체는, 장치를 기판(103) 내에 배치할지, 종래 접근 방식과 반대되도록, 매립된 분리층(105) 상부의 영역에 배치할지 선택함으로써 민감한 장치의 향상된 열제어를 달성할 수 있다. 게다가, 아날로그 및 ESD 장치가 이 향상된 열제어에 이익이 된다. 기판(103)에 장착된 장치는 역시 향상된 파워 관리(power management)를 위한 기판 바이어싱을 지지할 수 있다. 또한, 도 1 내지 도 11에 도시된 구조체의 프로세스는 상당히 덜 복잡하고, 종래 장치 및 프로세스에 비해 훌륭한 열제어를 제공하면서도 절감된 비용에서 수행될 수 있다.

[0036] 본 발명의 다른 실시예는 도 12 내지 도 14의 흐름도에 도시되어 있으며, 상기 도면들은, 도 12가 집적 회로(100)를 형성하는 방법으로서, 기판(103)을 제공하는 단계(201); 상기 기판 상부에 매립된 분리층(105)을 형성하는 단계(203); 및 상기 매립된 분리층(105)에 반도체층(115)을 접착하는 단계(205)를 포함하는 방법을 도시함으로써, 도 1 내지 도 11에 도시되는 컴포넌트를 언급하는 설명을 포함한다. 상기 방법의 다음 단계는 기판(103) 내의 웰 영역(104,106,108,110)을 구성하는 단계(207), 선택적으로 기판(103) 내의 STI 영역(111)을 구성하는 단계(209), 매립된 분리층(105)의 일부를 제거하는 단계(211), 및 매립된 분리층(105) 상부의 FinFET(130) 및 기판(103) 내의 FET(131)을 동시에 형성하는 단계를 포함한다. 그 후에, 상기 방법은 FET 게이트(127) 및 FinFET 게이트(125)를 평탄화하는 단계(215)를 포함한다. 일 실시예에서, 상기 매립된 절연층(105)은 매립된 산화물로 형성된다.

[0037] 도 13의 흐름도에 보이는 바와 같이, FinFET(130)을 형성하는 단계(213)의 프로세스는 반도체층(115) 상부에 제1 FinFET 유전층(117)을 형성하는 단계(223), 매립된 분리층(105) 상부의, 측벽들을 포함하는 상기 반도체층(115)을 에칭하는 단계(225); 상기 매립된 분리층의 일부를 선택적으로 제거하는 단계(227), 상기 반도체층(115)의 각각의 측벽을 따라 기판 상부에 제2 FinFET 유전층(123)을 구성하는 단계(229), 상기 제1 및 제2 유전층(117,123) 상부에 FinFET 게이트 영역(125)을 형성하는 단계(231); 그리고 상기 FinFET 게이트 영역(125)의 대향하는 측면들 상에 FinFET 소스/드레인 영역(122)을 형성하는 단계(233)를 포함한다.

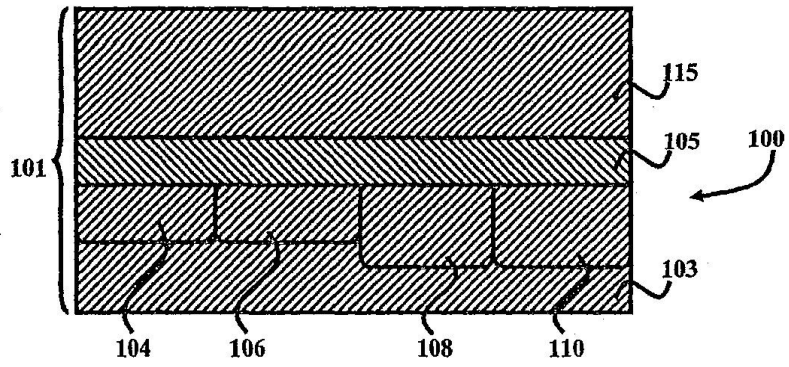
- [0038] 도 14의 흐름도에 보이는 바와 같이, FET(131)을 형성하는 단계(213)(FinFET(130)의 형성과 동시에 발생)의 프로세스는 기판(103) 상부에 FET 게이트 유전층(123)을 형성하는 단계(241); 상기 FET 게이트 유전층(123) 상부에 FET 게이트 영역(127)을 형성하는 단계(243)로서 상기 FET 게이트 유전층(123)은 상기 FET 게이트 영역(127)에 인접한 것인 단계; 그리고 상기 기판(103) 내에 FET 소스/드레인 영역(121)을 형성하는 단계(245)를 포함한다. 또한, 상기 FET 게이트 유전층(123)은 상기 FET 게이트 영역(127)과 상기 기판(103) 사이에 형성된다. 추가적으로, 상기 각각의 FinFET 게이트 영역(125) 및 FET 게이트 영역(127)은 폴리실리콘을 포함한다.
- [0039] FinFET SOI 장치(130)를 구비한 기판(103) 내의 평면 IC 장치(131)를 집적화하는 것은 로직 게이트, 메모리 셀, 아날로그 회로, ESD 장치, 캐패시터, 레지스터 등을 포함하는 다양한 유형의 IC 장치를 생산하는 데 사용될 수 있다. 본 발명의 실시예에 의해 제공되는 다른 이점은 평면 장치로서(131) 기판(103) 내에 장착함으로써 키(key) 장치의 열제어 능력이다.
- [0040] 일반적으로, 본 발명의 실시예는, 기판(103), 상기 기판(103) 상부의 매립된 분리층(105), 상기 매립된 분리층(105) 상부의 FinFET(130), 및 상기 기판(103) 내에 집적화된 FET(131)를 포함하는 구조체(100,102)를 제공하며, 상기 FET 게이트(127)는 상기 FinFET 게이트(125)에 대해 평탄하다. 본 발명의 실시예는, 평면 로직 집적 회로 장치(130)가 FinFET 장치(131)와 통합되고, FET 게이트(127) 및 FinFET 게이트(125)가 단일 제조 단계에서 형성되도록 형성됨으로써, 집적 기술을 용이하게 구현하도록 한다. 예컨대, FET 게이트 물질(127) 및 FinFET 게이트 물질(125)의 증착은 동시에 발생하고, FET 게이트 물질(127) 및 FinFET 게이트 물질(125)의 평탄화도 동시에 발생한다. FET 게이트(127) 및 FinFET 게이트(125)는 동일한 상부 높이로 평탄화되어 추가적인 리소그래피 및 에칭 프로세스가 불필요하게 되고, 그로 인해 제조 단계의 개수가 감소함에 따라 전체 제조 비용이 감소하게 된다.
- [0041] 특정 실시예의 상기 설명은, 다른 사람들이 공지 지식을 적용하여 일반 개념을 벗어나지 않는 특정 실시예를 다양한 적용을 위해 용이하게 변경하고 개조할 수 있는 본 발명의 일반적인 본질을 완전히 보여줄 것이고, 따라서, 그러한 개조 및 변경은 개시된 실시예의 등가물의 의미 및 범위 내에서 이해되도록 의도된다. 본원에서 사용되는 표현이나 용어들은 설명을 위한 것이지 제한하기 위한 것이 아님은 당연하다. 따라서, 본 발명의 실시예가 바람직한 실시예와 관련하여 기술되었다하더라도, 당업자는 본 발명의 실시예가 첨부된 청구범위의 사상 및 범주 내에서 변형되어 실시될 수 있음을 인식할 것이다.

도면의 간단한 설명

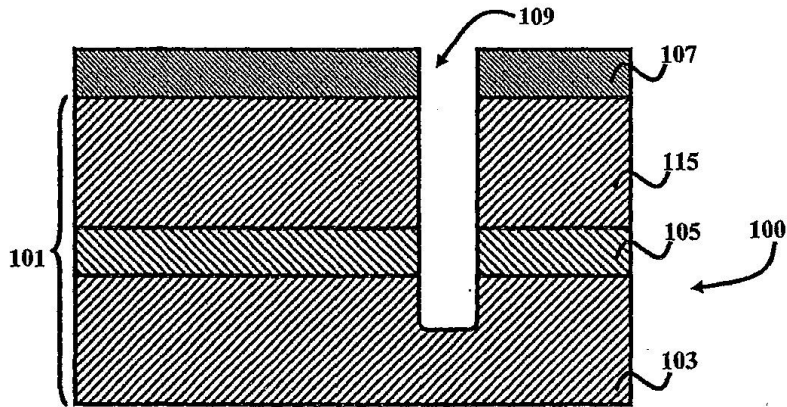
- [0010] 본 발명의 실시예는 도면을 참조한 이하의 상세한 설명으로부터 더 잘 이해될 것이다.
- [0011] 도 1은 본 발명의 실시예에 따른 집적 회로 장치의 제1 중간 프로세싱 단계를 도시하는 단면도.
- [0012] 도 2는 본 발명의 실시예에 따른 집적 회로 장치의 제2 중간 프로세싱 단계를 도시하는 단면도.
- [0013] 도 3은 본 발명의 실시예에 따른 집적 회로 장치의 제3 중간 프로세싱 단계를 도시하는 단면도.
- [0014] 도 4는 본 발명의 실시예에 따른 집적 회로 장치의 제4 중간 프로세싱 단계를 도시하는 단면도.
- [0015] 도 5는 본 발명의 실시예에 따른 집적 회로 장치의 제5 중간 프로세싱 단계를 도시하는 단면도.
- [0016] 도 6은 본 발명의 실시예에 따른 집적 회로 장치의 제6 중간 프로세싱 단계를 도시하는 단면도.
- [0017] 도 7은 본 발명의 실시예에 따른 집적 회로 장치의 제7 중간 프로세싱 단계를 도시하는 단면도.
- [0018] 도 8은 본 발명의 제1 실시예에 따라 일반적으로 완성된 집적 회로 장치를 도시하는 단면도.
- [0019] 도 9는 본 발명의 제2 실시예에 따라 일반적으로 완성된 집적 회로 장치를 도시하는 단면도.
- [0020] 도 10은 본 발명의 제2 실시예에 따라 일반적으로 완성된 도 9의 집적 회로 장치를 도시하는 평면도.
- [0021] 도 11은 본 발명의 제2 실시예에 따라 일반적으로 완성된 도 9 및 도 10의 집적 회로 장치를 도시하는 사시도.
- [0022] 도 12도 내지 도 14는 본 발명의 실시예의 선호되는 방법을 도시하는 흐름도.

도면

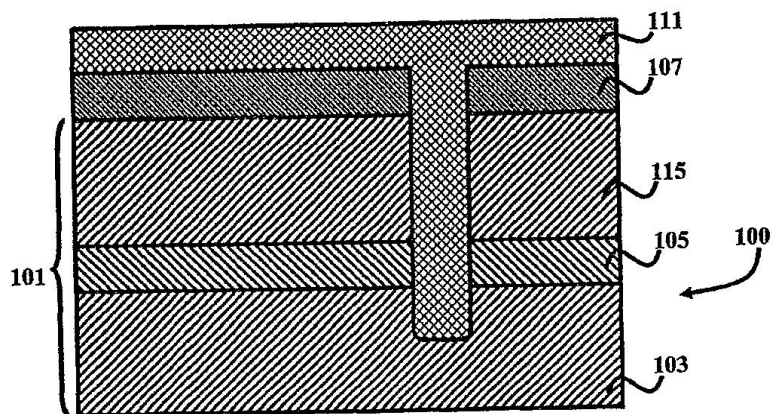
도면1



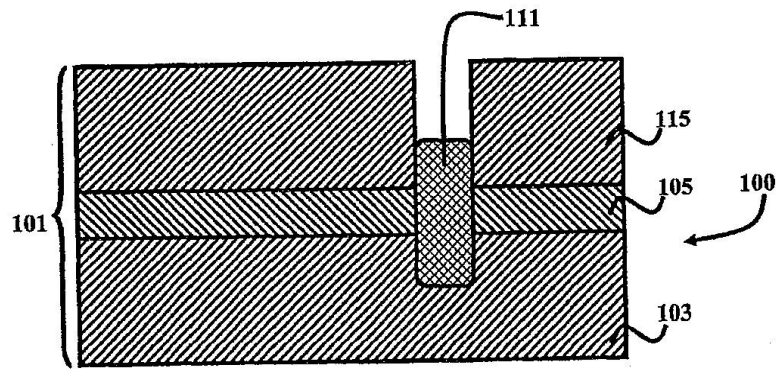
도면2



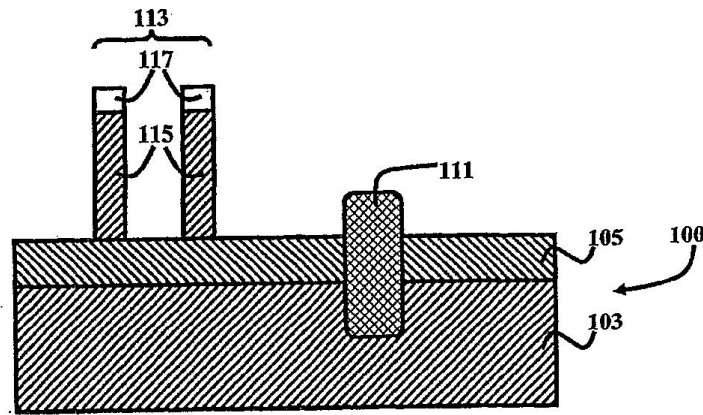
도면3



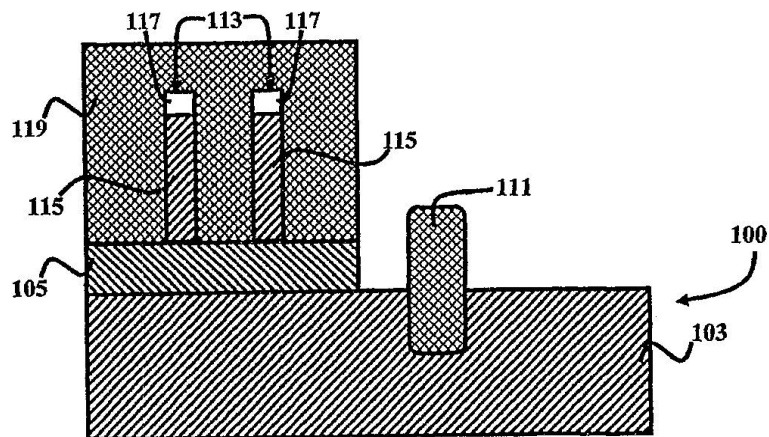
도면4



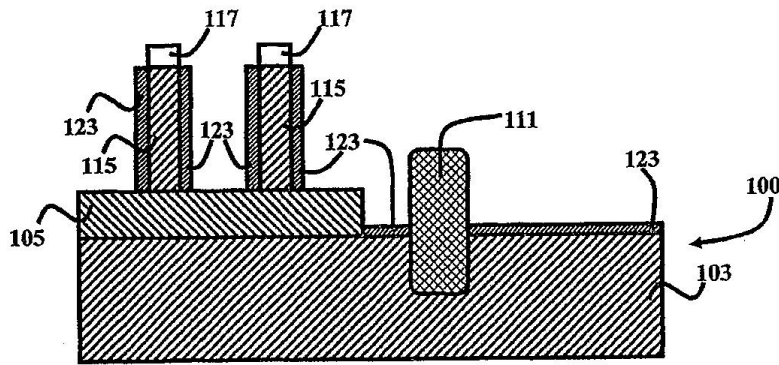
도면5



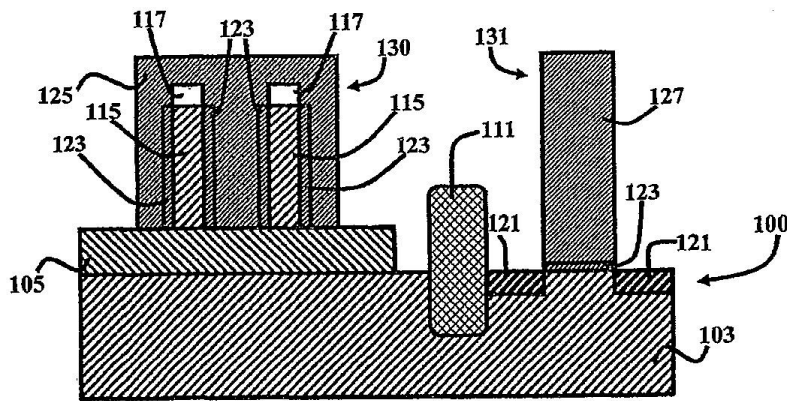
도면6



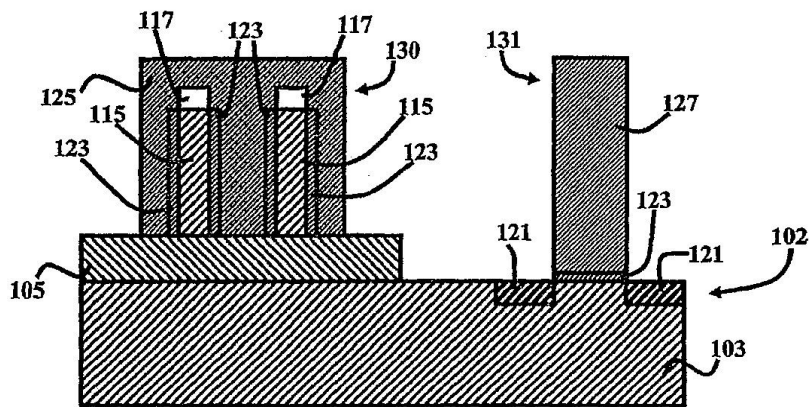
도면7



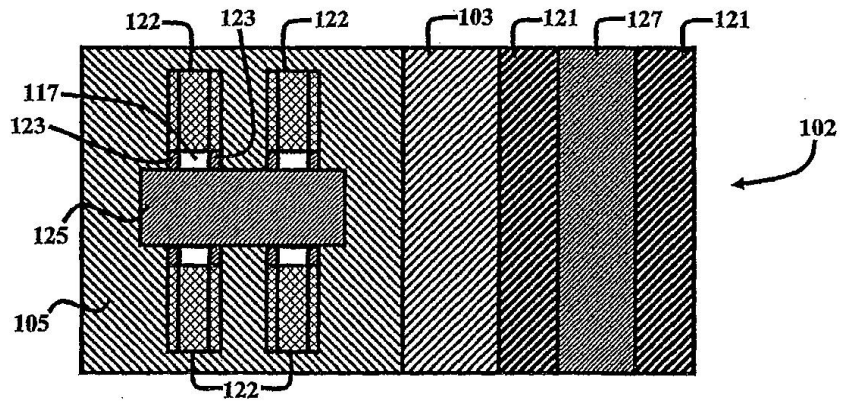
도면8



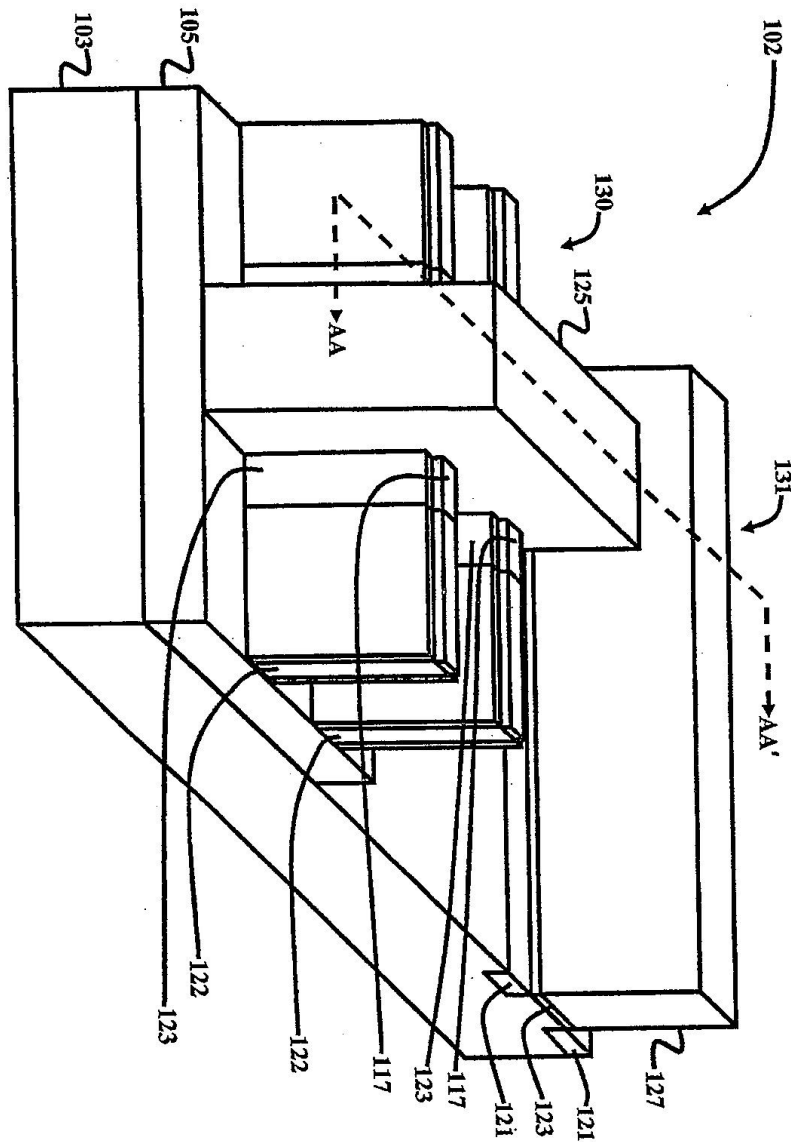
도면9



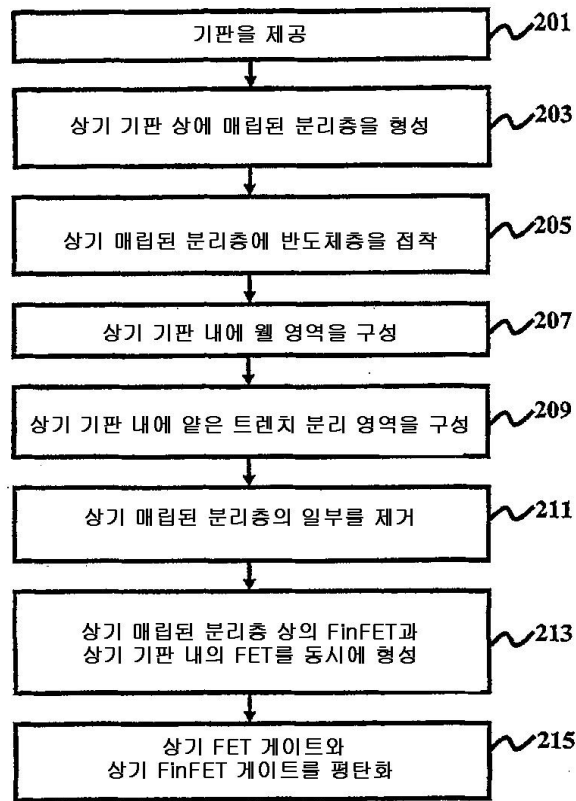
도면10



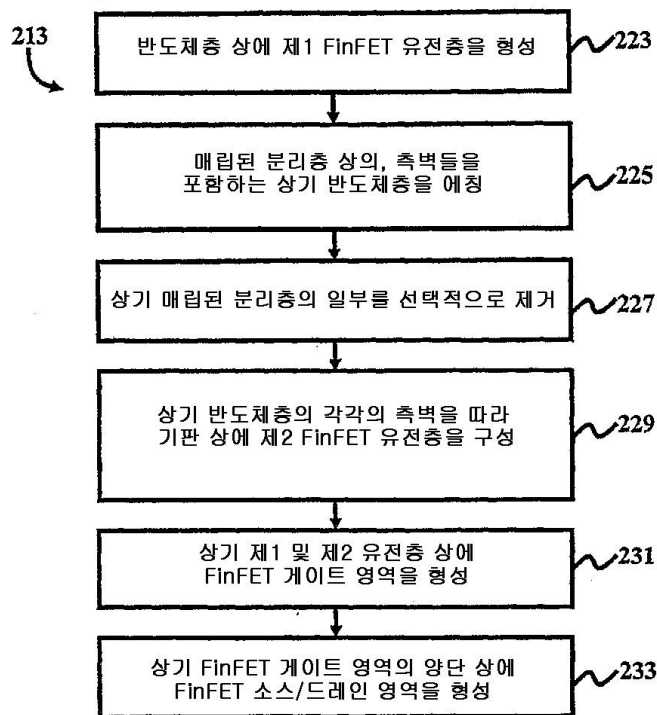
도면11



도면12



도면13



도면14

