

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和1年8月15日(2019.8.15)

【公開番号】特開2019-57162(P2019-57162A)

【公開日】平成31年4月11日(2019.4.11)

【年通号数】公開・登録公報2019-014

【出願番号】特願2017-181565(P2017-181565)

【国際特許分類】

G 06 F 9/46 (2006.01)

G 06 F 9/54 (2006.01)

G 06 F 9/50 (2006.01)

【F I】

G 06 F 9/46 350

G 06 F 9/46 480 A

G 06 F 9/46 462 A

【手続補正書】

【提出日】令和1年7月8日(2019.7.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のコアを備える1つの物理計算機上で複数の仮想計算機が動作する仮想化システムであって、

複数のハードウェア(13a、13b、13c、13d)と、

複数の前記ハードウェアのそれぞれの動作を制御するための前記コアであるハードウェア制御コア(11x)と、

前記仮想計算機のOSであるゲストOSが動作するための前記コアである複数の仮想計算機コア(11a、11b、11c)と、

前記ハードウェア制御コア及び複数の前記仮想計算機コアのそれぞれが同時並行的にアクセス可能なメモリである共有メモリ(12)と、を備え、

1つの前記仮想計算機は、1つ又は複数の前記仮想計算機コアを専有して動作するよう

に設定されており、

前記ハードウェア制御コアは、複数の前記ハードウェアのそれぞれに対応するデバイスドライバを実行することによって、複数の前記ハードウェアのそれぞれの動作を制御するデバイスドライバ部(F2)を備え、

前記ゲストOSは、デバイスドライバを備えておらず、前記デバイスドライバ部を用いてハードウェアを使用するものであり、

前記ハードウェア制御コアと前記仮想計算機コアとの通信は、前記共有メモリへのデータ保存及び当該保存されたデータの読み出によって実現され、

前記デバイスドライバ部は、前記仮想計算機が前記共有メモリに保存したデータに基づいて前記ハードウェアの動作を制御するとともに、前記ハードウェアから入力されたデータを前記共有メモリに保存することによって前記仮想計算機コアに提供する仮想化システム。

【請求項2】

請求項1に記載の仮想化システムであって、

前記共有メモリとして、

前記ハードウェア制御コアから前記仮想計算機コアに向けたデータが保存されるアップリンクメモリ（M2）と、

前記仮想計算機コアから前記ハードウェア制御コアに向けたデータが保存されるダウンリンクメモリ（M1）と、を前記仮想計算機コア毎に備え、

前記ハードウェア制御コアは、前記アップリンクメモリへのデータ保存は実行可能に設定されている一方、前記ダウンリンクメモリへのデータ保存は禁止されており、

前記仮想計算機コアは、前記ダウンリンクメモリへのデータ保存は実行可能に設定されている一方、前記アップリンクメモリへのデータ保存は禁止されている仮想化システム。

#### 【請求項3】

複数のコアを備える1つの物理計算機上で複数の仮想計算機が動作する仮想化システムであって、

複数のハードウェア（13a、13b、13c、13d）と、

複数の前記ハードウェアのそれぞれの動作を制御するための前記コアであるハードウェア制御コア（11x）と、

前記仮想計算機のOSであるゲストOSが動作するための前記コアである複数の仮想計算機コア（11a、11b、11c）と、

前記ハードウェア制御コア及び複数の前記仮想計算機コアのそれぞれが同時並行的にアクセス可能なメモリである共有メモリ（12）と、を備え、

1つの前記仮想計算機は、1つ又は複数の前記仮想計算機コアを専有して動作するよう設定されており、

前記ハードウェア制御コアは、複数の前記ハードウェアのそれぞれに対応するデバイスドライバを実行することによって、複数の前記ハードウェアのそれぞれの動作を制御するデバイスドライバ部（F2）を備え、

前記ハードウェア制御コアと前記仮想計算機コアとの通信は、前記共有メモリへのデータ保存及び当該保存されたデータの読み出によって実現され、

前記デバイスドライバ部は、前記仮想計算機が前記共有メモリに保存したデータに基づいて前記ハードウェアの動作を制御するとともに、前記ハードウェアから入力されたデータを前記共有メモリに保存することによって前記仮想計算機コアに提供し、

前記共有メモリとして、

前記ハードウェア制御コアから前記仮想計算機コアに向けたデータが保存されるアップリンクメモリ（M2）と、

前記仮想計算機コアから前記ハードウェア制御コアに向けたデータが保存されるダウンリンクメモリ（M1）と、を前記仮想計算機コア毎に備え、

前記ハードウェア制御コアは、前記アップリンクメモリへのデータ保存は実行可能に設定されている一方、前記ダウンリンクメモリへのデータ保存は禁止されており、

前記仮想計算機コアは、前記ダウンリンクメモリへのデータ保存は実行可能に設定されている一方、前記アップリンクメモリへのデータ保存は禁止されている仮想化システム。

#### 【請求項4】

請求項1から3の何れか1項に記載の仮想化システムであって、

前記ハードウェア制御コアは、

前記デバイスドライバ部が前記ハードウェアから取得したデータを前記共有メモリに保存するとともに、前記共有メモリにデータを保存した場合には、前記共有メモリに保存されているデータを読み出すように要求する割込み信号を前記仮想計算機コアに出力する制御側保存処理部（F12）と、

前記仮想計算機コアから前記割込み信号が入力されたことに基づいて、前記共有メモリに保存されているデータを読み出す制御側読み出部（F11）と、を備え、

前記仮想計算機コアは、

前記制御側保存処理部から出力される前記割込み信号を受信したことに基づいて、前記共有メモリに保存されているデータを読み出す仮想計算機側読み出部（G11）と、

前記仮想計算機側読出部が読み出したデータを用いて所定の演算処理を実行するとともに、前記演算処理の結果として前記ハードウェアに向けたデータを出力する処理実行部（G2）と、

前記処理実行部から出力されたデータを前記共有メモリに保存するとともに、前記共有メモリにデータを保存した場合には前記割込み信号を前記ハードウェア制御コアに出力する仮想計算機側保存処理部（G12）と、を備える仮想化システム。

#### 【請求項5】

請求項1から4の何れか1項に記載の仮想化システムであって、

前記物理計算機は車両に搭載されて使用される計算機であって、

前記ゲストOSは、前記車両に搭載されている所定の電子機器を制御するためのOS、又は、車両外部との通信に係る機能を提供するOSである仮想化システム。

#### 【請求項6】

請求項5に記載の仮想化システムであって、

前記デバイスドライバは、隠匿されたソースコードで実装されている仮想化システム。

#### 【請求項7】

複数のコアと、複数のハードウェアを備える物理層と、ランダムアクセスメモリを備える物理計算機を、請求項1から6の何れか1項に記載の前記仮想化システムとして動作させるプログラムであって、

複数の前記コアのうちの1つを前記ハードウェア制御コアに設定するとともに、残りの前記コアを前記仮想計算機コアに設定するコア割当部（Pm11）と、

前記ランダムアクセスメモリが備える記憶領域の一部又は全部を前記共有メモリに設定する共有メモリ設定部（Pm12）と、を備える仮想化プログラム。

#### 【請求項8】

複数のコアと、ランダムアクセスメモリと、複数のハードウェアを備える物理層と、を備える物理計算機を、請求項1から6の何れか1項に記載の前記仮想化システムとして動作させるプログラムであって、複数の前記コアのうちの1つを前記ハードウェア制御コアに設定するとともに、残りの前記コアを前記仮想計算機コアに設定するコア割当部（Pm11）と、前記ランダムアクセスメモリが備える記憶領域の一部又は全部を前記共有メモリに設定する共有メモリ設定部（Pm12）と、を備えるプログラムを記憶している記憶媒体。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

その目的を達成するための本発明における第1の仮想化システムは、複数のコアを備える1つの物理計算機上で複数の仮想計算機が動作する仮想化システムであって、複数のハードウェア（13a、13b、13c、13d）と、複数のハードウェアのそれぞれの動作を制御するためのコアであるハードウェア制御コア（11x）と、仮想計算機のOSであるゲストOSが動作するためのコアである複数の仮想計算機コア（11a、11b、11c）と、ハードウェア制御コア及び複数の仮想計算機コアのそれぞれが同時並行的にアクセス可能なメモリである共有メモリ（12）と、を備え、1つの仮想計算機は、1つ又は複数の仮想計算機コアを専有して動作するように設定されており、ハードウェア制御コアは、複数のハードウェアのそれぞれに対応するデバイスドライバを実行することによって、複数のハードウェアのそれぞれの動作を制御するデバイスドライバ部（F2）を備え、ゲストOSは、デバイスドライバを備えておらず、デバイスドライバ部を用いてハードウェアを使用するものであり、ハードウェア制御コアと仮想計算機コアとの通信は、共有メモリへのデータ保存及び当該保存されたデータの読み出によって実現され、デバイスドライバ部は、仮想計算機が共有メモリに保存したデータに基づいてハードウェアの動作を制

御するとともに、ハードウェアから入力されたデータを共有メモリに保存することによって仮想計算機コアに提供する。

その目的を達成するための本発明における第2の仮想化システムは、複数のコアを備える1つの物理計算機上で複数の仮想計算機が動作する仮想化システムであって、複数のハードウェア(13a、13b、13c、13d)と、複数のハードウェアのそれぞれの動作を制御するためのコアであるハードウェア制御コア(11x)と、仮想計算機のOSであるゲストOSが動作するためのコアである複数の仮想計算機コア(11a、11b、11c)と、ハードウェア制御コア及び複数の仮想計算機コアのそれぞれが同時並行的にアクセス可能なメモリである共有メモリ(12)と、を備え、1つの仮想計算機は、1つ又は複数の仮想計算機コアを専有して動作するように設定されており、ハードウェア制御コアは、複数のハードウェアのそれぞれに対応するデバイスドライバを実行することによって、複数のハードウェアのそれぞれの動作を制御するデバイスドライバ部(F2)を備え、ハードウェア制御コアと仮想計算機コアとの通信は、共有メモリへのデータ保存及び当該保存されたデータの読み出によって実現され、デバイスドライバ部は、仮想計算機が共有メモリに保存したデータに基づいてハードウェアの動作を制御とともに、ハードウェアから入力されたデータを共有メモリに保存することによって仮想計算機コアに提供し、共有メモリとして、ハードウェア制御コアから仮想計算機コアに向けたデータが保存されるアップリンクメモリ(M2)と、仮想計算機コアからハードウェア制御コアに向けたデータが保存されるダウンリンクメモリ(M1)と、を仮想計算機コア毎に備え、ハードウェア制御コアは、アップリンクメモリへのデータ保存は実行可能に設定されている一方、ダウンリンクメモリへのデータ保存は禁止されており、仮想計算機コアは、ダウンリンクメモリへのデータ保存は実行可能に設定されている一方、アップリンクメモリへのデータ保存は禁止されている。