(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
05 octobre 2023 (05.10.2023)

WIPO | PCT

(10) Numéro de publication internationale
WO 2023/187030 A1

(51) Classification internationale des brevets :
H01L 21/762 (2006.01) *H10N 30/079* (2023.01)
H03H 9/02 (2006.01) *H10N 30/00* (2023.01)

(21) Numéro de la demande internationale :
PCT/EP2023/058244

(22) Date de dépôt international :
30 mars 2023 (30.03.2023)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
FR2202897 30 mars 2022 (30.03.2022) FR

(71) Déposant : **SOITEC** [FR/FR] ; Parc Technologique des Fontaines, Chemin des Franques, 38190 Bernin (FR).

(72) Inventeurs : **TAVEL, Brice** ; Parc Technologique des Fontaines, Chemin des Franques, 38190 Bernin (FR). **BERTRAND, Isabelle** ; Parc Technologique des Fontaines, Chemin des Franques, 38190 Bernin (FR). **VEYTIZOU, Christelle** ; Parc Technologique des Fontaines, Chemin des Franques, 38190 Bernin (FR).

(74) Mandataire : **GRÜNECKER PATENT- UND RECHTSANWÄLTE PARTG MBB** ; Leopoldstr. 4, 80802 Munich (DE).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

WO 2023/187030 A1

(54) **Title:** PIEZOELECTRIC-ON-INSULATOR (POI) SUBSTRATE AND METHOD FOR PRODUCING A PIEZOELECTRIC-ON-INSULATOR (POI) SUBSTRATE

(54) **Titre :** SUBSTRAT PIÉZOÉLECTRIQUE SUR ISOLANT (POI) ET PROCÉDÉ DE FABRICATION D'UN SUBSTRAT PIÉZOÉLECTRIQUE SUR ISOLANT (POI)

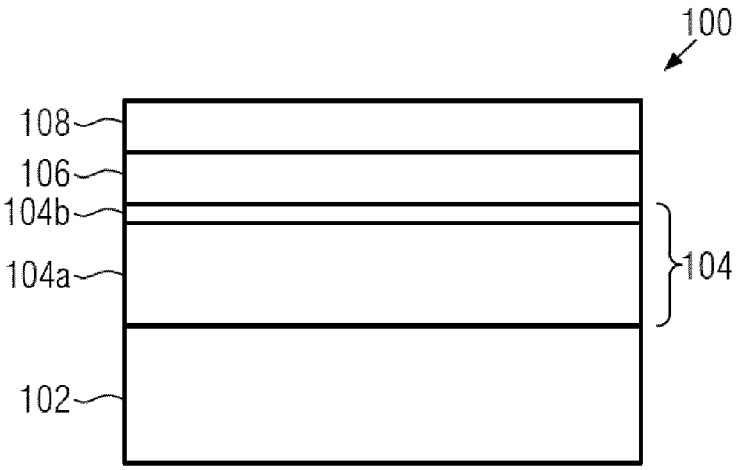


FIG. 1

(57) **Abstract:** The invention relates to a piezoelectric-on-insulator (POI) substrate (100) comprising a support substrate (102), in particular a silicon-based substrate, a piezoelectric layer (108), in particular a layer of lithium tantalate (LTO) or lithium niobate (LNO), a dielectric layer (106), in particular a layer of silicon oxide, sandwiched between the piezoelectric layer (108) and the support substrate (102), and a trapping structure (104) sandwiched between the dielectric layer (106) and the support substrate (102). The trapping structure (104) comprises at least two trapping layers (104a, 104b) which are based on different materials. The invention also relates to a method for producing a piezoelectric-on-insulator (POI) substrate.

(57) **Abrégé :** Divulgué est un substrat piézoélectrique sur isolant (POI) (100) comprenant un substrat support (102), en particulier un substrat à base de silicium, une couche piézoélectrique (108), en particulier une couche de tantalate de lithium (LTO) ou de niobate de

[Suite sur la page suivante]

MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) **États désignés** *(sauf indication contraire, pour tout titre de protection régionale disponible)* : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— *avec rapport de recherche internationale (Art. 21(3))*

lithium (LNO), une couche diélectrique (106), en particulier une couche d'oxyde en silicium, en sandwich entre la couche piézoélectrique (108) et le substrat support (102), une structure de piégeage (104) en sandwich entre la couche diélectrique (106) et le substrat support (102). La structure de piégeage (104) comprend au moins deux couches de piégeage (104a, 104b) à base de matériaux différents. L'invention concerne également un procédé de fabrication d'un substrat piézoélectrique sur isolant (POI).

Description

Titre de l'invention : Substrat piézoélectrique sur isolant (POI) et procédé de fabrication d'un substrat piézoélectrique sur isolant (POI)

[001]. L'invention concerne un substrat piézoélectrique sur isolant (POI) comprenant dans cet ordre un substrat support, une structure de piégeage, une couche diélectrique et une couche piézoélectrique, ainsi qu'un procédé de fabrication d'un tel substrat POI.

[002]. De tels substrats sont connus dans l'état de l'art, par exemple un substrat POI comprenant un substrat silicium monocristallin, une structure de piégeage en silicium polycristallin, une couche d'oxyde de silicium et une couche piézoélectrique, en particulier une couche de tantalate de lithium (LTO) ou de niobate de lithium (LNO). La structure de piégeage permet de réduire des pertes liées à des effets de conduction parasitique à l'interface entre le substrat support et la couche diélectrique. En effet, la couche de piégeage, qui est insérée entre le substrat support et la couche diélectrique, sert à réduire la durée de vie des charges dans cette région.

[003]. Cependant on observe que, lors de traitements thermiques dans le cadre de ou ultérieurs à la fabrication des substrats POI, des éléments métalliques de la couche piézoélectrique, tel que le lithium, peuvent diffuser à travers la couche diélectrique et la structure de piégeage jusqu'à l'interface avec le substrat support. L'accumulation de ces éléments métalliques réduit les performances de la structure de piégeage et la suppression des courants parasitiques est ainsi négativement affectée.

[004]. Il est possible d'augmenter l'épaisseur de la couche de piégeage pour augmenter le nombre de pièges disponibles. Or, dans ce cas, des modes parasites apparaissent dans des dispositifs utilisant le substrat POI, tels que des filtres, des capteurs etc.

[005]. L'objet de l'invention est donc d'augmenter le nombre de pièges avec moins de risque d'apparition d'effets parasites.

[006]. L'objet de l'invention est réalisé par un substrat piézoélectrique sur isolant (POI) comprenant : un substrat support, en particulier un substrat à base de silicium, une couche piézoélectrique, en particulier une couche de tantalate de lithium (LTO) ou de niobate de lithium (LNO), une couche diélectrique, en particulier une couche d'oxyde de silicium, en sandwich entre la couche piézoélectrique et le substrat support, et une structure de piégeage en sandwich entre la couche diélectrique et le substrat support comprenant une première couche de piégeage à base de silicium polycristallin ou amorphe ou poreux, de préférence à base de silicium polycristallin. Ce substrat POI est caractérisé en ce que la structure de piégeage comprend une deuxième couche de piégeage à base d'un matériau différent.

[007]. L'ajout d'une deuxième couche de piégeage avec un matériau différent dans la structure de piégeage permet d'augmenter le nombre de pièges, sans avoir à augmenter l'épaisseur totale de la structure de piégeage dans la même mesure qu'il le serait nécessaire dans le cas d'une structure de piégeage mono-matériau.

[008]. Selon un mode de réalisation, la deuxième couche de piégeage peut être à base de carbure de silicium. Une deuxième couche à base de carbure de silicium permet de réduire de manière efficace les courants parasitiques.

[009]. Selon un mode de réalisation, la deuxième couche de piégeage à base de carbure de silicium peut être plus fine que la première couche. Ainsi l'apport d'une couche plus mince de carbure de silicium permet d'augmenter le nombre de pièges, tout en limitant l'apparition de modes parasites dus à la présence de la structure de piégeage, notamment en comparaison avec une couche de piégeage mono-matériau à base de silicium ayant le même nombre de piège.

[0010]. Selon un mode de réalisation, la deuxième couche de piégeage à base de carbure de silicium peut avoir une épaisseur inférieure ou égale à 500nm, en particulier une épaisseur inférieure ou égale à 200nm, plus en particulier inférieure ou égale à 50nm. Même pour de telles faibles épaisseurs, on observe une augmentation suffisante du nombre de pièges.

[0011]. Selon un mode de réalisation, la première couche de piégeage à base de silicium peut avoir une épaisseur inférieure ou égale à 2µm, en particulier une épaisseur inférieure ou égale à 1µm. En utilisant une deuxième couche de piégeage, il devient possible de maintenir l'épaisseur de la première couche de piégeage suffisamment faible. Ainsi les modes parasites dus à cette couche ne peuvent pas se développer, ou tout au moins leur contribution reste négligeable.

[0012]. Selon un mode de réalisation, la deuxième couche de piégeage peut être directement formée sur la première couche de piégeage. Ainsi peut être maintenue une structure compacte.

[0013]. Selon un mode de réalisation, la première couche de piégeage est positionnée entre le substrat support et la deuxième couche de piégeage. Ceci facilite la formation de la structure de piégeage, car une couche de carbure de silicium est déposée à plus basse température qu'une couche de silicium.

[0014]. Selon un mode de réalisation, la structure de piégeage comprend seulement la première couche de piégeage et la deuxième couche de piégeage.

[0015]. Selon un mode de réalisation, la structure de piégeage est arrangée directement sur le substrat et la couche diélectrique est arrangée directement sur la structure de piégeage.

[0016]. L'objet de l'invention est également réalisé par un procédé de fabrication d'un substrat piézoélectrique sur isolant (POI) tel que décrit ci-dessus et comprenant les étapes de : fournir un substrat support, en particulier un substrat à base de silicium, fournir un substrat comprenant une couche piézoélectrique, en particulier un substrat comprenant du tantalate de lithium (LTO) ou du niobate de lithium (LNO), former une structure de piégeage par-dessus le substrat support, former une couche diélectrique, en particulier une couche d'oxyde de silicium, par-dessus le substrat comprenant une couche piézoélectrique et/ou par-dessus la structure de piégeage, assembler le substrat piézoélectrique avec le substrat support tel que la couche diélectrique et la structure de piégeage sont en sandwich entre la couche piézoélectrique et le substrat support, caractérisé en ce que la formation de la structure de piégeage comprend la formation d'une première couche à

base de silicium polycristallin ou amorphe ou poreux, de préférence à base de silicium polycristallin, et la formation d'une deuxième couche de piégeage à base d'un matériau différent.

[0017]. Selon un mode de réalisation, le procédé de fabrication d'un substrat piézoélectrique peut comprendre de plus une étape de : former une zone de fragilisation à l'intérieur de la couche piézoélectrique, en particulier avant l'étape d'assemblage, et réaliser une fracture le long de la zone de fragilisation pour séparer une partie de la couche piézoélectrique du restant du substrat comprenant la couche piézoélectrique après l'étape d'assemblage pour transférer la partie de la couche piézoélectrique sur le substrat support. Ce procédé permet de fabriquer les substrats POI selon l'invention de manière industrielle.

[0018]. L'invention et ses avantages sont décrits plus en détail dans la suite au moyen de modes de réalisation avantageux exemplaires et en se référant notamment aux figures d'accompagnement suivantes, dans lesquelles les numéros de référence identifient des caractéristiques de l'invention.

[0019]. [Figure 1] représente schématiquement un substrat piézoélectrique sur isolant (POI) selon un premier mode de réalisation de l'invention.

[0020]. [Figure 2] représente schématiquement un procédé de fabrication d'un substrat piézoélectrique sur isolant (POI) selon un deuxième mode de réalisation de l'invention.

[0021]. Les modes de réalisation décrits sont simplement des configurations possibles et il convient de garder à l'esprit que les caractéristiques individuelles telles que décrites ci-dessus peuvent être fournies indépendamment les unes des autres, ou peuvent être omises intégralement lors de la mise en œuvre de la présente invention.

[0022]. [Figure 1] représente schématiquement un substrat piézoélectrique sur isolant (POI) 100 selon le premier mode de réalisation de l'invention.

[0023]. Le substrat piézoélectrique sur isolant 100 comprend un substrat support 102. Dans ce premier mode de réalisation, le substrat support 102 est un substrat à base de silicium, notamment une plaquette de silicium monocristallin.

[0024]. Une structure de piégeage 104 est agencée par-dessus le substrat support 102. La structure de piégeage 104 peut être en contact direct avec le substrat support 102. La structure de piégeage 104 a une épaisseur égale ou inférieure à 2µm, de préférence égale ou inférieure à 1µm, encore plus de préférence égale ou inférieure à 600nm.

[0025]. Selon le premier mode de réalisation la structure de piégeage 104 comprend deux couches : une première couche de piégeage 104a et une deuxième couche de piégeage 104b ayant un matériau différent du matériau de la première couche de piégeage 104a.

[0026]. Selon une variante, la structure de piégeage 104 comprend seulement la première couche de piégeage 104a et la deuxième couche de piégeage 104b.

[0027]. La première couche de piégeage 104a est à base de silicium polycristallin ou à base de silicium amorphe ou à base de silicium poreux. La deuxième couche de piégeage 104b est à base de carbure de silicium (SiC). De préférence il s'agit de couches déposées par dépôt chimique en phase vapeur à basse pression (LPCVD) ou par dépôt chimique en phase vapeur activé par

plasma (PECVD) ou par dépôt chimique en phase vapeur activé par plasma haute densité (HDP-CVD).

[0028]. Dans ce mode de réalisation les deux couches de piégeage 104a,104b ont des épaisseurs différentes. La couche de piégeage à base de silicium 104a a, de préférence, une épaisseur inférieure ou égale à 2µm, en particulier une épaisseur inférieure ou égale à 1µm. La couche de piégeage à base de carbure de silicium 104b a de préférence une épaisseur inférieure ou égale à 500nm, en particulier une épaisseur inférieure ou égale à 200nm, et plus en particulier une épaisseur inférieure ou égale à 50nm. Selon un exemple de l'invention, la première couche de piégeage 104a a une épaisseur de 500nm et la deuxième couche de piégeage 104b a une épaisseur de 50nm.

[0029]. Une couche diélectrique 106 est agencée par-dessus, en particulier directement sur la structure de piégeage 104. La couche diélectrique 106 est de préférence une couche à base d'oxyde de silicium. La couche diélectrique 106 a de préférence une épaisseur entre 100nm et 1µm, en particulier entre 200nm et 700nm. La couche diélectrique 106 peut être formée par dépôt CVD ou tout autre procédé de dépôt approprié.

[0030]. Une couche piézoélectrique 108 est agencée par-dessus, en particulier directement sur la couche diélectrique 106. Il s'agit de préférence d'une couche de tantalate de lithium (LTO) ou de niobate de lithium (LNO). La couche piézoélectrique 108 a typiquement une épaisseur comprise entre 200nm et 1µm.

[0031]. L'utilisation d'une structure de piégeage 104 avec deux couches de piégeage 104a, 104b de matériaux différents permet d'augmenter le nombre de pièges sans pour autant augmenter l'épaisseur de la structure de piégeage 104 de manière excessive.

[0032]. En ajoutant une deuxième couche de piégeage 104b d'un matériau différent, et en particulier plus mince, il devient possible d'augmenter le nombre de pièges tout en gardant une épaisseur suffisamment faible de la structure de piégeage pour limiter l'apparition de modes parasites dans des dispositifs finaux tels que des capteurs, des filtres etc.

[0033]. Selon une variante, l'ordre de la première couche de piégeage 104a et de la deuxième couche de piégeage 104b peut être inversé. Dans ce cas c'est la deuxième couche de piégeage à base de carbure de silicium qui se trouve entre le substrat support 102 et la première couche de piégeage 104a à base de silicium polycristallin ou à base de silicium amorphe ou à base de silicium poreux.

[0034]. [Figure 2] représente schématiquement un procédé de fabrication d'un substrat piézoélectrique sur isolant (POI) selon le deuxième mode de réalisation de l'invention pour obtenir un substrat POI 100 selon le premier mode de réalisation tel que décrit ci-dessus en relation avec la Figure 1. Les numéros de référence déjà utilisés en référence à la Figure 1 dans le cadre de la description du substrat POI 100 sont réutilisés afin de décrire le procédé du second mode de réalisation.

[0035]. Le procédé de fabrication d'un substrat piézoélectrique sur isolant (POI) 100 commence par l'étape I) de fournir un substrat support 102, notamment un substrat à base de silicium, en particulier une plaquette de silicium monocristallin.

[0036]. Selon ce deuxième mode de réalisation de l'invention, l'étape II) prévoit la formation de la structure de piégeage 104 sur une surface libre 120 du substrat support 102.

[0037]. La formation de la structure de piégeage 104 commence par la formation d'une première couche de piégeage 104a réalisée par dépôt chimique en phase vapeur à basse pression (LPCVD). Selon des variantes, la formation de la première couche de piégeage 104a de l'étape II) peut être réalisée par une technique de croissance thermique ou par dépôt physique en phase vapeur (PVD).

[0038]. La couche de piégeage 104a formée sur le substrat support 102 est une couche à base de silicium polycristallin, à base de silicium amorphe ou à base de silicium poreux.

[0039]. L'épaisseur de la couche de piégeage 104a est égale ou inférieure à 2µm, en particulier égale ou inférieure à 1µm.

[0040]. Ensuite, une deuxième couche de piégeage 104b est formée sur la première couche de piégeage 104b. Cette deuxième couche de piégeage 104b est à base de carbure de silicium. La deuxième couche de piégeage 104b est formée avec une épaisseur inférieure à la première couche de piégeage, de préférence avec une épaisseur égale ou inférieur à 500nm, en particulier une épaisseur inférieure ou égale à 200nm, plus en particulier d'une épaisseur égale ou inférieure à 50nm.

[0041]. La deuxième couche de piégeage 104b est réalisée par dépôt chimique en phase vapeur à basse pression (LPCVD) ou par dépôt chimique en phase vapeur activé par plasma (PECVD) ou par dépôt chimique en phase vapeur activé par plasma haute densité (HDP-CVD). Selon des variantes, la formation de la deuxième couche de piégeage 104b lors de l'étape II) peut être réalisée par une technique de croissance thermique ou par dépôt physique en phase vapeur (PVD). Typiquement la formation de la deuxième couche de piégeage 104b est réalisée à plus basse température que la première couche de piégeage 104a.

[0042]. Avant la formation de la deuxième couche de piégeage un ou plusieurs traitements de la surface de la première couche de piégeage 104a peuvent avoir lieu, tel qu'un polissage, en particulier un polissage de type CMP, ou une activation de la surface par traitement plasma ou ozone.

[0043]. Lors de l'étape III) une couche diélectrique 106a est formée sur la surface libre 122 de la deuxième couche de piégeage 104b. La couche diélectrique 106a est de préférence une couche d'oxyde de silicium formée par dépôt chimique en phase vapeur (CVD) ou par dépôt physique en phase vapeur (PVD).

[0044]. La couche diélectrique 106a a de préférence une épaisseur égale ou inférieure à 1µm, en particulier égale ou inférieure à 700nm.

[0045]. Un traitement thermique peut être réalisé après le dépôt de la couche diélectrique 106a pour la densifier.

[0046]. Lors de l'étape IV), un substrat 124 comprenant une couche piézoélectrique 126, en particulier un substrat 124 comprenant du tantalate de lithium (LTO) ou du niobate de lithium (LNO), est fourni. La couche piézoélectrique 124 est, dans ce mode de réalisation, agencée par-dessus d'un

substrat de base 126. Dans une alternative, la couche piézoélectrique 126 est une couche massive et forme le substrat 124 en entier.

[0047]. Lors de l'étape V) une deuxième couche diélectrique 106b, en particulier une couche d'oxyde de silicium, est réalisée sur la surface libre 130 de la couche piézoélectrique 126. Cette couche est réalisée de la même manière que la couche diélectrique 106a formée lors de l'étape III). L'épaisseur est choisie telle que la somme des épaisseurs des deux couches diélectriques 106a et 106b est entre 100nm et 1µm, en particulier entre 200nm et 700nm.

[0048]. Selon une variante, une ou plusieurs étapes de traitement de surface de la surface libre 130 du substrat 124 comprenant une couche piézoélectrique peuvent être réalisées avant la formation de la couche diélectrique 106b. Par exemple peut être réalisés un traitement d'activation de surface, tel qu'un traitement plasma et/ou un traitement à base d'ozone.

[0049]. Lors de l'étape VI), le substrat 124 obtenu après l'étape V) est assemblé avec le substrat support 102 obtenu à l'étape III) pour former un assemblage 132 substrat support – substrat comprenant une couche piézoélectrique.

[0050]. L'assemblage est mis en œuvre de manière à ce que les couches diélectriques 106a et 106b soient mis en contact direct. L'assemblage se met en œuvre de préférence par adhésion moléculaire.

[0051]. Une fois les deux substrats assemblés, une étape d'amincissement VII) de l'assemblage 132 est réalisée pour obtenir le substrat POI 100 avec une couche plus mince piézoélectrique 108, tel qu'illustré dans la Figure 1.

[0052]. Par exemple, l'étape d'amincissement peut être réalisée par meulage, ou par une étape de formation d'une zone de fragilisation dans la couche piézoélectrique 126 avant l'étape VI) d'assemblage, de manière à délimiter la couche piézoélectrique 108 à transférer sur le substrat support 102, suivi par une fracturation. Cette étape de formation d'une zone de fragilisation est réalisée par une implantation d'espèces atomiques ou ioniques dans la couche piézoélectrique 126. L'implantation atomique ou ionique peut être réalisée de telle manière que la zone de fragilisation est située à l'intérieur de la couche piézoélectrique 126 et délimite une couche piézoélectrique 108 à transférer du reste de la couche piézoélectrique 126. Ensuite, une étape de fracturation de l'assemblage 132 par un apport d'énergie thermique et/ou mécanique au niveau de la zone de fragilisation de la couche piézoélectrique 126 est ensuite réalisé, afin d'obtenir le substrat piézoélectrique sur isolant (POI) 100.

[0053]. Selon des variantes, le collage entre le substrat support 102 et le substrat 124 peut aussi se faire entre la structure de piégeage 104 et la couche diélectrique 106b, c'est-à-dire sans réaliser l'étape III), ou entre la couche diélectrique 106a et la couche piézoélectrique 126.

[0054]. Avant la réalisation d'une ou plusieurs des couches mentionnées ci-dessus, une ou plusieurs étapes de nettoyage, de brossage ou de polissage de la surface directement en dessous peuvent être réalisées pour enlever la présence de particules et de poussière.

Revendications

[Revendication 1]. Substrat piézoélectrique sur isolant (POI) comprenant :

- un substrat support (102), en particulier un substrat à base de silicium,
- une couche piézoélectrique (108), en particulier une couche de tantalate de lithium (LTO) ou de niobate de lithium (LNO),
- une couche diélectrique (106), en particulier une couche d'oxyde en silicium, en sandwich entre la couche piézoélectrique (108) et le substrat support (102),
- une structure de piégeage (104) en sandwich entre la couche diélectrique (106) et le substrat support (102) comprenant une première couche de piégeage (104a) à base de silicium polycristallin ou amorphe ou poreux, de préférence à base de silicium polycristallin, et,

la structure de piégeage (104) comprend une deuxième couche de piégeage (104b) à base de carbure de silicium

caractérisé en ce que

la première couche de piégeage (104a) est positionnée entre le substrat support (102) et la deuxième couche de piégeage (104b).

[Revendication 2]. Substrat piézoélectrique sur isolant (POI) selon la revendication 1, dans lequel la deuxième couche de piégeage (104b) est plus fine que la première couche de piégeage (104a).

[Revendication 3]. Substrat piézoélectrique sur isolant (POI) selon la revendication 1 ou 2, dans lequel la deuxième couche de piégeage (104b) a une épaisseur inférieure ou égale à 500nm, en particulier une épaisseur inférieure ou égale à 200nm, en particulier une épaisseur inférieure ou égale à 50nm.

[Revendication 4]. Substrat piézoélectrique sur isolant (POI) selon une des revendications 1 à 3, dans lequel la première couche de piégeage a une épaisseur inférieure ou égale à 2µm, en particulier une épaisseur inférieure ou égale à 1µm.

[Revendication 5]. Substrat piézoélectrique sur isolant (POI) selon une des revendications 1 à 4, dans lequel la deuxième couche de piégeage (104b) est directement formée sur la première couche de piégeage (104a).

[Revendication 6]. Substrat piézoélectrique sur isolant (POI) selon une des revendications 1 à 5, dans lequel la structure de piégeage (104) comprend seulement la première couche de piégeage (104a) et la deuxième couche de piégeage (104b).

[Revendication 7]. Procédé de fabrication d'un substrat piézoélectrique sur isolant (POI) selon une des revendications 1 à 5 comprenant les étapes de :

- fournir un substrat support, en particulier un substrat à base de silicium,
- fournir un substrat comprenant une couche piézoélectrique, en particulier un substrat comprenant du tantalate de lithium (LTO) ou du niobate de lithium (LNO),
- former une structure de piégeage par-dessus le substrat support,
- former une couche diélectrique, en particulier une couche d'oxyde de silicium, pardessus le

substrat piézoélectrique et/ou par-dessus la structure de piégeage,

- assembler le substrat comprenant une couche piézoélectrique avec le substrat support tel que la couche diélectrique et la structure de piégeage sont en sandwich entre la couche piézoélectrique et le substrat support

la formation de la structure de piégeage comprend la formation d'une première couche à base de silicium polycristallin ou amorphe ou poreux sur le substrat support, de préférence à base de silicium polycristallin, et, ensuite la formation d'une deuxième couche de piégeage à base de carbure de silicium.

[Revendication 8]. Procédé de fabrication d'un substrat piézoélectrique selon la revendication 6, comprenant par ailleurs une étape de :

- former une zone de fragilisation à l'intérieur de la couche piézoélectrique, et
- réaliser une fracture le long de la zone de fragilisation pour séparer une partie de la couche piézoélectrique du restant du substrat comprenant la couche piézoélectrique après l'étape d'assemblage pour transférer la partie de la couche piézoélectrique sur le substrat support.

[Figure 1]

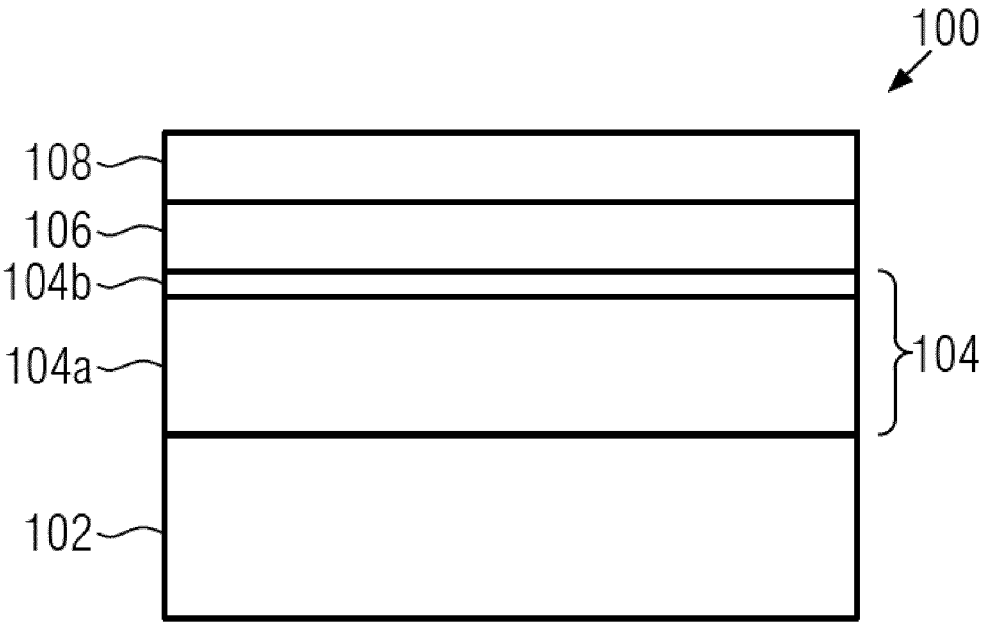


FIG. 1

[Figure 2]

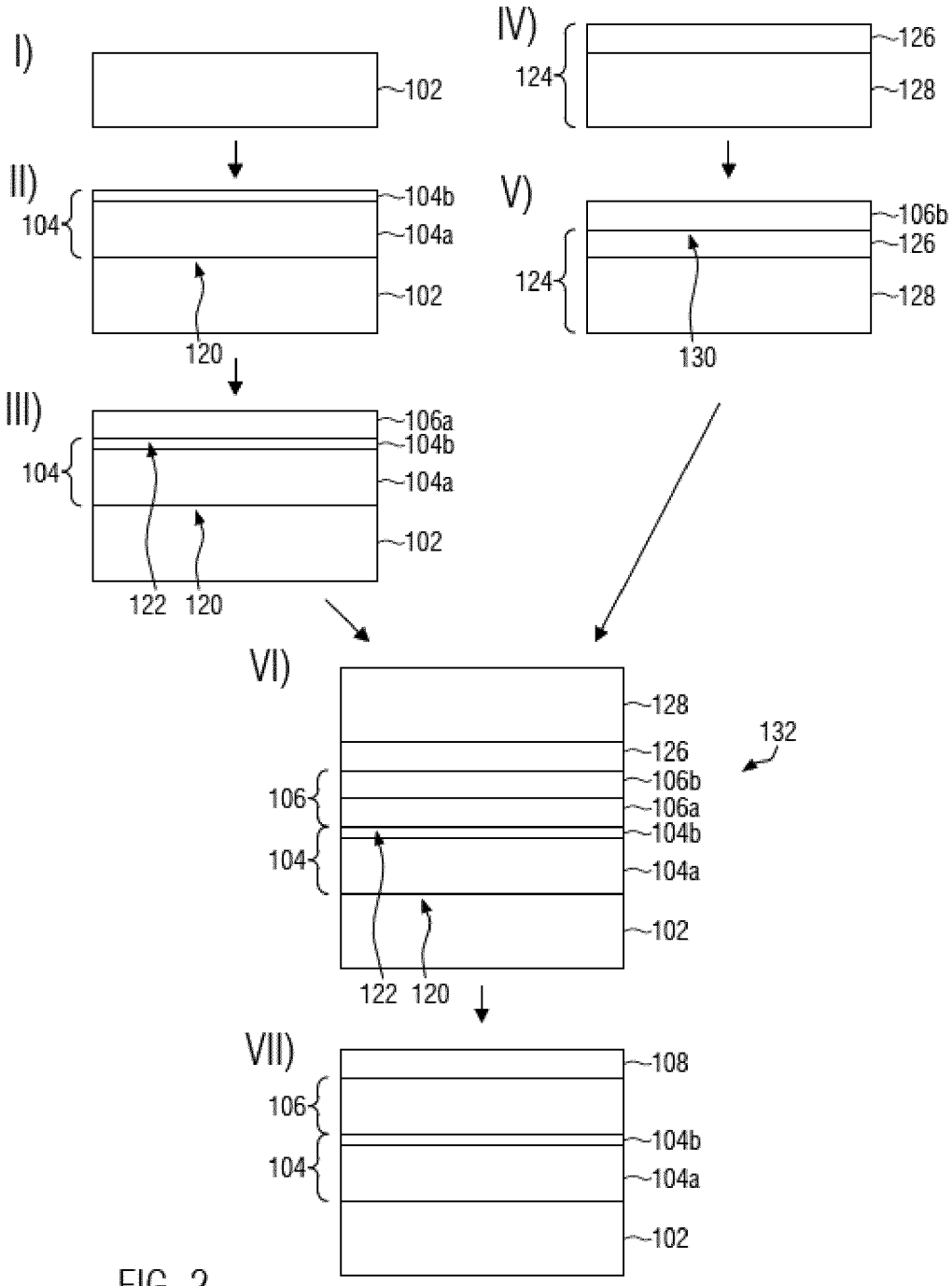


FIG. 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/EP2023/058244

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/762(2006.01)i; ***H03H 9/02***(2006.01)i; ***H10N 30/079***(2023.01)i; ***H10N 30/00***(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022023630 A1 (SOITEC SILICON ON INSULATOR [FR]) 03 February 2022 (2022-02-03) page 7, line 5 - page 12, line 18; figure 2	1-8
X	WO 2017144821 A1 (SOITEC SILICON ON INSULATOR; UNIV CLAUDE BERNARD LYON ET AL.) 31 August 2017 (2017-08-31) page 7, line 14 - page 18, line 7; figures 1-3	1-8

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 May 2023	**12 June 2023**

Name and mailing address of the ISA/EP	Authorized officer
European Patent Office **p.b. 5818, Patentlaan 2, 2280 HV Rijswijk** **Netherlands** Telephone No. **(+31-70)340-2040** Facsimile No. **(+31-70)340-3016**	**Gröger, Andreas** Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/EP2023/058244

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022023630 A1	03 February 2022	CN 115777139 A	10 March 2023
		EP 4189734 A1	07 June 2023
		KR 20230042215 A	28 March 2023
		TW 202232658 A	16 August 2022
		WO 2022023630 A1	03 February 2022
WO 2017144821 A1	31 August 2017	CN 109155276 A	04 January 2019
		EP 3420583 A1	02 January 2019
		FR 3048306 A1	01 September 2017
		JP 6981629 B2	15 December 2021
		JP 2019512870 A	16 May 2019
		KR 20190013696 A	11 February 2019
		SG 10201913216X A	27 February 2020
		SG 11201807197P A	27 September 2018
		TW 201742108 A	01 December 2017
		US 2019058031 A1	21 February 2019
		WO 2017144821 A1	31 August 2017

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2023/058244

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

INV. H01L21/762 H03H9/02 H10N30/079 H10N30/00
ADD.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H01L H03H

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 2022/023630 A1 (SOITEC SILICON ON INSULATOR [FR]) 3 février 2022 (2022-02-03) page 7, ligne 5 - page 12, ligne 18; figure 2	1-8
X	WO 2017/144821 A1 (SOITEC SILICON ON INSULATOR; UNIV CLAUDE BERNARD LYON ET AL.) 31 août 2017 (2017-08-31) page 7, ligne 14 - page 18, ligne 7; figures 1-3	1-8

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
"E" document antérieur, mais publié à la date de dépôt international ou après cette date
"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée
"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
"X" document particulièrement pertinent;; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
"Y" document particulièrement pertinent;; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
31 mai 2023	12/06/2023

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Gröger, Andreas

Formulaire PCT/ISA/210 (deuxième feuille) (avril 2005)

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2023/058244

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2022023630 A1	03-02-2022	CN 115777139 A	10-03-2023
		EP 4189734 A1	07-06-2023
		KR 20230042215 A	28-03-2023
		TW 202232658 A	16-08-2022
		WO 2022023630 A1	03-02-2022
WO 2017144821 A1	31-08-2017	CN 109155276 A	04-01-2019
		EP 3420583 A1	02-01-2019
		FR 3048306 A1	01-09-2017
		JP 6981629 B2	15-12-2021
		JP 2019512870 A	16-05-2019
		KR 20190013696 A	11-02-2019
		SG 10201913216X A	27-02-2020
		SG 11201807197P A	27-09-2018
		TW 201742108 A	01-12-2017
		US 2019058031 A1	21-02-2019
		WO 2017144821 A1	31-08-2017