



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0126944
(43) 공개일자 2009년12월09일

(51) Int. Cl.

H03L 7/00 (2006.01) H03B 19/00 (2006.01)

(21) 출원번호 10-2008-0053321

(22) 출원일자 2008년06월05일

심사청구일자 2008년06월05일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김철우

서울 성북구 길음동 1283 길음뉴타운 605-1301

구자범

서울 서초구 방배동 경남아파트 2-205

육성화

서울 동대문구 용두2동 738-2 효명빌딩 210호

(74) 대리인

전중학

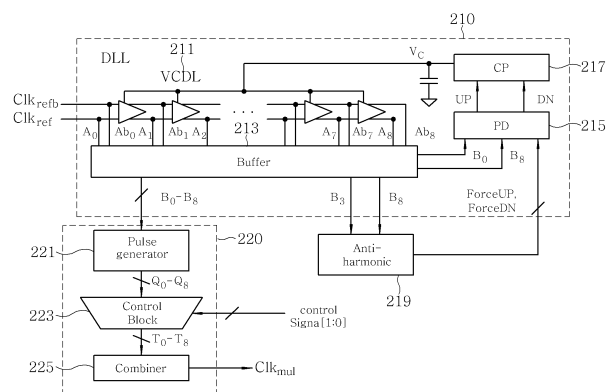
전체 청구항 수 : 총 15 항

(54) 지연고정 루프 기반의 주파수 체배기

(57) 요약

본 발명은 지연 고정 루프 기반의 주파수 체배기에 관한 것으로, 본 발명에 따른 주파수 체배기는 N개의 지연단을 가지는 전압 제어 지연선 및 버퍼단을 포함하며, 상기 버퍼단을 통과한 기준 클럭 신호에 상기 전압 제어 지연선을 통과하여 상기 버퍼단을 지난 마지막 클럭 신호를 록킹하고, 상기 록킹된 상태에서 상기 기준 클럭 신호로부터 상기 지연단의 개수 N만큼 균등하게 분포된 N+1개의 클럭 신호들을 발생시키고, 상기 클럭 신호들을 상기 버퍼단을 통과시켜 다중 클럭 신호들을 발생시키는 지연 고정 루프; 상기 버퍼단을 통과한 다중 클럭 신호들 중에서 2개의 다중 클럭 신호를 이용하여 하모닉 록을 방지하는 하모닉 록 방지 블록; 및 상기 버퍼단을 통과한 다중 클럭 신호들을 이용하여 일정 배수의 주파수 체배된 출력 클럭을 발생시키는 주파수 체배부를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

N개의 지연단을 가지는 전압 제어 지연선 및 버퍼단을 포함하며, 상기 버퍼단을 통과한 기준 클록 신호에 상기 전압 제어 지연선을 통과하여 상기 버퍼단을 지난 마지막 클록 신호를 록킹하고, 상기 록킹된 상태에서 상기 기준 클록 신호로부터 상기 지연단의 개수 N만큼 균등하게 분포된 N+1개의 클록 신호들을 발생시키고, 상기 클록 신호들을 상기 버퍼단을 통과시켜 다중 클록 신호들을 발생시키는 지연 고정 루프;

상기 버퍼단을 통과한 다중 클록 신호들 중에서 2개의 다중 클록 신호를 이용하여 하모닉 록을 방지하는 하모닉 록 방지 블록; 및

상기 버퍼단을 통과한 다중 클록 신호들을 이용하여 일정 배수의 주파수 체배된 출력 클록을 발생시키는 주파수 체배부를 포함하는 지연 고정 루프 기반의 주파수 체배기.

청구항 2

청구항 1에 있어서, 상기 하모닉 록 방지 블록에서 이용하는 2개의 다중 클록 신호는 상기 다중 클록 중에서 1/3번째 다중 클록 신호 및 마지막 다중 클록 신호인 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 3

청구항 1에 있어서, 상기 하모닉 록 방지 블록에서 이용하는 2개의 다중 클록 신호는 상기 다중 클록 중에서 1/3번째 다중 클록 신호 다음의 다중 클록 신호 및 마지막 다중 클록 신호인 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 4

청구항 2 또는 청구항 3에 있어서, 상기 하모닉 록 방지 블록은 상기 2개의 다중 클록 신호가 하모닉 록에 걸리지 않는 범위안에 있는 경우 상기 지연 고정 루프를 정상 동작시키며, 그렇지 아니하는 경우 상기 전압 제어 지연선의 지연량을 조절하여 하모닉 록에 걸리지 않도록 조절하는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 5

청구항 4에 있어서, 상기 마지막 다중 클록 신호가 상기 기준 클록 신호의 0.5배 내지 1.5배 사이에 해당하는 시간 영역에 있으며, 상기 1/3번째 다중 클록 신호 또는 1/3번째 다중 클록 신호 다음의 다중 클록 신호가 상기 기준 클록 신호의 반주기 안에 있는 경우 상기 하모닉 록 방지 블록은 하모닉 록에 걸리지 않은 범위 안에 있는 것으로 판단하는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 6

청구항 1에 있어서, 상기 주파수 체배부는

상기 다중 클록 신호들 간의 지연 폭 만큼의 펄스들을 발생시키는 펄스 생성기;

상기 일정 배수에 대응되는 주파수 체배비를 조절하기 위하여 상기 펄스들 중에서 이용하고자 하는 펄스들을 선택하는 컨트롤러 블록; 및

상기 컨트롤러 블록에서 선택된 펄스들을 조합하여 상기 일정 배수의 주파수 체배된 출력 클록을 발생시키는 컴바이너를 포함하는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 7

청구항 6에 있어서, 상기 펄스 생성기는 입력되는 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 하이로하며 리셋이 동작되는 경우 상기 펄스의 출력을 로우로하는 제1 플립플롭 및 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 로우로하며 리셋이 동작되는 경우 상기 펄스의 출력을 하이로하는 제2 플립플롭이 N/2개씩 번갈아 배치되어 구성되는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 8

청구항 7에 있어서, 상기 제1 플립플롭 및 상기 제2플립플롭의 입력은 상기 다중 클록이 순차적으로 입력되며, 상기 제1 플립플롭 및 상기 제2플립플롭의 리셋은 해당 플립플롭의 입력신호인 다중 클록 신호의 바로 다음의 다중 클록 신호인 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 9

N개의 지연단을 가지는 전압 제어 지연선 및 버퍼단을 포함하며, 상기 버퍼단을 통과한 기준 클록 신호에 상기 전압 제어 지연선을 통과하여 상기 버퍼단을 지난 마지막 클록 신호를 록킹하고, 상기 록킹된 상태에서 상기 기준 클록 신호로부터 상기 지연단의 개수 N만큼 균등하게 분포된 N+1개의 클록 신호들을 발생시키고, 상기 클록 신호들을 상기 버퍼단을 통과시켜 다중 클록 신호들을 발생시키는 지연 고정 루프; 및

상기 버퍼단을 통과한 다중 클록 신호들을 이용하여 일정 배수의 주파수 체배된 출력 클록을 발생시키는 주파수 체배부를 포함하는 지연 고정 루프 기반의 주파수 체배기.

청구항 10

청구항 9에 있어서, 상기 주파수 체배부는

상기 다중 클록 신호들 간의 지연 폭 만큼의 펄스들을 발생시키는 펄스 생성기;

상기 일정 배수에 대응되는 주파수 체배비를 조절하기 위하여 상기 펄스들 중에서 이용하고자 하는 펄스들을 선택하는 컨트롤러 블록; 및

상기 컨트롤러 블록에서 선택된 펄스들을 조합하여 상기 일정 배수의 주파수 체배된 출력 클록을 발생시키는 컴바이너를 포함하는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 11

청구항 10에 있어서, 상기 펄스 생성기는 입력되는 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 하이로하며 리셋이 동작되는 경우 상기 펄스의 출력을 로우로하는 제1 플립플롭 및 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 로우로하며 리셋이 동작되는 경우 상기 펄스의 출력을 하이로하는 제2 플립플롭이 N/2개씩 번갈아 배치되어 구성되는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 12

청구항 10에 있어서, 상기 제1 플립플롭 및 상기 제2플립플롭의 입력은 상기 다중 클록이 순차적으로 입력되며, 상기 제1 플립플롭 및 상기 제2플립플롭의 리셋은 해당 플립플롭의 입력신호인 다중 클록 신호의 바로 다음의 다중 클록 신호인 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배기.

청구항 13

지연 고정 루프를 포함하는 주파수 체배기에 사용되는 주파수 체배 장치에 있어서,

상기 지연 고정 루프에서 생성된 다중 클록 신호들 간의 지연 폭 만큼의 펄스들을 발생시키는 펄스 생성기;

주파수 체배비를 조절하기 위하여 상기 펄스들 중에서 이용하고자 하는 펄스들을 선택하는 컨트롤러 블록; 및

상기 컨트롤러 블록에서 선택된 펄스들을 조합하여 상기 주파수 체배비 만큼의 주파수 체배된 출력 클록을 발생시키는 컴바이너를 포함하는 것을 특징으로 하는 주파수 체배 장치.

청구항 14

청구항 13에 있어서, 상기 펄스 생성기는 입력되는 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 하이로하며 리셋이 동작되는 경우 상기 펄스의 출력을 로우로하는 제1 플립플롭 및 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 로우로하며 리셋이 동작되는 경우 상기 펄스의 출력을 하이로하는 제2 플립플롭이 N/2개씩 번갈아 배치되어 구성되는 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배 장치.

청구항 15

청구항 13에 있어서, 상기 제1 플립플롭 및 상기 제2플립플롭의 입력은 상기 다중 클록이 순차적으로 입력되며, 상기 제1 플립플롭 및 상기 제2플립플롭의 리셋은 해당 플립플롭의 입력신호인 다중 클록 신호의 바로 다음의 다중 클록 신호인 것을 특징으로 하는 지연 고정 루프 기반의 주파수 체배 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 지연 고정 루프 기반의 주파수 체배기에 관한 것으로, 특히 하모닉 록킹(Harmonic Locking) 문제를 해결할 수 있는 하모닉 록 방지 블록을 갖는 지연 고정 루프 기반의 주파수 체배기에 관한 것이다.

배경 기술

- <2> 21세기를 맞이하면서 전 세계는 정보화 사회로 진입하고 있다. 정보화 사회는 언제든지 어디서든지 정보를 접할 수 있고 또한 이를 자유롭게 활용할 수 있는 사회이다. 이런 정보화 사회가 가능하게 했던 가장 큰 기술적 요인이라면 무엇보다 마이크로프로세서의 비약적인 발전을 꼽을 수 있다. 마이크로프로세서가 고성능으로 발전하면서 컴퓨터 및 디지털 통신 기기들의 대역폭 또한 증가하고 있다. 데이터가 전송되거나 이동하는 시간은 더욱 짧아지고 있으며, 이 데이터를 처리하고 위해 마이크로프로세서 또는 디지털 기기는 높은 주파수에서 동작하는 클록을 요구하고 있다. 또한 불확정한 시간 영역인 지터나 스큐의 영향을 고려해야 하므로 저지터(Low Jitter)의 클록 발생기를 개발하는 것은 여러 시스템에서 중요한 문제이다. 이러한 상황은 시스템이 점점 더 고속화, 집적화 되어감에 따라 더욱 중요해지고 있다.
- <3> 기존의 전압제어지연선 (Voltage Controlled Delay Line)을 사용하는 지연고정루프 (Delay-Locked Loop) 기반의 주파수 체배기는 이러한 저지터, 고속 클록의 요구 상황에 부합하기 때문에 클록 발생기 개발에 많이 쓰이고 있다. 그러나 예지 컴바이너를 이용한 기존의 주파수 체배기는 체배시 필요한 펄스 신호를 만들어 내는 과정에서 많은 AND 게이트들을 사용하고 있다. 이는 주파수 체배기의 입력에서 출력까지 많은 로직 게이트들을 거치게 되어 지터가 축적될 뿐만 아니라 체배 이전의 클록과 체배된 클록 사이에 지연이 발생되게 된다.
- <4> 주파수 체배기에서는 다중 클록을 사용하는데 다중 클록 중 마지막 클록 신호가 기준 클록 신호보다 한주기 뒤에서 록이 되어야 한다. 한주기가 아니라 그보다 뒤에서 록이 될 경우 원하는 주파수의 클록이 발생되지 않고 목표한 주파수보다 낮은 주파수의 클록이 발생된다. 이 현상을 하모닉 록 상태라고 하는데 기존의 하모닉 록 방지 블록에서는 단순히 다중 클록들 중 세 개 또는 네 개의 클록들을 선택하여 이 클록들의 상대적인 위치로 하모닉 록 상태를 판별했다. 이 기법은 구성 자체가 복잡하지 않으나 상대적인 위치를 동시에 판단하기 때문에 실제로는 하모닉 록이 아니더라도 판별에 쓰이는 클록들 중 하나라도 잘못된 위치에 있게 되면 하모닉 록으로 간주하게 된다. 이러한 상황은 지터 또는 전압제어지연선에 쓰이는 조절 전압 안에 잡음이 낄므로 인해 다중 클록 간의 지연 미스매치가 발생할 경우 일어날 수 있다.

발명의 내용

해결 하고자하는 과제

- <5> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 하모닉 록 방지 블록을 사용함으로써, 적은 수의 다중 클록으로 정확한 하모닉 록 판별을 할 수 있는 고정 루프 기반의 주파수 체배기를 제공하고자 하는 것이다.
- <6> 본 발명의 다른 목적은 많은 AND 게이트들을 사용하지 아니하고도 효율적으로 주파수를 체배할 수 있는 주파수 체배기를 제공하고자 하는 것이다.

과제 해결수단

- <7> 상술한 목적을 달성하기 위하여, 본 발명의 일 측면에 따르면 N개의 지연단을 가지는 전압 제어 지연선 및 버퍼단을 포함하며, 상기 버퍼단을 통과한 기준 클록 신호에 상기 전압 제어 지연선을 통과하여 상기 버퍼단을 지난 마지막 클록 신호를 록킹하고, 상기 록킹된 상태에서 상기 기준 클록 신호로부터 상기 지연단의 개수 N만큼 균등하게 분포된 N+1개의 클록 신호들을 발생시키고, 상기 클록 신호들을 상기 버퍼단을 통과시켜 다중 클록 신호들을 발생시키는 지연 고정 루프; 상기 버퍼단을 통과한 다중 클록 신호들 중에서 2개의 다중 클록 신호를 이용

하여 하모닉 록을 방지하는 하모닉 록 방지 블록; 및 상기 버퍼단을 통과한 다중 클록 신호들을 이용하여 일정 배수의 주파수 체배된 출력 클록을 발생시키는 주파수 체배부를 포함하는 지연 고정 루프 기반의 주파수 체배기를 제공할 수 있다.

<8> 바람직한 실시예에서 상기 하모닉 록 방지 블록에서 이용하는 2개의 다중 클록 신호는 상기 다중 클록 중에서 1/3번째 다중 클록 신호 또는 그 다음 다중 클록 신호 및 마지막 다중 클록 신호인 것을 특징으로 한다. 또한 상기 하모닉 록 방지 블록은 상기 2개의 다중 클록 신호가 하모닉 록에 걸리지 않는 범위안에 있는 경우 상기 지연 고정 루프를 정상 동작시키며, 그렇지 아니하는 경우 상기 전압 제어 지연선의 지연량을 조절하여 하모닉 록에 걸리지 않도록 조절하는 것을 특징한다. 또한 상기 마지막 다중 클록 신호가 상기 기준 클록 신호의 0.5배 내지 1.5배 사이에 해당하는 시간 영역에 있으며, 상기 1/3번째 다중 클록 신호 또는 그 다음 다중 클록 신호가 상기 기준 클록 신호의 반주기 안에 있는 경우 상기 하모닉 록 방지 블록은 하모닉 록에 걸리지 않은 범위 안에 있는 것으로 판단하는 것을 특징으로 한다.

<9> 바람직한 실시예에서 상기 주파수 체배부는 상기 다중 클록 신호들 간의 지연 폭 만큼의 펄스들을 발생시키는 펄스 생성기; 상기 일정 배수에 대응되는 주파수 체배비를 조절하기 위하여 상기 펄스들 중에서 이용하고자 하는 펄스들을 선택하는 컨트롤러 블록; 및 상기 컨트롤러 블록에서 선택된 펄스들을 조합하여 상기 일정 배수의 주파수 체배된 출력 클록을 발생시키는 컴бай너를 포함하는 것을 특징으로 한다. 또한 상기 펄스 생성기는 입력되는 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 하이로하며 리셋이 동작되는 경우 상기 펄스의 출력을 로우로하는 제1 플립플롭 및 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 로우로하며 리셋이 동작되는 경우 상기 펄스의 출력을 하이로하는 제2 플립플롭이 N/2개씩 번갈아 배치되어 구성되는 것을 특징으로 한다. 또한 상기 제1 플립플롭 및 상기 제2플립플롭의 입력은 상기 다중 클록이 순차적으로 입력되며, 상기 제1 플립플롭 및 상기 제2플립플롭의 리셋은 해당 플립플롭의 입력신호인 다중 클록 신호의 바로 다음의 다중 클록 신호인 것을 특징으로 한다.

<10> 본 발명의 다른 측면에 따르면, N개의 지연단을 가지는 전압 제어 지연선 및 버퍼단을 포함하며, 상기 버퍼단을 통과한 기준 클록 신호에 상기 전압 제어 지연선을 통과하여 상기 버퍼단을 지난 마지막 클록 신호를 록킹하고, 상기 록킹된 상태에서 상기 기준 클록 신호로부터 상기 지연단의 개수 N만큼 균등하게 분포된 N+1개의 클록 신호들을 발생시키고, 상기 클록 신호들을 상기 버퍼단을 통과시켜 다중 클록 신호들을 발생시키는 지연 고정 루프; 및 상기 버퍼단을 통과한 다중 클록 신호들을 이용하여 일정 배수의 주파수 체배된 출력 클록을 발생시키는 주파수 체배부를 포함하는 지연 고정 루프 기반의 주파수 체배기를 제공할 수 있다.

<11> 바람직한 실시예에서 상기 주파수 체배부는 상기 다중 클록 신호들 간의 지연 폭 만큼의 펄스들을 발생시키는 펄스 생성기; 상기 일정 배수에 대응되는 주파수 체배비를 조절하기 위하여 상기 펄스들 중에서 이용하고자 하는 펄스들을 선택하는 컨트롤러 블록; 및 상기 컨트롤러 블록에서 선택된 펄스들을 조합하여 상기 일정 배수의 주파수 체배된 출력 클록을 발생시키는 컴бай너를 포함하는 것을 특징으로 한다. 또한 상기 펄스 생성기는 입력되는 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 하이로하며 리셋이 동작되는 경우 상기 펄스의 출력을 로우로하는 제1 플립플롭 및 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 로우로하며 리셋이 동작되는 경우 상기 펄스의 출력을 하이로하는 제2 플립플롭이 N/2개씩 번갈아 배치되어 구성되는 것을 특징으로 한다. 또한 상기 제1 플립플롭 및 상기 제2플립플롭의 입력은 상기 다중 클록이 순차적으로 입력되며, 상기 제1 플립플롭 및 상기 제2플립플롭의 리셋은 해당 플립플롭의 입력신호인 다중 클록 신호의 바로 다음의 다중 클록 신호인 것을 특징으로 한다.

<12> 본 발명의 또 다른 측면에 따르면, 지연 고정 루프를 포함하는 주파수 체배기에 사용되는 주파수 체배 장치에 있어서, 상기 지연 고정 루프에서 생성된 다중 클록 신호들 간의 지연 폭 만큼의 펄스들을 발생시키는 펄스 생성기; 주파수 체배비를 조절하기 위하여 상기 펄스들 중에서 이용하고자 하는 펄스들을 선택하는 컨트롤러 블록; 및 상기 컨트롤러 블록에서 선택된 펄스들을 조합하여 상기 주파수 체배비 만큼의 주파수 체배된 출력 클록을 발생시키는 컴бай너를 포함하는 것을 특징으로 하는 주파수 체배 장치를 제공할 수 있다.

<13> 바람직한 실시예에서 상기 펄스 생성기는 입력되는 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 하이로하며 리셋이 동작되는 경우 상기 펄스의 출력을 로우로하는 제1 플립플롭 및 상기 다중 클록 신호의 상승 에지에서 상기 펄스의 출력을 로우로하며 리셋이 동작되는 경우 상기 펄스의 출력을 하이로하는 제2 플립플롭이 N/2개씩 번갈아 배치되어 구성되는 것을 특징으로 한다. 또한 상기 제1 플립플롭 및 상기 제2플립플롭의 입력은 상기 다중 클록이 순차적으로 입력되며, 상기 제1 플립플롭 및 상기 제2플립플롭의 리셋은 해당 플립플롭의 입력신호인 다중 클록 신호의 바로 다음의 다중 클록 신호인 것을 특징으로 한다.

효 과

- <14> 본 발명에 의하면 입력과 하모닉 방지 블록으로 두개의 다중 클록을 사용함으로써 주파수 체배 장치의 면적을 줄이며 정확도를 높이는 이점이 있다.
- <15> 또한 본 발명에 의하면 하드웨어의 구성이 간단하며 입력과 출력 사이의 로직들을 간단히 함으로써 지연 시간을 단축시키는 이점이 있다.

발명의 실시를 위한 구체적인 내용

- <16> 지연고정루프 기반의 주파수 체배기(DLL-based Frequency Multiplier)는 전압제어지연선(Voltage Controlled Delay Line)에서 발생된 다중의 클록 (Multiphase clock) 신호를 입력으로, 주파수 체배기 (Frequency Multiplier)를 사용하여 출력 클록을 발생한다. 본 발명에서는 정확한 주파수 체배를 위해 하모닉 록 방지 블록도 사용한다. 일반적으로 주파수 체배기는 에지 컴바이너 블록 (Edge combiner block)과 도 1에서 볼 수 있듯이 P_i 펄스 신호를 만들어내는 블록, 이를 에지 컴바이너 블록으로 전달하기 위한 많은 AND 게이트들로 구성되어 있다. 즉, 주파수 체배기의 입력에서 출력까지 거쳐야할 블록이 많아 입력에서 출력까지의 지연량이 늘어나고 지터(Jitter)와 스퍼(Spur)가 발생된다.
- <17> 전압제어지연선(Voltage Controlled Delay Line)에서 발생된 다중의 클록 중 마지막 클록이 기준 클록보다 한 주기 뒤가 아니라 그 이상의 주기 뒤에 록이 된다면 이를 하모닉 록이라 부른다. 이 경우 원하는 주파수를 갖는 출력 클록을 얻을 수가 없다. 이를 방지하기 위해 본 발명은 하모닉 록 방지 블록(Anti-harmonic Lock Block)을 사용한다.
- <18> 도 2는 이러한 문제를 개선하기 위해서 제안된 저전력 하모닉 록 방지 블록을 갖는 지연고정루프 기반의 주파수 체배기의 구성도이다.
- <19> 도 2를 참조하면, 본 발명에 따른 지연 고정 루프 기반의 주파수 체배기는 지연 고정 루프(DLL; Delay-Locked Loop, 210), 하모닉 록 방지 블록(Anti-harmonic Lock Block, 219), 주파수 체배부(220)를 포함하며, 입력 클록의 주파수를 동적으로 체배하여 출력 클록을 발생한다.
- <20> 지연 고정 루프(DLL, 210)는 전압 제어 지연선(VCDL; Voltage Controlled Delay Line, 211), 버퍼단(Buffer, 213), 위상 검출기(Phase Detector, 215) 및 전하펌프(Charge Pump, 217)를 포함한다. 본 발명의 실시예에서 상기 지연 고정 루프(210)의 전압 제어 지연선(211)은 8개의 지연단을 포함하는데 꼭 이에 한정되는 것은 아니다. 지연 고정 루프(210)의 동작은 다음과 같다. 지연 고정 루프(210)는 버퍼단(213)을 통과한 기준 클록신호(B_0)에 상기 전압 제어 지연선(211)을 통과하여 버퍼단(213)을 지난 마지막 클록신호(B_8)를 록킹(Locking)시킨다. 이때 상기 지연 고정 루프(210)는 버퍼된 상기 기준 클록 신호(B_0)와 상기 전압 제어 지연선(211)과 상기 버퍼단(213)을 통과한 마지막 클록 신호(B_8)의 위상 차이를 상기 위상 검출기(215)를 통하여 비교한 후, 그 위상 차이에 해당하는 신호(UP, DN)를 상기 전하 펌프(217)를 통하여 전압 신호(V_c)로 변경한다. 상기 전압 제어 지연선(211)은 상기 전압 신호(V_c)에 비례하는 지연량을 발생시키고, 결국 B_0 신호와 B_8 신호의 위상차는 0이 되도록 록킹된다. 지연 고정 루프(210)가 록킹(Locking)된 상태에서 전압 제어 지연선(211)은 한주기 내에서 지연단의 개수 $N(=8)$ 만큼 균등하게 분포된 클록들(B_0-B_N , $B_{b0}-B_{bN}$)을 발생시킨다. 지연 고정 루프(210)의 전압 제어 지연선(211)은 차동구조로 설계되었기 때문에 B_0-B_N 과 $B_{b0}-B_{bN}$ 의 차동 클록 신호들이 발생된다. T_{ref} 를 기준 클록의 주기라고 할 때, 지연 고정 루프(210)가 록이 된 상태에서 B_0-B_N 과 $B_{b0}-B_{bN}$ 의 차동신호들은 T_{ref}/N 시간만큼 균등하게 지연된다. 예를 들면 B_0 와 B_1 의 시간차이는 T_{ref}/N 이다. 이렇게 기준 클록을 기준으로 일정한 지연량을 갖는 다중 클록들은 주파수 체배부(220)의 입력으로 들어가 체배비에 따라 $x0.5$, $x1$, $x2$, $x4$ 배의 출력 클록으로 나오게 된다. 또한 다중 클록들 중 마지막 클록(B_8)과 $1/3$ 지점에 있는 클록(B_3)은 상기 하모닉 록 방지 블록(219)에서 하모닉 록 방지에 사용된다. 상기 주파수 체배부(220)는 펄스 생성기(221), 컨트롤러 블록(223) 및 컴바이너(225)를 포함하는데 상기 주파수 체배부(220)의 상세한 구성 및 동작은 도 3 내지 도 5를 참조하여 설명하기로 한다.
- <21> 도 3은 본 발명의 바람직한 일 실시예에 따른 주파수 체배부의 전체 블록도이며, 도 4는 본 발명의 바람직한 일 실시예에 따른 주파수 체배부에서 수행되는 동작 과정을 나타낸 타이밍도이며, 도 5는 본 발명의 바람직한 일

실시예에 따른 주파수 체배부의 컴바이너의 구성도이다.

- <22> 도 3 내지 도 5를 참조하면, 본 발명에 따른 주파수 체배부는 펄스 생성기(221), 컨트롤러 블록(223) 및 컴바이너(225)를 포함하며, 기본적으로 전압 제어 지연선(Voltage Controlled Delay Line)으로부터 나오는 다중 클록을 이용한다. 상기 펄스 생성기(221)는 두 가지 종류의 플립플롭을 사용하여 다중 클록들 간의 지연 폭 만큼의 펄스들을 발생한다. 두 가지 종류의 플립플롭 중 첫 번째는 입력으로 항상 하이, 즉 VDD가 연결되어 있어 클록 입력부에 상승에지가 올 때마다 출력은 하이(VDD)가 된다. 또한 리셋이 동작되었을 경우 출력이 로우(GND)로 떨어지게 된다. 두 번째 종류의 플립플롭은 이와는 반대로 입력으로 항상 로우, 즉 GND가 연결되어 있어 클록 입력부에 상승에지가 올 때마다 출력은 GND가 된다. 리셋이 작동될 경우에는 출력이 VDD로 올라가게 된다. 지연 고정 루프의 전압 제어 지연선이 8개의 지연단을 가지는 경우 상기 펄스 생성기(221)는 이러한 두 종류의 플립플롭, 8개를 사용하여 도 4에서 보는 바와 같이 Q₁부터 Q₈까지의 펄스 신호들을 생성하게 된다. 이때 상기 펄스 생성기(221)는 두 종류의 플립플롭이 4개씩 번갈아 배치되어 구성된다.
- <23> 다중 클록들 중 첫 번째 클록(B₀)과 두 번째 클록(B₁)이 첫 번째 플립플롭의 클록 입력부와 리셋에 각각 연결된다. 이 경우 첫 번째 다중 클록(B₀)의 상승 에지가 플립플롭 클록 입력부에 먼저 오게 되어 출력이 하이(VDD)로 올라가게 된다. 두 번째 다중 클록(B₁)의 상승 에지가 리셋에 도달할 경우 출력은 하이(VDD)에서 로우(GND)로 떨어지게 된다. 이러한 방식으로 Q₁의 펄스 신호를 얻을 수 있다.
- <24> 두 번째 플립플롭에는 두 번째 다중 클록(B₁)과 세 번째 다중 클록(B₂)이 각각 클록 입력부와 리셋에 연결된다. 이전 플립플롭과 마찬가지로 두 번째 다중 클록(B₁)의 상승 에지가 클록 입력부에 먼저 도달하여 출력이 로우(GND)로 떨어진다. 도 4에서 보여지듯이, T₂ 만큼의 시간 뒤 세 번째 다중 클록(B₂)의 상승 에지가 도달하게 된다. 이 상승 에지는 리셋을 작동시키게 되어 출력이 로우(GND)에서 하이(VDD)로 변하게 된다. 이러한 방식으로 Q₂와 같은 펄스 신호를 얻을 수 있다.
- <25> 이렇게 얻은 펄스 신호들은 총 8개인데 기준 클록보다 4배 빠른 클록을 얻고자 할 경우 8개의 펄스들이 모두 이용된다. 2배 빠른 클록을 얻고자 하는 경우에는 4개의 펄스들이 이용되는데, 컨트롤러 블록(223)은 2비트로 이루어진 컨트롤 신호에 의해 0.5배, 1배, 2배, 4배 채배된 클록을 얻을 수 있다. 이렇게 선택된 펄스 신호들은 도 5에 나타난 컴바이너 블록(225)에 연결되는데 도 4의 Q₁과 같이 하이(VDD) 구간이 짧은 펄스 신호들은 컴바이너 블록(225)의 NMOS에 연결된다. Q₂와 같이 하이(VDD) 구간이 길고 로우(GND) 구간이 짧은 펄스 신호들은 PMOS에 연결된다. 도 4에서 볼 수 있듯이 Q₁ 펄스의 T₁ 구간동안 컴바이너(225)의 NMOS가 켜지게 되어 컴바이너(225)의 최종 출력은 로우(GND)로 떨어진다. 그리고 Q₂ 펄스의 T₂ 구간동안 NMOS는 꺼지고 반대로 PMOS가 켜지게 되어 최종 출력은 하이(VDD)로 올라가게 된다. 이러한 방식으로 채배된 클록(Clk_{mul}, 401)을 얻을 수 있는 것이다.
- <26> 도 6은 본 발명의 바람직한 일 실시예에 따른 하모닉 록 방지 블록에서의 동작 원리를 설명하기 위한 도면이다.
- <27> 도 6을 참조하면, 기존의 하모닉 록 방지 블록은 네 개의 다중 클록들을 선택하여 하모닉 록에 걸리지 않기 위한 범위에 위치해 있는지 판단할 수 있다. 그러나 전체적으로 하모닉 록 상태가 아닌데 레이아웃 과정과 제조 과정에서 발생하는 미스매치(Mismatch)에 의해, 다중 클록 중 하나의 지연양이 본래의 양보다 많거나 적을 수 있다. 이 경우 한 개의 다중 클록 때문에 전체적으로는 하모닉 록 상태가 아니더라도 하모닉 록으로 간주하게 된다. 본 발명에 따른 하모닉 록 방지 블록은 2개의 다중 클록들을 이용하는데 하나의 다중 클록이 하모닉 록에 걸리지 않는 범위 안에 있게 되면 다음 다중 클록을 이용한다. 그 다음 다중 클록도 하모닉 록에 걸리지 않게 되면 지연 고정 루프(Delay-Locked Loop)가 정상 동작을 하고 그렇지 않을 경우 강제로 전압 제어 지연선의 지연양을 조절하여 하모닉 록에 걸리지 않게 한다. 이때 2개의 다중 클록은 다중 클록중 마지막 다중 클록(B_N) 및 1/3번째 다중 클록 B_[(N+1)/3-1]이 사용되는 것이 바람직하다. 여기서 "[X]"는 X를 넘지않는 정수 중에서 최대 정수를 나타낸다. 예로 지연단의 개수(N)가 8개인 경우 총 다중 클록의 개수는 9개이며, 이때 하모닉 록 방지 블록에서 사용하는 2개의 다중 클록은 마지막 다중 클록인 B₈ 및 9개의 다중 클록 중 1/3 번째인 세번째 다중클록 B₂가 된다. 물론, 1/3 번째 다중클록인 B₂ 대신에 그 다음 다중 클록인 B₃가 사용되는 것도 가능하다. 또 다른 예로 지연단의 개수 N이 16인 경우 총 다중 클록의 개수는 17개가 되며, 이때 하모닉 록 방지 블록에서 사용하는

2개의 다중 클록은 마지막 다중 클록인 B_{16} 및 1/3 번째 다중 클록인 B_4 가 된다.

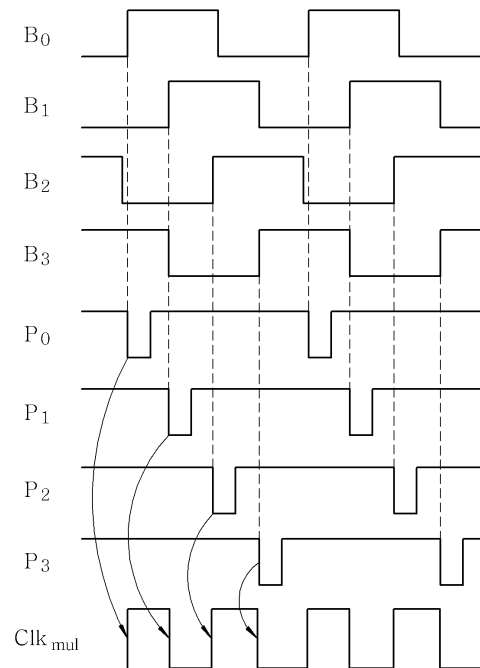
- <28> 하모닉 록에 걸리지 않기 위한 조건으로는 다중 클록 중 마지막 클록(B_8)이 기준 클록 한주기의 0.5배와 1.5배 사이에 해당하는 시간 영역에 있어야 한다. 이 범위를 벗어나게 되면 하모닉 록 상태로 들어가게 된다. 이와 마찬가지로 다중 클록 중 1/3 지점의 다중 클록(B_3)은 기준 클록의 반주기 안에 있어야 하모닉 록 상태를 피할 수 있다. 본 발명의 하모닉 록 방지 블록은 마지막 다중 클록 및 1/3 지점의 다중 클록 두개의 다중 클록만을 사용하기 때문에 하드웨어 구성을 간단히 줄일 수 있다.

도면의 간단한 설명

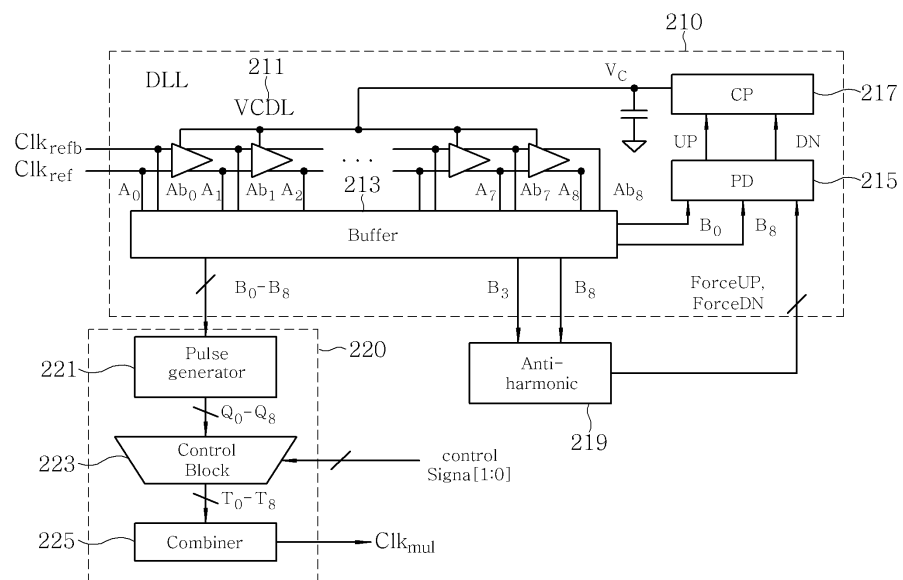
- <29> 도 1은 에지 컴바이너에 의한 동작 파형을 나타낸 타이밍도.
- <30> 도 2는 본 발명의 바람직한 일 실시예에 따른 지연고정루프 기반의 주파수 체배기의 구성도.
- <31> 도 3은 본 발명의 바람직한 일 실시예에 따른 주파수 체배부의 구성도.
- <32> 도 4는 본 발명의 바람직한 일 실시예에 따른 주파수 체배부에서 수행되는 동작 파형을 나타낸 타이밍도.
- <33> 도 5는 본 발명의 바람직한 일 실시예에 따른 주파수 체배부의 컴바이너의 구성도.
- <34> 도 6은 본 발명의 바람직한 일 실시예에 따른 하모닉 록 방지 블록에서의 동작 원리를 설명하기 위한 도면.
- <35> <도면의 주요 부분에 대한 부호의 설명>
- <36> 210 : 지연 고정 루프(DLL; Delay-Locked Loop)
- <37> 211 : 전압 제어 지연선(VCDL; Voltage Controlled Delay Line)
- <38> 213 : 버퍼단(Buffer)
- <39> 219 : 하모닉 록 방지 블록
- <40> 220 : 주파수 체배부
- <41> 140 : 에지컴바이너(Edge Combiner)

도면

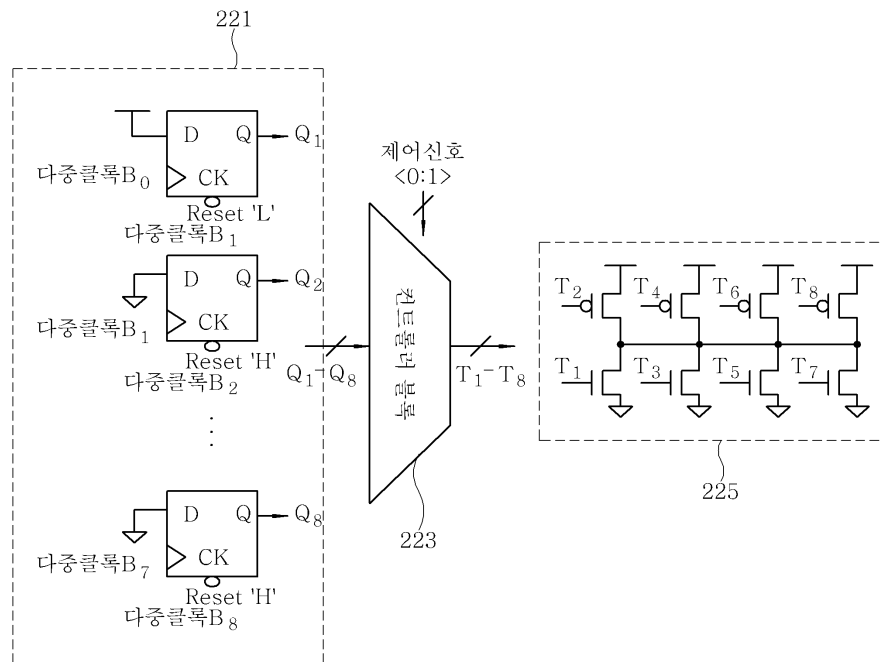
도면1



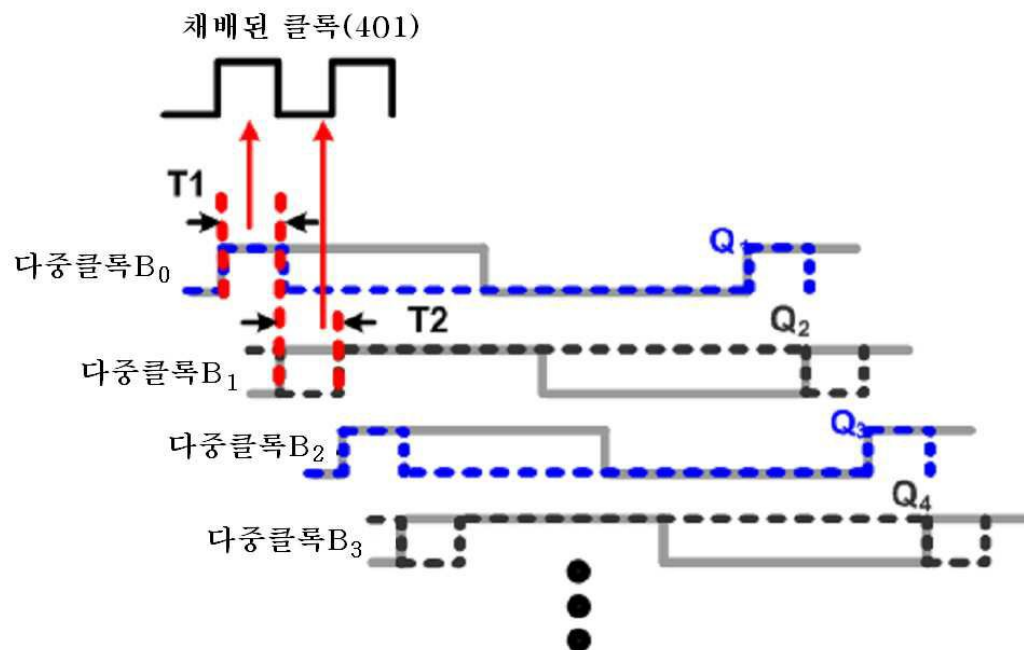
도면2



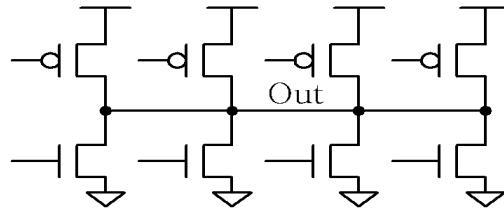
도면3



도면4



도면5



도면6

