



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I489783 B

(45) 公告日：中華民國 104 (2015) 年 06 月 21 日

(21) 申請案號：097149093

(22) 申請日：中華民國 97 (2008) 年 12 月 17 日

(51) Int. Cl. : **H03L7/081 (2006.01)**

(30) 優先權：2007/12/21 美國 61/015,670

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市新竹科學園區創新二路 2 號

(72) 發明人：林嘉亮 LIN, CHIA LIANG (US)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

US 6340909B1

US 7161397B2

審查人員：何金澤

申請專利範圍項數：20 項 圖式數：2 共 27 頁

(54) 名稱

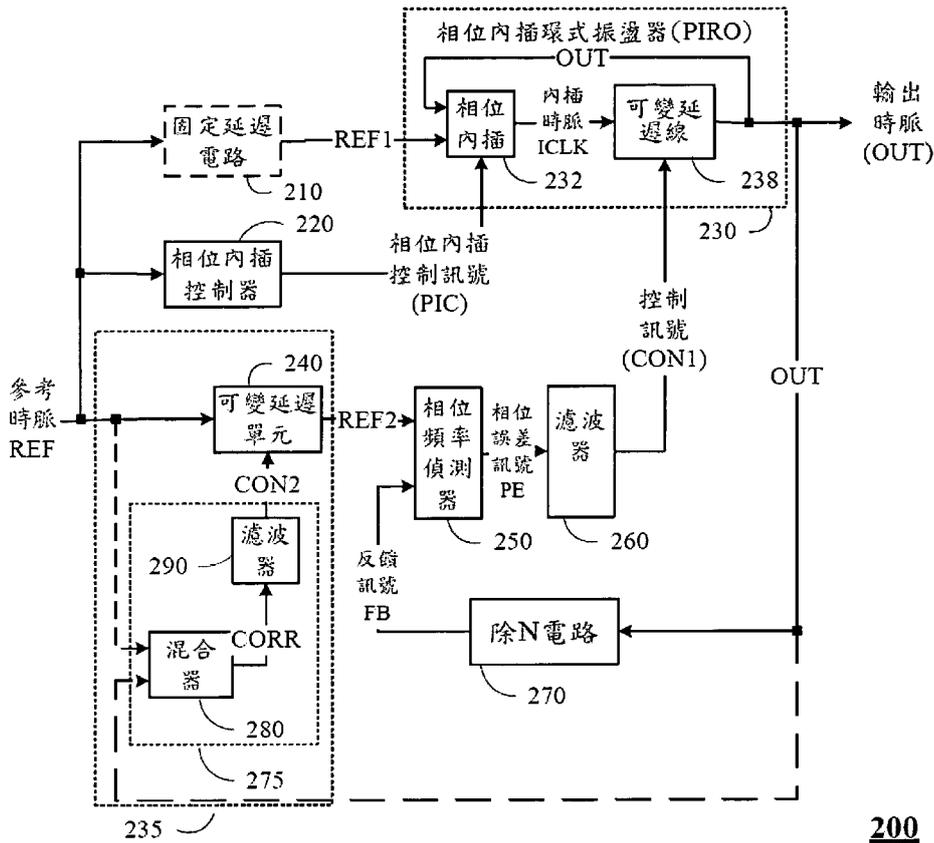
具有相位內插功能之時脈產生裝置及其相關方法

CLOCK GENERATOR WITH PHASE INTERPOLATION AND METHOD FOR THE SAME

(57) 摘要

本發明之實施例揭露了一種具有相位內插功能之時脈產生裝置。該時脈產生裝置包含相位內插控制器、除 N 電路、相位內插環式振盪器、相位/頻率偵測器、以及迴路濾波器。相位內插控制器用以產生一內插控制訊號。相位/頻率偵測器用以偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差。迴路濾波器用以濾波該相位誤差訊號以產生一第一控制訊號。相位內插環式振盪器產生由該相位內插控制訊號及該第一控制訊號所控制之一輸出時脈。除 N 電路將該輸出時脈除以一正整數 N，以產生該反饋時脈。

The present invention relates to a clock generator that utilizes a phase interpolation by a reference clock. The clock generator includes a phase-interpolated ring controller for generating a phase-interpolation control signal; a phase/frequency detector for detecting a phase difference between a second reference clock and a feedback clock and outputting a phase error signal to represent the phase difference; a loop filter for filtering the phase error signal to generate a first control signal; a phase-interpolated oscillator for generating an output clock under a control by the phase-interpolation ring control signal and the first control signal; and a divide-by-N circuit for dividing down the output clock by a factor of N to generate the feedback clock, where N is a positive integer.



第 2A 圖

**200**

- 200 . . . 鎖相迴路
- 210 . . . 固定延遲電路
- 220 . . . 相位內插 (PI) 控制器
- 230 . . . 相位內插環式振盪器 (PIRO)
- 232 . . . 相位內插器
- 240 . . . 可變延遲單元
- 250 . . . 相位/頻率偵測器
- 290 . . . 低通濾波器
- 260 . . . 迴路濾波器
- 270 . . . 除 N 電路
- 280 . . . 混合器
- CON1、CON2 . . . 控制訊號
- CORR . . . 關聯訊號
- FB . . . 反饋訊號
- ICLK . . . 內插時脈
- OUT . . . 輸出時脈
- PE . . . 相位誤差訊號
- PIC . . . 相位內插控制訊號
- REF、REF1、REF2 . . . 參考時脈

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：97149093

※申請日：97.12.17

※IPC 分類：H03L 7/081 (2006.01)

一、發明名稱：(中文/英文)

具有相位內插功能之時脈產生裝置及其相關方法 /

CLOCK GENERATOR WITH PHASE INTERPOLATION AND METHOD  
FOR THE SAME

二、中文發明摘要：

本發明之實施例揭露了一種具有相位內插功能之時脈產生裝置。該時脈產生裝置包含相位內插控制器、除 N 電路、相位內插環式振盪器、相位/頻率偵測器、以及迴路濾波器。相位內插控制器用以產生一內插控制訊號。相位/頻率偵測器用以偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差。迴路濾波器用以濾波該相位誤差訊號以產生一第一控制訊號。相位內插環式振盪器產生由該相位內插控制訊號及該第一控制訊號所控制之一輸出時脈。除 N 電路將該輸出時脈除以一正整數 N，以產生該反饋時脈。

三、英文發明摘要：

The present invention relates to a clock generator that utilizes a phase interpolation by a reference clock. The clock generator includes a phase-interpolated ring controller for generating a phase-interpolation control signal; a phase/frequency detector for detecting a phase difference between a second reference clock and a feedback clock and outputting a phase error signal

to represent the phase difference; a loop filter for filtering the phase error signal to generate a first control signal; a phase-interpolated oscillator for generating an output clock under a control by the phase-interpolation ring control signal and the first control signal; and a divide-by-N circuit for dividing down the output clock by a factor of N to generate the feedback clock, where N is a positive integer.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 2A ) 圖。

(二)本代表圖之元件符號簡單說明：

200	鎖相迴路
210	固定延遲電路
220	相位內插(PI)控制器
230	相位內插環式振盪器(PIRO)
232	相位內插器
240	可變延遲單元
250	相位/頻率偵測器
290	低通濾波器
260	迴路濾波器
270	除 N 電路
280	混合器
CON1、CON2	控制訊號
CORR	關聯訊號

FB	反饋訊號
ICLK	內插時脈
OUT	輸出時脈
PE	相位誤差訊號
PIC	相位內插控制訊號
REF、REF1、REF2	參考時脈

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

**【發明所屬之技術領域】**

本發明有關一種時脈產生裝置及其相關方法，尤指一種具有相位內插功能之時脈產生裝置及其相關方法。

**【先前技術】**

於許多應用上，時脈產生裝置(例如是鎖相迴路(PLL)、延遲鎖住定迴路(DLL))為一十分重要的電路。在本說明書中係以鎖相迴路作為說明，「第1圖」說明用以接收一參考時脈及產生一輸出時脈之一習知鎖相迴路100，其中該輸出時脈係由一頻率較其快N倍之該參考時脈來進行鎖相，且N為一整數。鎖相迴路100包含：相位/頻率偵測器(PFD)110、迴路濾波器(Loop filter)120、壓控振盪器(VCO)130及除N電路150。其中，相位/頻率偵測

器 110 用以偵測該參考時脈及一反饋時脈間之一相位差，並產生一相位誤差訊號 PE 來表示該相位差。迴路濾波器 120 用以濾波該相位誤差訊號 PE 以產生一電壓訊號 VCON。壓控振盪器 130 在電壓訊號 VCON 的控制下產生該輸出時脈。除 N 電路(除頻電路)150 用以將該輸出時脈除以 N 以產生該反饋時脈。眾所週知，鎖相迴路 100 透過一反饋的方式調整電壓訊號 VCON，以使得該反饋時脈之相位能與該參考時脈對準。在一穩態下，該反饋時脈可以準確地與該參考時脈對準，因此，相位誤差 PE 幾乎為零，且電壓訊號 VCON 幾乎為一常數值。

壓控振盪器 130 為包含有一壓控延遲線(VCDL)135 之一環式振盪器，其中，壓控延遲線 135 耦接於一自反饋(self-feedback)的電路拓樸(topology)。壓控延遲線 135 具有由電壓訊號 VCON 所控制之一延遲量。當該延遲量發生變化時，壓控振盪器 130 之振盪頻率亦會隨之變化，換言之，壓控振盪器 130 之振盪頻率可視為由電壓訊號 VCON 所控制。為此領域具通常知識者所習知，由於振盪時脈反復地在壓控延遲線 135 上循環而累積的雜訊量，故環式振盪器上通常具許多雜訊。此外，環式振盪器上的雜訊量將會使得鎖相迴路的效能衰減，因此，亟需一用以消除鎖相迴路中之環式振盪器上的雜訊的裝置及方法。

這裡，與上述相關問題之研究及/或探討的文獻有三篇美國專利及兩篇期刊。此三篇美國專利的號碼分別為 US 6,683,506、US 6,617,936 及 US 6,861,916，而該兩篇期刊中之一刊載於「2007 Symposium on VLSI Circuits

Digest of Technical Papers」中第 166 頁至第 167 頁，標題為“A low jitter 1.6GHz multiplying DLL utilizing a scrambling time-to-digital converter and digital correlation”，而另一篇則刊載於「IEEE Journal of Solid State Circuits, vol. 37, pp. 1795-1803, Dec. 2002」，其標題為“A multiple-crystal interface PLL with VCO alignment to reduce phase noise”。茲列出以供參考。

### 【發明內容】

本發明之實施例揭露了一種相位內插功能之時脈產生裝置。本發明之時脈產生裝置包含相位內插控制器、相位/頻率偵測器、迴路濾波器、相位內插振盪器以及除 N 電路。相位內插控制器，經由一輸入時脈產生一相位內插控制訊號。相位/頻率偵測器，用以偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差。迴路濾波器，用以濾波該相位誤差訊號，並產生一第一控制訊號。相位內插振盪器，於一相位內插下產生一輸出時脈。除頻電路，用以將該輸出時脈進行除頻，以產生該反饋訊號。

本發明之實施例揭露了一種時脈產生之方法。該方法包含：經由一輸入時脈產生一相位內插控制訊號；偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差；濾波該相位誤差訊號來產生一第一控制訊號；於一相位內插下產生該第一控制訊號該輸出時脈，其中，該振盪狀態係由該第一控制訊號所控制，且該相位內插係由一相位內插控制訊號所控制；以及，將該輸出時脈進行除頻以產生該反饋時脈。

## 【實施方式】

說明書中所例示本發明之多個實施例，皆為本發明之較佳實施例，其目的用於說明本發明可以許多方式來加以實施以及非用來限定本發明實施之範圍。換言之，熟知此項技藝者當可藉由此些實施例的描述而得知本發明之細節，故在此不再贅述。

如上所述，於一般情況下，由於振盪時脈反復地在延遲線上循環而將雜訊予以累積，故環式振盪器上通常具許多雜訊。此外，環式振盪器上的雜訊量將會使得鎖相迴路的效能衰減。相對而言，一參考時脈通常具有較少的雜訊。而改善鎖相迴路之輸出時脈的方法之一，係依據該參考時脈來對該振盪時脈進行相位內插，但須注意別因相位內插不當而產生脈衝(glitch)。

「第 2A 圖」為本發明之鎖相迴路 200 之一實施例之功能方塊的示意圖。鎖相迴路 200 接收一參考時脈 REF，並產生一輸出時脈 OUT，其中，輸出時脈 OUT 被頻率較其快 N 倍的參考時脈鎖相，且 N 為一整數。鎖相迴路 200 包含：固定延遲電路 210、相位內插環式振盪器(PIRO)230、相位內插(PI)控制器 220、除 N 電路(或稱「除頻電路」)270、可變延遲模組 235、相位/頻率偵測器(PFD)250，以及迴路濾波器 260。固定延遲電路 210 接收參考時脈 REF，並輸出一第一延遲參考時脈 REF1，其中，第一延遲參考時脈 REF1 落後參考時脈 REF 一固定的延遲量。相位內插環式振盪器 230 接收第一延遲參考時脈 REF1，並在一相位內插控制訊號 PIC 及一第一控制訊號 CON1 的控制下產生輸出時脈 OUT。相位內插控制器 220 接收參考時脈 REF，並產生相位內插控制訊號 PIC。除 N 電路 270 將輸出時脈 OUT 除以

N，以產生一反饋時脈 FB。可變延遲模組 235 輸出一第二延遲參考時脈 REF2，其中，第二延遲參考時脈 REF2 落後參考時脈 REF 一延遲量，且該延遲量為在一閉迴路中由一第二控制訊號 CON2 所控制之一可變量。相位/頻率偵測器 250 接收第二延遲參考時脈 REF2 及反饋時脈 FB，並輸出一相位誤差訊號 PE，其中，相位誤差訊號 PE 代表第二延遲參考時脈 REF2 與反饋時脈 FB 間之相位差。迴路濾波器 260 濾波相位誤差訊號 PE，以產生第一控制訊號 CON1 來控制相位內插環式振盪器 230。於穩態下，相位誤差訊號 PE 的平均值為零，且設定第一控制訊號 CON1 於一適當的數值以使得相位內插環式振盪器 230 的振盪頻率較參考時脈 REF 的頻率至少快 N 倍以上。同時，設定第二控制訊號 CON2 於一適當的數值以使得輸出時脈 OUT 的相位被適當地調配，並因此可在相位內插環式振盪器 230 上施行出一無縫(seamless)的相位內插。於另一實施例中，固定延遲電路 210 可省略不用。

於一實施例中，可變延遲模組 235 包含：一可變延遲單元 240 及一延遲控制器 275。可變延遲單元 240 接收參考時脈 REF，並輸出具有與參考時脈 REF 有關一可變量之一第二延遲參考時脈 REF2，其中該可變量由第二控制訊號 CON2 所控制。延遲控制器 275 用以產生第二控制訊號 CON2。於一較佳實施例中，延遲控制器 275 更包含一混合器 280 及一低通濾波器 (LPF)290。混合器 280 混合參考時脈 REF 與輸出時脈 OUT 之頻率，並產生一相關訊號 CORR 來量化表示參考時脈 REF 與輸出時脈 OUT 間之關聯性 (correlation)。低通濾波器 290 接收相關訊號 CORR，並產生第二控制訊號 CON2。由於可變延遲模組 235 具有多種實施方式，且為此技術領域所熟悉，故在此省略其他實施態樣。

請再參考「第 2A 圖」。相位內插環式振盪器 230 之另一實施例更包含相位內插器(PI)232 及可變延遲線 238。相位內插器 232 接收輸出時脈 OUT 及第一延遲參考時脈 REF1，並於相位內插控制訊號 PIC 之控制下輸出一內插時脈 ICLK。可變延遲線 238 接收內插時脈 ICLK，並於第一控制訊號 CON1 之控制下產出輸出時脈 OUT。內插時脈 ICLK 的相位被內插於輸出時脈 OUT 的相位與第一延遲參考時脈 REF1 的相位之間。其可以數學式來作表示，如下所示：

$$ICLK = (REF1 \times \beta) + OUT \times (1 - \beta) + \delta$$

於此，ICLK 表示內插時脈 ICLK 的相位；REF1 表示第一延遲參考時脈 REF1 的相位； $\delta$  表示因電路延遲所造成之偏移量； $\beta$  為由相位內插控制訊號 PIC 所控制且數值非 0 即 1 的一內插因子(interpolation factor)。更特別的是，除非相位內插控制訊號 PIC 的數值被拉起至高位準(亦即邏輯“1”)，否則  $\beta$  不會為 0。一種相位內插的施行方式，係可藉由適時地拉起相位內插控制訊號 PIC 至高位準，並使用雜訊較少的第一延遲參考時脈 REF1(據推測)來對相位內插環式振盪器 230 的振盪時脈施行一相位內插。

「第 2B 圖」為說明固定延遲電路 210 與相位內插控制器 220 之一實施例的示意圖。固定延遲電路 210 接收參考時脈 REF，並透過兩串接反相器來輸出第一延遲參考時脈 REF1。相位內插控制器 220 包含：資料正反器 (DFF)222 及反相器鏈 224。資料正反器 222 接收邏輯訊號“1”，並於參考時脈 REF 之一觸發下輸出相位內插控制訊號 PIC。反相器鏈 224，包含有四個串接正反器，用以接收相位內插控制訊號，並輸出一重置訊號 RESET，以重置(reset)資料正反器 222。「第 2C 圖」為說明參考時脈 REF、第一延遲

參考時脈 REF1 與相位內插控制訊號 PIC 間之一範例時序圖。請注意，於第一延遲參考時脈之一升緣前，相位內插控制訊號 PIC 即刻被拉起至高位準；於第一延遲參考時脈之一升緣後，相位內插控制訊號 PIC 即刻被拉下至低位準(亦即邏輯“0”)。如先前所述，僅當相位內插訊號 PIC 被拉起時至高位準時，才使用第一延遲參考時脈 REF1 來對相位內插環式振盪器 230 施行一相位內插。因此，施行相位內插之時刻約發生於第一延遲參考時脈 REF1 之升緣處。

由於相位內插器(PI)232 具有多種實施方式，且為此技術領域所熟悉。

「第 2D 圖」為本發明之相位內插器 232 之一實施例的示意圖。在此一實施例中，採用了全差動(fully differential)之一電路拓樸，其中，該電路拓樸係透過一正端及一負端來體現。舉例來說，輸出時脈 OUT 係透過一正端 OUT+ 及一負端 OUT- 來體現的。相位內插器 232 包含：第一差動對 M1a-M1b 及第二差動對 M2a-M2b。第一差動對 M1a-M1b 接收輸出時脈 OUT+/-，而第二差動對 M2a-M2b 接收第一延遲參考時脈 REF1+/-。第一差動對 M1a-M1b 與第二差動對 M2a-M2b 共用一一般負載電路，亦即一電阻對 R1a-R1b。這裡，VDD 表示一第一固定電位電路節點(通常是連接至一電源供應端)。相位內插器 232 更包含有一偏壓電路，該偏壓電路依據該相位內插控制訊號來建立第一差動對 M1a-M1b 之一第一偏壓狀態與第二差動對 M2a-M2b 之一第二偏壓狀態。在一較佳實施例中，該偏壓電路包含有：第一電流源 236 及第二電流源 237。第一電流源 236 提供一第一電流 IA，而第二電流源 237 提供一第二電流 IB。這裡，VSS 表示一第二固定電位電路節點(通常是接

地)。第二電流  $IB$  更透過一開關對 234-235 而被分流成兩電流  $IB1$  及  $IB2$ 。

當相位內插控制訊號  $PIC$  被拉高至高位準時，開關 235 與開關 234 分別被開啟(turn-on)及關閉(turn-off)而使得電流  $IB2$  等於電流  $IB$ 。當相位內插控制訊號  $PIC$  沒有被拉高至高位準時，開關 234 與開關 235 分別被開啟及關閉而使得電流  $IB1$  等於電流  $IB$ 。反相器 233 對相位內插控制訊號  $PIC$  施以一邏輯反相運作，以控制開關 234。電流  $IA$  及  $IB1$  用以偏壓第二差動對  $M2a-M2b$ ，而電流  $IB2$  用以偏壓第一差動對  $M1a-M1b$ 。當相位內插控制訊號  $PIC$  沒有被拉起至高位準時，第一差動對被電流  $IA$  及  $IB$  偏壓，而第二差動對則是沒有任何電流予以偏壓。結果，內插時脈  $ICLK+/-$  之相位與位移一偏移(offset) $\delta$  之輸出時脈  $OUT+/-$  的相位相等，其中該偏移  $\delta$  係由電路延遲所造成。當相位內插控制訊號  $PIC$  被拉起至高位準時，第一差動對與第二差動對分別被電流  $IA$  及電流  $IB$  所偏壓。結果，內插時脈  $ICLK+/-$  的相位等於內插於輸出時脈  $OUT+/-$  的相位及第一延遲參考時脈  $REF1+/-$  的相位之一相位移位一偏移  $\delta$ ，其中，第一延遲參考時脈  $REF1+/-$  具有一內插因子  $\beta$ ，且  $\beta$  由電流  $IA$  與電流  $IB$  間之一相對量所控制。於第一個較極端的案例中，電流  $IA$  為零，而內插因子  $\beta$  為 1。於此，當相位內插控制訊號  $PIC$  被拉起至高位準時，相位內插環式振盪器 230 之反饋路徑係為斷路(broken)，且內插時脈  $ICLK+/-$  的相位與加上偏移  $\delta$  之輸出時脈  $REF1+/-$  的相位相同，其中，偏移  $\delta$  係由電路延遲所造成。在第二較極端的案例中，電流  $IB$  為零，內插因子  $\beta$  為 0，且沒有相位被內插於第一參考時脈  $REF1+/-$ 。於此，內插時脈  $ICLK+/-$  的相位與加上偏移  $\delta$  之輸出時脈  $OUT+/-$  的相位相同，且相位內插環式振盪器 230 於功能上與習知環式振盪器相同，其中，偏移  $\delta$  係由

電路延遲所造成。當內插因子  $\beta$  不為 0 時，具較少雜訊之第一延遲參考時脈 REF1(據推測)被引入相位內插環式振盪器 230 中，並因此而減少環式振盪器之振盪時脈中的雜訊。

請再參考「第 2D 圖」。電流源 236、237 可藉由 NMOS 電晶體來體現。本領域具通常知識者皆知道如何以 NMOS 來實現一電流源，故不另贅述。在一實施例中，電流源 236、237 中之任一的輸出位階(level)皆可動態地被調整。於此，「第 2A 圖」中所示之相位內插環式振盪器 230 的內插因子  $\beta$  可動態地被調整。在一實施例中，內插因子  $\beta$  初始被設定為零，且僅在第一控制訊號 CON1 達到一穩定位階(stabilized level)時才被設定為非零值。

現在請再參考「第 2A 圖」。可變延遲線 238 可藉由接收一可變偏壓電流之一反相器鏈來體現，其中，該可變偏壓電流決定了該反相器鏈之電路延遲的大小。於此案例中，第一控制訊號 CON1 確定了可變偏壓電流及電路延遲量的大小。可變延遲線 238 亦可由被本領域具通常知識者所知悉之許多其他電路所來體現。

請再參考「第 2A 圖」。相位/頻率偵測器 250、迴路濾波器 260 及除 N 電路 270 為本領域具通常知識者所熟悉，故於此不再贅述。在穩態下，第一控制訊號 CON1 係在閉迴路方式下被建立，以控制相位內插環式振盪器 230，如：迫使反饋時脈 FB 的相位與第二延遲參考時脈 REF2 對準。迴路濾波器 260 包含有一些電路元件，如：電阻或電容。在一實施例中，迴路濾波器 260 所包含的電路元件，可根據相位內插環式振盪器 230 中之相位內插因子  $\beta$  來動態調整。

雖然相位內插環式振盪器 230 中之相位內插的目的在於藉由引入一具

較少雜訊(據推估)的第一參考時脈 REF1 來減少環式振盪器中振盪時脈的雜訊位階，輸出時脈 OUT 的平均時脈會與第一延遲參考時脈 REF1 的平均相位一致。否則，可藉由在相位內插下產生劇烈的相位變化來減少雜訊位階，其中，此狀況係發生在第一延遲參考時脈 REF1 的升緣附近。當劇烈的相位變化發生於每一第一延遲參考時脈 REF1 的升緣處，一被稱為“參考雜波”(reference spur)的混附波(spurious tone)將於輸出時脈 OUT 出現。劇烈的相位變化可藉由適當地建立第二控制訊號 CON2 來予以緩和，以控制於一閉迴路中之可變延遲單元 240，其中該閉迴路採用包含有混合器 280 及低通濾波器 290 的反饋迴路。混合器 280 藉由混頻參考時脈 REF 與輸出時脈 OUT 來估測混附波(spurious tone)的振幅，並藉由關聯訊號 CORR 來表示振幅。低通濾波器濾波該關聯訊號 CORR 而產生第二控制訊號 CON2，並以第二控制訊號 CON2 來控制可變延遲單元 240。因此，可變延遲單元 240 之延遲量可被調整，以便最小化混附波。在另一實施例中(圖未示)，混合器混頻第一延遲時脈 REF1(而非參考時脈 REF)與輸出時脈 OUT。又在另一實施例中(圖未示)，混合器混頻第二延遲時脈 REF2(而非參考時脈 REF 或第一延遲時脈 REF1)與輸出時脈 OUT。

簡言之，鎖相迴路 200 中具有兩控制迴路。當相位誤差訊號 PE 的平均值為零時，則第一控制迴路被予以設定；而當第一控制迴路被予以設定時，則第一控制訊號 CON1 被適當建立以使得反饋時脈 FB 與第二延遲參考時脈 REF2 一致。當關聯訊號 CORR 的平均值為零時，則第二控制迴路被予以設定；而當第二控制迴路被予以設定時，則關聯訊號 CORR 被適當建立以使得輸出時脈 OUT 與第一延遲參考時脈 REF1 能一致，因此，除可以完美地

施行相位內插外，於輸出時脈 OUT 中的參考雜波亦是很小。

如「第 1 圖」中所示習知的鎖相迴路 100，除非控制電壓 VCON 的平均值能被準確地建立，否則輸出時脈的平均頻率無法精確為參考時脈的平均頻率的 N 倍快。由於藉由參考時脈而施行之相位內插，甚至在控制訊號 CON1 的平均值沒有被準確建立下，「第 2 圖」中的鎖相迴路 200 之輸出時脈 OUT 的平均頻率仍可精確為參考時脈 REF 的平均頻率的 N 倍快。只要控制訊號 CON1 的平均值別跟理想值相差太多，則相位誤差(起因於控制訊號 CON1 的平均值的不精確)可以參考時脈而施行之相位內插來進行修正，並因此修正輸出時脈 OUT 的平均頻率。這使得第一控制迴路在沒有輸出時脈的相位/頻率鎖定漏失的風險下，能偶爾被停用(deactivated)。於一實施例中，第一控制迴路可間歇地被停用。當第一控制迴路被停用時，第一控制迴路凍結第一控制訊號 CON1 或設定相位誤差訊號 PE 為零。第二控制迴路亦可間歇地被停用。當第二控制迴路被停用時，第二控制迴路凍結第二控制訊號 CON1 或設定關聯訊號 CORR 為零。於一實施例中，僅有在第一控制迴路被設定時，第二控制迴路才被啟用(activate)。上述的作法減少了這兩控制迴路間的交互干擾。

混合器 280 與低通濾波器 290 皆為本領域具通常知識者所習知，故不再說明。可變延遲單元 240 可以由一可變電流所控制之一反相器鏈來體現，其中第二控制訊號 CON2 控制該可變電流的大小及可變延遲單元 240 之延遲量大小。

第一控制訊號 CON1 與第二控制訊號 CON2 可以許多形式來體現，這些形式包含有：連續時間電壓訊號及離散時間數位訊號。當第一控制訊號

CON1 以離散時間數位訊號來體現時，相位/頻率偵測器 250 可以時間至數位轉換器(Time-to-digital converter, TDC)來體現，且此為本領域具通常知識者所習知，故略去不談。於此，迴路濾波器 260 為包含有許多數位訊號處理(DSP)單元之一數位電路，該些數位訊號處理單元可為資料正反器、加法器及乘法器...等。當第二控制訊號 CON2 以離散時間數位訊號來體現時，低通濾波器 290 必須包含有類比至數位轉換器(ADC)，因為時間至數位轉換器為本領域具通常知識者所習知，故不再詳述。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖為習知鎖相迴路之一功能方塊的示意圖。

第 2A 圖為本發明之鎖相迴路之一實施例之功能方塊的示意圖。

第 2B 圖為說明第 2A 圖之鎖相位路中之固定延遲電路與相位內插控制器之一實施例的示意圖。

第 2C 圖為說明第 2B 圖之固定延遲電路與相位內插控制器的時序圖。

第 2D 圖為相位內插器之一實施例的示意圖。

### 【主要元件符號說明】

100、200	鎖相迴路
110、250	相位/頻率偵測器

290	低通濾波器
120、260	迴路濾波器
130、	電壓控制振盪器
135、	電壓控制延遲線(VCDL)
150、270	除 N 電路
210	固定延遲電路
220	相位內插(PI)控制器
230	相位內插環式振盪器(PIRO)
222	資料正反器
224	反相器鏈
232	相位內插器
233	反相器
234	開關
235	可變延遲模組
236、237	電流源
238	可變延遲線
240	可變延遲單元
275	延遲控制器
280	混合器
CON1、CON2	控制訊號
CORR	關聯訊號
FB	反饋訊號

IB、IB1、IB2	電流
ICLK	內插時脈
M1a、M1b、M2a、M2b	NMOS 電晶體
OUT	輸出時脈
PE	相位誤差訊號
PIC	相位內插控制訊號
R1a、R1b	電阻
REF、REF1、REF2	參考時脈
VCON	電壓訊號
VDD、VSS	電源端

## 七、申請專利範圍：

1. 一種時脈產生裝置，用以接收一輸入時脈以輸出一輸出時脈，該裝置包含有：
  - 一相位內插控制器，用以產生一相位內插控制訊號；
  - 一可變延遲模組，使用由一第二控制訊號所控制之一延遲量來延遲該輸入時脈，以產生一第二參考時脈；
  - 一相位/頻率偵測器，耦接於該可變延遲模組，用以偵測該第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差；
  - 一迴路濾波器，濾波該相位誤差訊號，以產生一第一控制訊號；
  - 一相位內插振盪器，用以依據該相位內插控制訊號對一第一參考時脈進

行相位內插以產生一相位內插訊號，及依據該第一控制訊號與相位

內插訊號以產生該輸出時脈；以及

一除頻電路，用以將該輸出時脈進行除頻，以產生該反饋時脈。

2. 如第 1 項所述之時脈產生裝置，該可變延遲模組更包含：

一延遲控制器，用以接收該輸入時脈與該輸出時脈，並據以產生該第二控制訊號；以及

一可變延遲單元，耦接於該相位/頻率偵測器與該延遲控制器，使用由該第二控制訊號所控制之該延遲量來延遲該輸入時脈，以產生該第二參考時脈。

3. 如第 2 項所述之時脈產生裝置，該延遲控制器更包含：

一混合器，用以混頻該輸入時脈與該輸出時脈，以產生一關聯訊號；以及

一低通濾波器，用以濾波該關聯訊號，以產生該第二控制訊號。

4. 如第 1 項所述之時脈產生裝置，更包含：

一固定延遲電路，耦接於該相位內插振盪器，用以延遲該輸入時脈以產生該第一參考時脈至該相位內插振盪器。

5. 如第 1、2、3 或 4 項所述之時脈產生裝置，該相位內插振盪器包含：

一相位內插器，用來於該輸出時脈及該第一參考時脈間施行一相位內插以產生一內插時脈，其中該第一參考時脈間具有由該相位內插控制

- 訊號所控制之一內插因子(interpolation factor)；以及
- 一可變延遲線，耦接於該相位內插器及該迴路濾波器，依據由該第一控制訊號來延遲該內插時脈，以產生該輸出時脈。
6. 如第 5 項所述之時脈產生裝置，該相位內插器包含：
- 至少一第一電晶體，用以接收該輸出時脈；
  - 至少一第二電晶體，用以接收該第一參考時脈；
  - 一共負載電路，耦接於該第一電晶體與該第二電晶體；
  - 一偏壓電路，依據該相位內插控制訊號來建立該第一電晶體之一第一偏壓狀態及該第二電晶體之一第二偏壓狀態。
7. 如第 6 項所述之時脈產生裝置，其中該第一電晶體為一第一差動對之一部份，且該第二電晶體為一第二差動對之一部份。
8. 如第 6 項所述之時脈產生裝置，該偏壓電路包含：
- 一第一電流源，耦接於該第一電晶體，用以提供一第一電流來偏壓該第一電晶體；以及
  - 一第二電流源與一開關對，依據該相位內插控制訊號而提供一第二電流，來偏壓該第一電晶體與該第二電晶體。
9. 如第 5 項所述之時脈產生裝置，該相位內插控制器包含：
- 一正反器，用以接收該輸入時脈，並輸出該相位內插控制訊號；以及
  - 一反相器鏈，用以接收該相位內插控制訊號，並輸出一重置訊號來重置該正反器。

10. 如第 1、2、3 或 4 項所述之時脈產生裝置，該相位內插控制器包含：
  - 一正反器，用以接收該輸入時脈，並輸出該相位內插控制訊號；以及
  - 一反相器鏈，用以接收該相位內插控制訊號，並輸出一重置訊號來重置該正反器。
  
11. 一種時脈產生方法，包含有下列步驟：
  - 產生一相位內插控制訊號；
  - 經由一第二控制訊號所控制之一延遲量來延遲一輸入時脈，以產生一第二參考時脈；
  - 偵測該第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差；
  - 濾波該相位誤差訊號以產生一第一控制訊號；
  - 依據該相位內插控制訊號對一第一參考時脈進行相位內插以產生一相位內插訊號；
  - 依據該第一控制訊號與相位內插訊號以產生一輸出時脈；以及
  - 將該輸出時脈進行除頻，以產生該反饋時脈。
  
12. 如第 11 項所述之時脈產生方法，更包含下列步驟：
  - 依據該輸入時脈與該輸出時脈間之一關係來產生該第二控制訊號。
  
13. 如第 12 項所述之時脈產生方法，其中產生該第二控制訊號之該步驟更包含下列步驟：
  - 混頻該輸入時脈與該輸出時脈，並產生一關聯訊號；以及

濾波該關聯訊號，並產生該第二控制訊號。

14. 如第 11 項所述之時脈產生方法，更包含下列步驟：

延遲該輸入時脈，並產生一該第一參考時脈。

15. 如第 11、12、13 或 14 項所述之時脈產生方法，更包含下列步驟：

依據一內插因子對該輸出時脈與該第一參考時脈進行一相位內插，以產生一內插時脈，其中，該內插因子由該相位內插控制訊號所控制；

以及

依據該第一控制訊號來延遲該內插時脈，以產生該輸出時脈。

16. 如第 11、12、13 或 14 項所述之時脈產生方法，其中產生該相位內插控制訊號之該步驟更包含下列步驟：

依據該輸入時脈產生該相位內插控制訊號。

17. 如第 16 項所述之時脈產生方法，其中產生該相位內插控制訊號之該步驟更包含下列步驟：

依據該相位內插控制訊號產生一重置訊號，以重置(reset)產生該相位內插控制訊號之該步驟。

18. 一種時脈產生裝置，用以接收一輸入時脈以輸出一輸出時脈，該裝置包含有：

一相位內插控制器，用以產生一相位內插控制訊號；

一相位/頻率偵測器，用以偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差；

一迴路濾波器，濾波該相位誤差訊號，以產生一第一控制訊號；

一相位內插振盪器，用以依據該相位內插控制訊號對一第一參考時脈進行相位內插以產生一相位內插訊號，及依據該第一控制訊號與相位內插訊號以產生該輸出時脈；以及

一除頻電路，用以將該輸出時脈進行除頻，以產生該反饋時脈；

其中該相位內插振盪器包含：

- 一相位內插器，用來於該輸出時脈及該第一參考時脈間施行一相位內插以產生一內插時脈，其中該第一參考時脈間具有由該相位內插控制訊號所控制之一內插因子(interpolation factor)；以及
- 一可變延遲線，耦接於該相位內插器及該迴路濾波器，依據由該第一控制訊號來延遲該內插時脈，以產生該輸出時脈。

19. 一種時脈產生裝置，用以接收一輸入時脈以輸出一輸出時脈，該裝置包含有：

一相位內插控制器，用以產生一相位內插控制訊號；

一相位/頻率偵測器，用以偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差；

一迴路濾波器，濾波該相位誤差訊號，以產生一第一控制訊號；

一相位內插振盪器，用以依據該相位內插控制訊號對一第一參考時脈進行相位內插以產生一相位內插訊號，及依據該第一控制訊號與相位內插訊號以產生該輸出時脈；以及

一除頻電路，用以將該輸出時脈進行除頻，以產生該反饋時脈；

其中該相位內插控制器包含：

- 一正反器，用以接收該輸入時脈，並輸出該相位內插控制訊號；以及
- 一反相器鏈，用以接收該相位內插控制訊號，並輸出一重置訊號來重置該正反器。

20. 一種時脈產生方法，包含有下列步驟：

產生一相位內插控制訊號；

偵測一第二參考時脈與一反饋時脈間之一相位差，並輸出一相位誤差訊號來表示該相位差；

濾波該相位誤差訊號以產生一第一控制訊號；

依據該相位內插控制訊號對一第一參考時脈進行相位內插以產生一相位內插訊號；

依據該第一控制訊號與相位內插訊號以產生一輸出時脈；以及

將該輸出時脈進行除頻，以產生該反饋時脈；

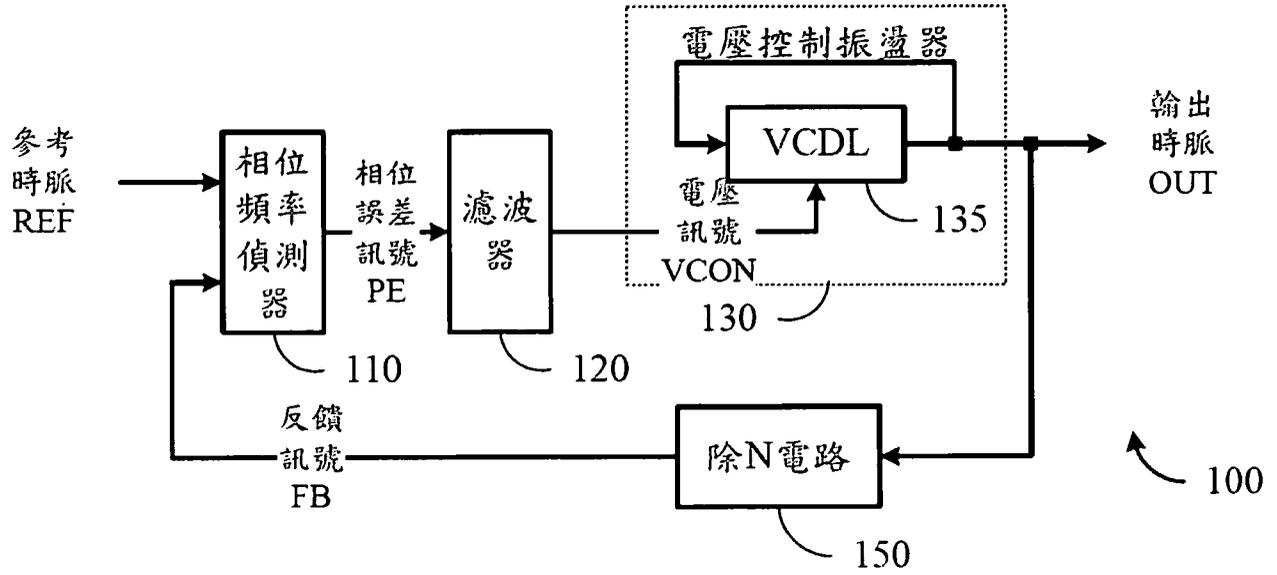
其中依據該第一控制訊號與相位內插訊號以產生該輸出時脈的步驟包含有：

依據一內插因子對該輸出時脈與該第一參考時脈進行一相位內插，

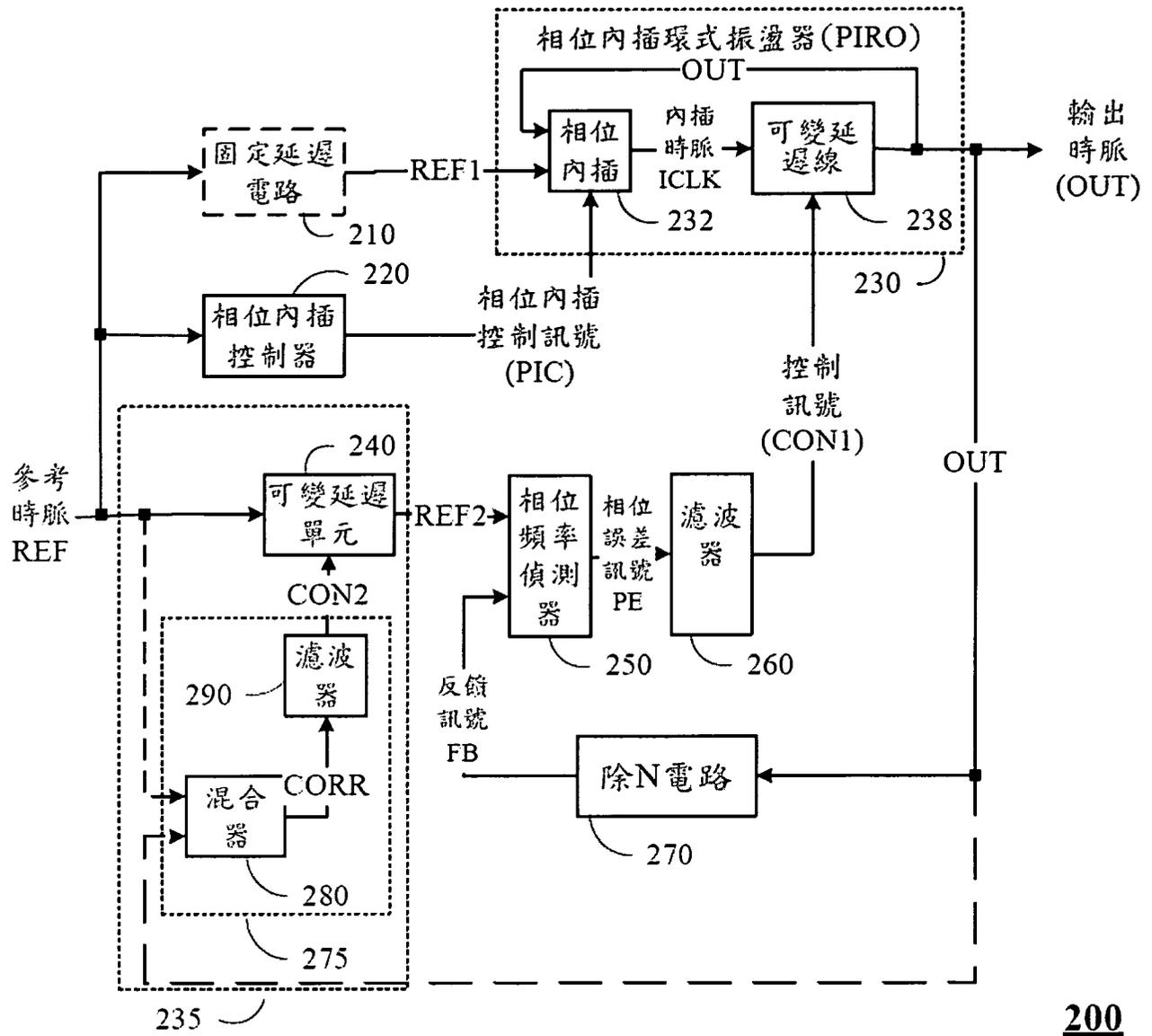
以產生一內插時脈，其中，該內插因子由該相位內插控制訊號所控制；以及

依據該第一控制訊號來延遲該內插時脈，以產生該輸出時脈。

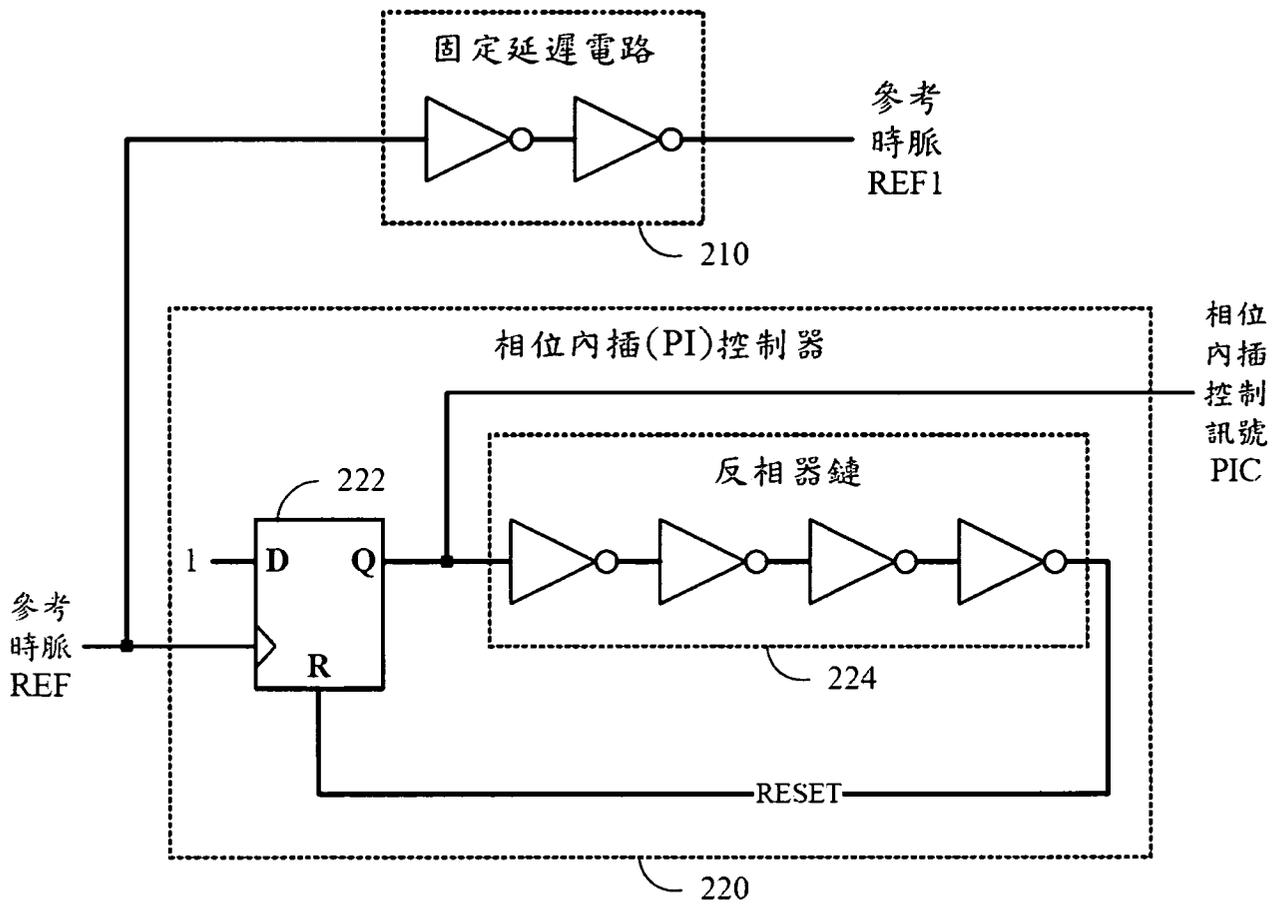
八、圖式：



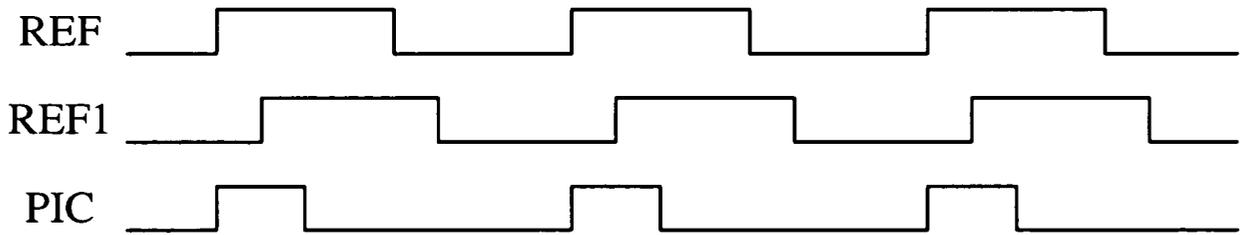
第 1 圖 (先前技術)



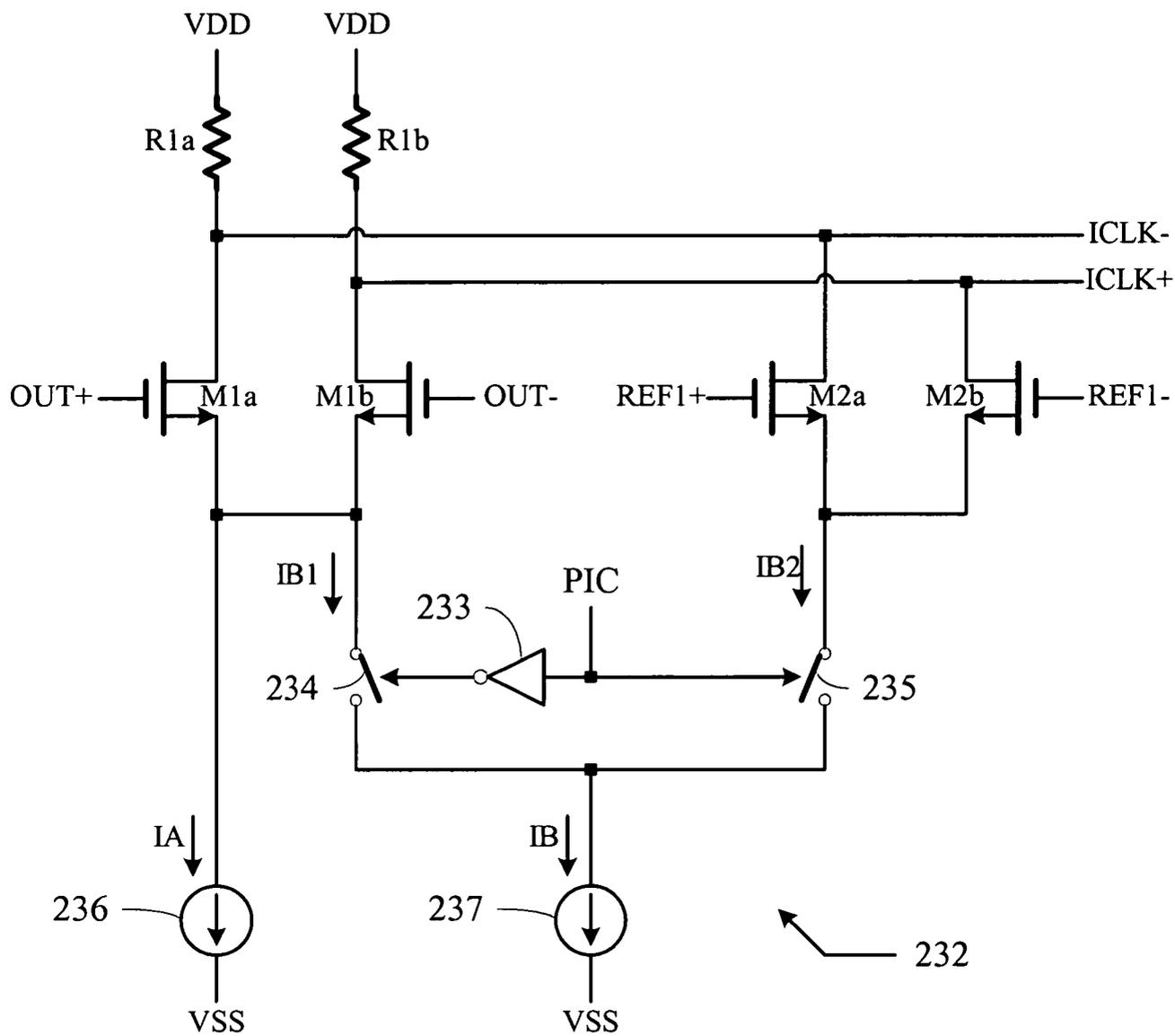
第 2A 圖



第 2B 圖



第 2C 圖



第 2D 圖