

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-187379

(P2017-187379A)

(43) 公開日 平成29年10月12日(2017.10.12)

(51) Int.Cl.			F I			テーマコード (参考)
<b>GO1S</b>	<b>7/03</b>	<b>(2006.01)</b>	GO1S	7/03	220	5J021
<b>HO1Q</b>	<b>1/38</b>	<b>(2006.01)</b>	HO1Q	1/38		5J045
<b>HO1Q</b>	<b>13/08</b>	<b>(2006.01)</b>	HO1Q	13/08		5J046
<b>HO1Q</b>	<b>23/00</b>	<b>(2006.01)</b>	HO1Q	23/00		5J070

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2016-76195 (P2016-76195)  
 (22) 出願日 平成28年4月5日 (2016.4.5)

(71) 出願人 000138462  
 株式会社ユーシン  
 東京都港区芝大門一丁目1番30号  
 (74) 代理人 100122426  
 弁理士 加藤 清志  
 (72) 発明者 天野 義久  
 広島県呉市天応大浜四丁目1番1号 株式会社ユーシン内  
 Fターム(参考) 5J021 AA04 AB06 HA04 JA08  
 5J045 DA10 LA04 MA07 NA07  
 5J046 AA02 AA07 AA12 AB13 PA07  
 5J070 AB15 AB24 AD02 AF03 AH31  
 AK06 AK28

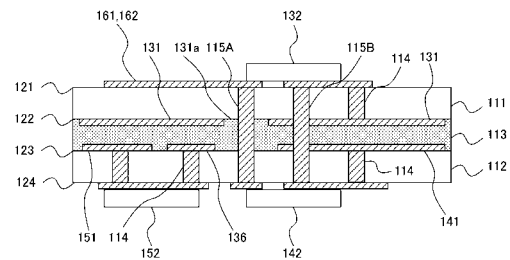
(54) 【発明の名称】 多層基板回路モジュール、無線通信装置およびレーダ装置

(57) 【要約】

【課題】ミリ波アンテナやデジタル回路等が混在するモジュールにおいて、コストを抑え、ノイズの回り込みを抑制して、1枚の多層基板上に全てを一体集積化する。

【解決手段】誘電体層1と誘電体層2は両面金属張り基板からなり、回路がパターンニングされ、誘電体層1の一方の面には、平面アンテナと高周波アナログ回路が形成され、他方の面には、全面を覆うアナロググランドが形成され、内部には、一方の面と他方の面のパターン間を接続するVIAホールが形成され、誘電体層2の一方の面には、低周波アナログ回路とデジタル回路とが形成され、他方の面には、アナログおよびデジタルグランドが形成され、内部には、一方の面と他方の面のパターン間を接続するためのVIAホールが形成され、1のアナロググランドは、2のアナロググランドと全層を貫くVIAホールによって直結され、1のアナロググランドは、2のアナロググランドあるいはノイズフィルタを介してデジタルグランドと接続されている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 の誘電体層と、  
第 2 の誘電体層と、  
前記第 1 の誘電体層と前記第 2 の誘電体層とを貼り合せ多層化する接着層と、  
を備え、

前記第 1 の誘電体層と前記第 2 の誘電体層はそれぞれ両面金属張り基板からなり、回路がパターンニング形成され、

前記第 1 の誘電体層の空気側の面には、平面アンテナと高周波の第 1 のアナログ回路が形成され、

前記第 1 の誘電体層の前記接着層側の面には、全面を覆う第 1 のアナロググランドが形成され、

前記第 1 の誘電体層の内部には、前記空気側の面と前記接着層側の面のパターン間を電氣的に接続するブラインド V I A ホールが形成され、

前記第 2 の誘電体層の空気側の面には、低周波の第 2 のアナログ回路とデジタル回路が形成され、

前記第 2 の誘電体層の接着層側の面には、第 2 のアナロググランドと、デジタルグランドとが形成され、

前記第 2 の誘電体層の内部には、前記空気側の面と前記接着層側の面のパターン間を電氣的に接続するためのブラインド V I A ホールが形成され、

前記第 1 のアナロググランドは、前記第 2 のアナロググランドと全層を貫く貫通 V I A ホールによって電氣的に直結され、

前記第 1 のアナロググランドは、前記第 2 のアナロググランドあるいはノイズフィルタを介して前記デジタルグランドと接続されていることを特徴とする多層基板回路モジュール。

**【請求項 2】**

前記第 1 の誘電体層がテフロン系あるいはセラミック系基材から成り、前記第 2 の誘電体層がガラエポ系基材から成ることを特徴とする請求項 1 に記載の多層基板回路モジュール。

**【請求項 3】**

前記第 2 の誘電体層が、更に内部で複数に細分化された多層基板構造を備えたことを特徴とする請求項 1 または請求項 2 に記載の多層基板回路モジュール。

**【請求項 4】**

前記平面アンテナを除く第 1 のアナログ回路を覆う金属シールドケースが設けられ、

該金属シールドケースが電氣的に前記第 1 のアナロググランドへ V I A ホールを介して接続されていることを特徴とする請求項 1 から請求項 3 のいずれかに記載の多層基板回路モジュール。

**【請求項 5】**

前記第 1 のアナログ回路にミリ波発振回路を含み、前記金属シールドケースが前記ミリ波発振回路を覆うように設けられたことを特徴とする請求項 4 に記載の多層基板回路モジュール。

**【請求項 6】**

前記請求項 5 に記載の多層基板回路モジュールを備えた無線通信装置。

**【請求項 7】**

前記平面アンテナを除く第 1 のアナログ回路は、電氣的には空中に向けて開放されていることを特徴とする請求項 1 から請求項 3 のいずれかに記載の多層基板回路モジュール。

**【請求項 8】**

前記請求項 7 に記載の多層基板回路モジュールを備えたレーダ装置。

**【発明の詳細な説明】****【技術分野】**

10

20

30

40

50

## 【 0 0 0 1 】

本発明は、多層基板回路モジュール、無線通信装置およびレーダ装置に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

車の世界では、近年、衝突防止の目的で、ミリ波レーダモジュールが急速に普及している。これらのミリ波レーダモジュールの周波数帯としては、準ミリ波帯の 2 4 G H z 帯からミリ波帯の 7 9 G H z 帯が使われている。これらミリ波レーダの構成や原理は既に広く公知であり、これを、図 9 を用いて説明する。

## 【 0 0 0 3 】

現在の車載レーダ（ミリ波レーダ）の内部の回路基板は、例えば、非特許文献 1 の 6 ページの斜視図のようになっている。これを図 9 により具体的に説明すると、第 1 の基板（9 0 1）と、第 2 の基板（9 0 2）との 2 枚基板構成になっているのが一般的である。1 枚に統合せずに 2 枚に分離している理由は幾つかあるが、最も大きな理由は、第 1 の基板（9 0 1）と第 2 の基板（9 0 2）では異なる材料が使われるためである。第 1 の基板（9 0 1）は、ミリ波アナログ回路用であり、ミリ波帯でもロスが少ないことを重視して、テフロン（登録商標）系セラミック系の高価な特殊基板が使われる。第 2 の基板（9 0 2）は、低周波回路専用の基板であり、低コストを重視して、ガラエポ基板が使われる。

## 【 0 0 0 4 】

なお、以下では、高周波帯のレーダ装置や無線通信装置を構成する回路要素を分かりやすく識別するために、「ミリ波アナログ回路」「低周波アナログ回路」「デジタル回路」の 3 つの用語を用いて説明する。

## 【 0 0 0 5 】

ここで、「ミリ波」という用語は、高周波装置における R F 帯という意味で用い、例えば、6 0 G H z のようなミリ波帯は当然として、2 4 G H z のような準ミリ波帯から 1 2 G H z のようなマイクロ波帯までを含んでいる。

## 【 0 0 0 6 】

「低周波」という用語は、高周波装置における I F 帯以下の周波数帯の意味で用い、直流から 2 G H z 程度の周波数範囲をいう。

## 【 0 0 0 7 】

ミリ波回路専用の第 1 の基板（9 0 1）の上では、発振回路（9 6 3）がミリ波信号を発生する。このミリ波信号の周波数を安定化させるために、その出力の一部が分周回路（9 6 9）と P L L 回路（9 7 1）を介してフィードバックされる。発振出力は分岐部（9 6 5）で 2 分配され、その片方は、信号パターン（9 6 7）を介して、送信アンテナ（9 6 1）から電波放射される。遠くの障害物（9 2 5）に当たった反射波の一部は、受信アンテナ（9 6 2）に拾われる。ミキサ回路（9 6 6）は、この受信信号を分配されたもう一方の信号と比較し、その僅かな周波数、位相の差を出力線（9 0 3）から数十 k H z 程度の低周波信号として出力する。

## 【 0 0 0 8 】

低周波回路専用の第 2 の基板（9 0 2）の上では、出力線（9 0 3）の低周波信号が、まず、アナログ低周波回路であるオペアンプ（9 7 2）で増幅されて、デジタル回路であるマイコン（9 7 3）に取り込まれる。第 2 の基板（9 0 2）の上には、他にも、例えば、電源回路（9 7 4）や、U S B、C A N 等の通信回路（9 7 5）が搭載されている。

## 【 0 0 0 9 】

ところで、ミリ波回路専用の第 1 の基板（9 0 1）は、「アンテナ一体化多層基板モジュール」のコンセプトで設計されるのが一般的である。このコンセプトとしては、特許文献 1 の図 1 がその代表的なものである。図 7 は、上記特許文献 1 の図 1 を整理して描いたものである。

## 【 0 0 1 0 】

図 7 に示すように、「アンテナ一体化多層基板モジュール」は、第 1 の誘電体層（7 1 1）と第 2 の誘電体層（7 1 2）を接着層（7 1 3）により、挟んで貼り合わせて一体化

10

20

30

40

50

した多層基板構造をしている。貼り合せ前の2つの誘電体層(711~712)はそれぞれ両面銅張り基板であるため、これをパターンニングすることによって、合計4つのメタルパターン層(721~724)が形成される。多層基板化後の片面にはミリ波アンテナ(761~762)が構成され、反対側の面にはミリ波回路(732)が構成され、これら両者の間を貫通VIAホール(715)が接続している。

【0011】

図7では、ミリ波アンテナ(761~762)とミリ波回路(732)とが、多層基板内に隠れた共通グランド(730)を挟んで、異なる基板面に分離されている。図7では、このような構造とすることにより、基板サイズを小さく抑えること、信号干渉の問題に対応することを目的としている。

10

【0012】

一般には、アンテナ(761~762)の感度を向上させようとする、例えば、非特許文献2のFig.3やFig.4のように基板面積が大型化してしまう場合が多い。そこで、図7では、アンテナ以外の回路(732)をアンテナが搭載されている基板の裏面に配置することにより、全体として小型化を実現している。

【0013】

また、信号干渉については、例えば、ミリ波回路(732)の中でも特に電力が大きいローカル発振器(例えば、図9の963)の出力が漏洩し、本来の送信信号と混じって空中にスプリアス放射されてしまう現象が生じるが、図7では、共通グランド層(730)を使って、アンテナ(761~762)に対してシールドを行って、信号干渉を防止している。

20

【0014】

図7の考え方を図9に示すミリ波レーダのミリ波回路専用の第1の基板(901)に適用した場合の回路ブロック図を図8に示す。図8の中の4つの点線部(821~824)は、図7の4つのメタルパターン層(721~724)に対応している。第1のメタルパターン層(821)は、ミリ波アンテナ(861~862)専用のパターン層であり、第2のメタルパターン層(822)は、共通グランド(830)専用のパターン層である。また、第3のメタルパターン層(823)は、電源配線専用のパターン層である。なお、電源配線層については、以下に説明する課題の解決には関係がないことから、他の図については、その記載を省略している。第4のメタルパターン層(824)はミリ波回路(732)専用のパターン層であり、ミリ波回路(732)専用のパターン層とミリ波アンテナ(861~862)専用のパターン層の間は、前述のように貫通VIAホール(815)によって電氣的接続に接続される。

30

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特許第2840493号公報

【非特許文献】

【0016】

【非特許文献1】Maria S. Greco, "Automotive Radar", 2012 IEEE Radar Conference, May 7-11, Atlanta、インターネット<URL: [http://www.iet.unipi.it/m.greco/esami\\_lab/Radar/automotive\\_radar.pdf](http://www.iet.unipi.it/m.greco/esami_lab/Radar/automotive_radar.pdf)>

40

【非特許文献2】Martin Schneider, "Automotive Radar - Status and Trends", GeMiC 2005、インターネット<URL: [https://duepublico.uni-duisburg-essen.de/servlets/DocumentServlet?id=14581/Paper/5\\_3.pdf](https://duepublico.uni-duisburg-essen.de/servlets/DocumentServlet?id=14581/Paper/5_3.pdf)>

【発明の概要】

【発明が解決しようとする課題】

【0017】

50

ところで、近年、特に、24GHz帯の自動車レーダの世界においては、2つの変化が進行している。現在進行している第1の変化は、ミリ波回路専用の第1の基板(901)の上で、ミリ波回路(732)に急速な1チップ集積化が進行して、その占有面積が縮小していることである。そのため、図7のままでは、片面(721)のアンテナ(761~762)の面積が著しく大きいのにに対して、他面(724)のミリ波回路(732)の面積が著しく小さいため、無駄なデッドスペースが生じて最適ではなくなっている。

#### 【0018】

現在進行している第2の変化は、価格下落が急激に進み、例えば、24GHzレーダは1~3万円程度で入手可能になってきたことである。それに対して、図7では、局所的にミリ波回路専用の第1の基板(901)の低コスト化には貢献できるが、図9の装置全体を大きく見渡した低コスト化の観点欠缺しており、限界があった。

10

#### 【0019】

ここで、図9の2枚基板構成を1枚基板に集積することを考えると、その断面構造は図5のようになる。図5に示すように、ミリ波アナログ回路(532)側のデッドスペースを埋めるようにして、低周波アナログ回路(542)やデジタル回路(552)が混載されている。図6は、図5の回路ブロック図であるが、第4のメタルパターン層(624)の上に、低周波アナログ回路であるオペアンプ(672)や、デジタル回路であるマイコン(673)、通信回路(675)、電源回路(674)が増えている。

#### 【0020】

ところが、この構造では3つの問題が生じる。第1の問題は、材料コストである。図5においては、ミリ波アンテナ(561~562)やミリ波アナログ回路(532)が搭載されるため、第1の誘電体層(511)と第2の誘電体層(512)の両方とで、ミリ波帯でも低損失のテフロン系やセラミック系の高価な基板を使わなければならない。その結果、オペアンプ(672)やマイコン(673)、電源回路(674)、通信回路(675)までもが必然性もないのに、全て高価なミリ波回路用の基板に搭載されてしまうことになり、材料コスト的には極めて無駄な設計になる。

20

#### 【0021】

第2の問題は、ノイズの回り込みによる性能劣化である。「ミリ波アナログ回路」、「低周波アナログ回路」、「デジタル回路」は、お互いにノイズ源となる。その代表的なノイズの回り込みルートはグランドパターンであることはよく知られている。ところが、特許文献1に記載の「アンテナ一体化(多層基板)モジュール」構造では、このうち「ミリ波アナログ回路」によるノイズのみが考慮されていたため、基板内には、不安定な共通グランド(630)が1層あるだけで、これが、貫通VIAホール(615)を通して全てのメタルパターン層(621~624)で共有されている。そのため、ノイズの回り込みを効果的に防ぐことができなかった。

30

#### 【0022】

第3の問題は、貫通VIAホールしか使わないことによる、配線自由度の低さである。全層を貫く貫通VIAホール(615)は、製造コストが安いものの、配線したい層とは無関係な層にまで露出してしまふ。そのため、広いスペースを占有するアンテナ(561~562、661~662)のエリアには、ほとんど形成することができない。しかしながら、一般的なミリ波レーダ装置では、このアンテナ(561~562、661~662)が基板の片面全部をほぼ占有するぐらいに面積が大きいので、結果的に、多層基板構造(図5)全体では、ごく少数の貫通VIAホール(515、615)しか形成できない。このようなごく少数の貫通VIAホール(515、615)だけで全ての部品(532、542、552)の配線を遣り繰りするのには、極めて困難である。

40

#### 【0023】

そこで、本発明は、上述の課題に鑑みてなされたものであり、ミリ波アンテナ、ミリ波アナログ回路、低周波アナログ回路、デジタル回路が混在するモジュールにおいて、材料コスト、製造コストを抑えつつ、ノイズの回り込みを抑制して、1枚の多層基板上に全てを一体集積化する多層基板回路モジュールを提供する。

50

## 【課題を解決するための手段】

## 【0024】

形態1；本発明の1またはそれ以上の実施形態は、第1の誘電体層と、第2の誘電体層と、前記第1の誘電体層と前記第2の誘電体層とを貼り合せ多層化する接着層と、を備え、前記第1の誘電体層と前記第2の誘電体層はそれぞれ両面金属張り基板からなり、回路がパターンニング形成され、前記第1の誘電体層の空気側の面には、平面アンテナと高周波の第1のアナログ回路が形成され、前記第1の誘電体層の前記接着層側の面には、全面を覆う第1のアナロググランドが形成され、前記第1の誘電体層の内部には、前記空気側の面と前記接着層側の面のパターン間を電氣的に接続するブラインドVIAホールが形成され、前記第2の誘電体層の空気側の面には、低周波の第2のアナログ回路とデジタル回路が形成され、前記第2の誘電体層の接着層側の面には、第2のアナロググランドと、デジタルグランドとが形成され、前記第2の誘電体層の内部には、前記空気側の面と前記接着層側の面のパターン間を電氣的に接続するためのブラインドVIAホールが形成され、前記第1のアナロググランドは、前記第2のアナロググランドと全層を貫く貫通VIAホールによって電氣的に直結され、前記第1のアナロググランドは、前記第2のアナロググランドあるいはノイズフィルタを介して前記デジタルグランドと接続されていることを特徴とする多層基板回路モジュールを提案している。

10

## 【0025】

形態2；本発明の1またはそれ以上の実施形態は、前記第1の誘電体層がテフロン系あるいはセラミック系基材から成り、前記第2の誘電体層がガラエポ系基材から成る多層基板回路モジュールを提案している。

20

## 【0026】

形態3；本発明の1またはそれ以上の実施形態は、前記第2の誘電体層が、更に内部で複数に細分化された多層基板構造を備えた多層基板回路モジュールを提案している。

## 【0027】

形態4；本発明の1またはそれ以上の実施形態は、前記平面アンテナを除く第1のアナログ回路を覆う金属シールドケースが設けられ、該金属シールドケースが電氣的に前記第1のアナロググランドへVIAホールを介して接続されている多層基板回路モジュールを提案している。

## 【0028】

形態5；本発明の1またはそれ以上の実施形態は、前記第1のアナログ回路にミリ波発振回路を含み、前記金属シールドケースが前記ミリ波発振回路を覆うように設けられた多層基板回路モジュールを提案している。

30

## 【0029】

形態6；本発明の1またはそれ以上の実施形態は、形態5の多層基板回路モジュールを備えた無線通信装置を提案している。

## 【0030】

形態7；本発明の1またはそれ以上の実施形態は、前記平面アンテナを除く第1のアナログ回路は、電氣的には空中に向けて開放されている多層基板回路モジュールを提案している。

40

## 【0031】

形態8；本発明の1またはそれ以上の実施形態は、形態7の多層基板回路モジュールを備えたレーダ装置を提案している。

## 【発明の効果】

## 【0032】

本発明の1またはそれ以上の実施形態によれば、ミリ波アンテナ、ミリ波アナログ回路、低周波アナログ回路、デジタル回路が混在するモジュールにおいて、材料コスト、製造コストを抑えつつ、ノイズの回り込みを抑制して、1枚の多層基板上に全てを一体集積化できるという効果がある。

## 【図面の簡単な説明】

50

【 0 0 3 3 】

【 図 1 】 本発明の実施形態に係る多層基板回路モジュールの断面構造模式図である。

【 図 2 】 本発明の実施形態に係る多層基板回路モジュールの回路ブロック模式図である。

【 図 3 】 本発明の実施形態に係る多層基板回路モジュールの多層基板における各層の平面模式図である。

【 図 4 】 本発明の実施形態に係る多層基板回路モジュールの多層基板における製造工程模式図である。

【 図 5 】 関連技術の問題点を説明するための断面模式図である。

【 図 6 】 図 5 の回路ブロック模式図である。

【 図 7 】 関連技術の断面模式図である。

10

【 図 8 】 図 7 の回路ブロック模式図である。

【 図 9 】 一般的なレーダ装置の回路ブロック模式図である。

【 発明を実施するための形態 】

【 0 0 3 4 】

以下、本発明の実施形態について、図面を用いて、詳細に説明する。

なお、本実施形態における構成要素は適宜、既存の構成要素等との置き換えが可能であり、また、他の既存の構成要素との組合せを含む様々なバリエーションが可能である。したがって、本実施形態の記載をもって、特許請求の範囲に記載された発明の内容を限定するものではない。

【 0 0 3 5 】

20

< 実施形態 >

図 1 から図 4 を用いて、本発明の実施形態について、説明する。なお、以下では、本実施形態に係る多層基板回路モジュールをミリ波レーダに適用する場合を例にとって説明する。

【 0 0 3 6 】

本実施形態に係る多層基板回路モジュールの多層基板は、図 1 に示すように、第 1 の誘電体層 ( 1 1 1 ) と、第 2 の誘電体層 ( 1 1 2 ) と、第 1 の誘電体層 ( 1 1 1 ) と第 2 の誘電体層 ( 1 1 2 ) とを貼り合せ多層化する接着層 ( 1 1 3 ) とから構成されている。

【 0 0 3 7 】

第 1 の誘電体層 ( 1 1 1 ) と第 2 の誘電体層 ( 1 1 2 ) はそれぞれ両面金属張り基板からなり、回路がパターンニング形成されている。第 1 の誘電体層 ( 1 1 1 ) の空気側の面 ( 1 2 1 ) には、平面アンテナと高周波の第 1 のアナログ回路が形成されている。

30

【 0 0 3 8 】

第 1 の誘電体層 ( 1 1 1 ) の接着層側の面 ( 1 2 2 ) には、全面を覆う第 1 のアナロググランドが形成され、第 1 の誘電体層 ( 1 1 1 ) の内部には、空気側の面 ( 1 2 1 ) と接着層側の面 ( 1 2 2 ) のパターン間を電氣的に接続するブラインド V I A ホールが適宜形成されている。

【 0 0 3 9 】

第 2 の誘電体層の空気側の面 ( 1 2 4 ) には、低周波の第 2 のアナログ回路とデジタル回路が形成され、第 2 の誘電体層の接着層側の面 ( 1 2 3 ) には、第 2 のアナロググランドと、デジタルグランドとが形成され、第 2 の誘電体層 ( 1 1 2 ) の内部には、空気側の面 ( 1 2 4 ) と接着層側の面 ( 1 2 3 ) のパターン間を電氣的に接続するためのブラインド V I A ホールが適宜形成されている。

40

【 0 0 4 0 】

第 1 のアナロググランド ( 1 3 1 ) は、第 2 のアナロググランド ( 1 4 1 ) と全層を貫く貫通 V I A ホール ( 1 1 5 A ) によって電氣的に直結され、第 1 のアナロググランド ( 1 3 1 ) は、第 2 のアナロググランド ( 1 4 1 ) あるいはノイズフィルタ ( 1 1 4 ) を介してデジタルグランド ( 1 5 1 ) と接続されている。

【 0 0 4 1 】

第 1 の誘電体層 ( 1 1 1 ) は低ロスであるテフロン系やセラミック系等のミリ波用基板

50

から成り、第2の誘電体層(112)は低コストであるガラエポ系基板から成り、これらは図4(a)のようにそれぞれ2つのメタルパターン層(121~124)を有する両面銅張り基板である。

【0042】

2つの誘電体層(111、112)は、まず、別々に、図4(b)のようにVIAホール(114)の形成処理とパターンの形成処理とが行われる。具体的には、第1の誘電体層(111)の片側のメタルパターン層(121)にミリ波アンテナ(161~162)を含むパターンの形成処理がなされ、VIAホール(114)がミリ波アンテナ(161~162)の形成されていないデッドスペースに形成される。

【0043】

次に、図4(c)のように接着層(113)を介して貼り合わせて一体多層化される。この結果、多層基板内に計4つのメタルパターン層(121~124)が形成され、またVIAホール(114)は接着層(113)により遮蔽されるため、非貫通のブラインドVIAホール(114)へと変化する。

【0044】

最後に、接着層(113)を含む全層(111~113)を貫く貫通VIAホール(115B)が、同様に、ミリ波アンテナ(161~162)間のデッドスペースに形成され、両表面に位置する2つのメタルパターン層(121、124)が電氣的に接続される。

【0045】

そして、これにより第2の誘電体層(112)にデジタル回路(152)及び低周波アナログ回路(142)を設けることができる。そのため、低ロス基材から成る第1の誘電体層(111)は、ミリ波回路専用の層となり、この両面のメタルパターン層(121~122)だけで、ミリ波帯回路を完結することができる。

【0046】

空気側の表層(121)は、図3(a)の平面図のように、従来通り、ほぼ全面をミリ波アンテナ(161~162)が占有可能であり、設計の自由度が高い。この面には、例えば、ごく少数のミリ波IC(132)も搭載されるが、近年の1チップ化の流れを受けてその占有面積は小さい。

【0047】

また、ミリ波アンテナ(161~162)を構成する送信アンテナ(161)と受信アンテナ(162)とは、電磁干渉を避けるため互いに距離を離してレイアウトしなければならないため、図3(a)のように、両者の隙間にミリ波IC(132)を配置すれば、デッドスペースが生じることを抑制することができる。

【0048】

ミリ波IC(132)の内部回路は、発振回路(263)や分周回路(269)、ミキサ回路(266)等であるが、これらが必要とするミリ波アナロググランド(131)は、接着層(113)側の第1誘電体層(111)のメタルパターン層(122)に広い面積で形成され、VIAホール(114~115B)により低周波アナロググランド(141)に電氣的に接続される。

【0049】

その際、図4の製造工程から明らかなように、スペース的にブラインドVIAホール(114)を自由に設定できるため、比較的好きな場所にVIAホールを配置しても他の層に配置した電子部品との干渉を起こす恐れがないため、設計の自由度が高い。

【0050】

一方、低コスト基板から成る第2の誘電体層(112)は、低周波アナログ回路(142)とデジタル回路(152)専用の層となり、この両面のメタルパターン層(123~124)だけで低周波アナログ回路およびデジタル回路が完結している。

【0051】

具体的には、低周波アナログ回路(142)とデジタル回路(152)との内部回路は、オペアンプ(272)やPLL回路(271)、マイコン(273)、デジタル通信回

10

20

30

40

50

路(275)、電源回路(274)等であるが、これらが必要とする低周波アナロググランド(141)とデジタルグランド(151)、および、しばしば必要となる内層補助配線(136)は、第2の誘電体層(112)のメタルパターン層(123)の同一平面上に棲み分けて形成され、VIAホール(114~115B)により、デジタル回路(152)または低周波アナログ回路(142)にそれぞれ電氣的に接続される。

【0052】

その際、図4の製造工程から明らかなように、ブラインドVIAホール(114)を自由に配置できるため、比較的好きな場所にVIAホールを配置しても他の層に配置した電子部品と干渉を起こす恐れがないため、設計の自由度が高い。

【0053】

なお、低周波アナロググランド(141)とデジタルグランド(151)とは、特にノイズが回り込み易いことが知られている。そのため、レイアウトを熟慮した上で、ごく一部の場所で選択的に互いに接続するか、間にノイズフィルタ(114)を介して互いに接続するのが一般的である。

【0054】

本実施形態では、これら2種類のグランドが同一平面(123)上に配置されるものの、このような、今まで同様のノイズ対策が可能なのは言うまでもない。また、他の種類のノイズ対策技術と共存、並列で実施できることも言うまでもない。なお、図3(c)の平面図では、簡略化のためこのようなノイズ対策を省略している。

【0055】

以上のことから、本実施形態では、ミリ波回路部(132)が形成された第1誘電体層(111)とデジタル回路部(152)と低周波アナログ回路部(142)が形成された第2誘電体層(112)の間は、比較的少数の貫通VIAホール(115A)のみで接続されることになる。これが、両者を電氣的に分離し、ノイズの回り込みを防ぐ上で効果的となる。

【0056】

更に、本実施形態では、ミリ波アナロググランド(131)と低周波アナロググランド(141)との間の電氣的接続は、この貫通VIAホール(115)のうち一部で実現される。ミリ波アナロググランド(131)とデジタルグランド(151)とは、直接接続されず、間に低周波アナロググランド(141)かノイズフィルタ(114)を介してのみ接続される。

【0057】

以上、説明したように、本実施形態によれば、ミリ波アンテナ、ミリ波アナログ回路、低周波アナログ回路、デジタル回路が混在するモジュールにおいて、材料コスト、製造コストを抑えつつ、ノイズの回り込みを抑制して、1枚の多層基板上に全てを一体集積化できる。

【0058】

< 応用形態 >

上記実施形態に係る多層基板回路モジュールは、ミリ波レーダ装置ばかりでなく無線通信装置の用途にも使用可能である。

【0059】

レーダ回路と無線通信回路の最大の違いは、アンテナ(161~162)から放射される信号が、発振回路(263)の出力信号と同じか否かである。レーダ回路では、2つの信号が同じであり、そのため、上記の実施形態で説明したように、発振回路(263)の電磁シールドにあまり気を遣う必要が無かった。しかし、無線通信回路では、2つの信号が異なるため、発振回路(263)からの電磁漏洩は大きな問題となり、一般的には電磁シールドを被せる必要がある。

【0060】

上記の実施形態に係る多層基板回路モジュールを無線通信回路に用いる場合には、図3(a)の平面図において、点線部(381)に金属シールドケースを被せれば良い。なお

10

20

30

40

50

、金属シールドケースの縁は、基板上の信号線と当たる部分に小さな開口部を設けて短絡を防ぎ、それ以外の部分は基板上にブラインドVIAホール(114)を追加してミリ波アナロググランド(131)に接地させて電位を安定させることが望ましい。

【0061】

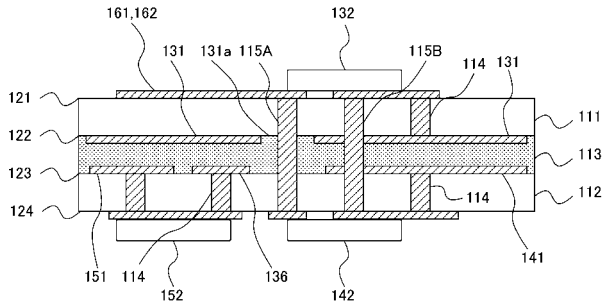
以上、この発明の実施形態につき、図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【符号の説明】

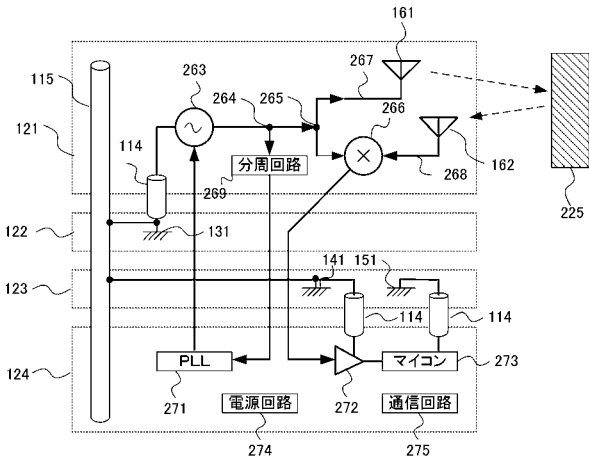
【0062】

111 ; 第1の誘電体層	10
112 ; 第2の誘電体層	
113 ; 接着層	
114 ; ブラインドVIAホール	
115A ; 貫通VIAホール	
115B ; 貫通VIAホール	
121 ; メタルパターン層	
122 ; メタルパターン層	
123 ; メタルパターン層	
124 ; メタルパターン層	
131、331 ; ミリ波アナロググランド	20
132 ; ミリ波IC	
136 ; 補助配線パターン	
141 ; 低周波アナロググランド	
142 ; 低周波アナログ電子部品	
151 ; デジタルグランド	
152 ; デジタル電子部品	
161 ; ミリ波アンテナ	
162 ; ミリ波アンテナ	
225 ; 障害物	
263 ; 発振回路	30
264 ; 分岐部	
265 ; 分岐部	
266 ; ミキサ回路	
269 ; 分周回路	
271 ; PLL回路	
272 ; オペアンプ	
273 ; マイコン	
274 ; 電源回路	
275 ; 通信回路	
331 ; ミリ波アナロググランド	40
371 ; PLL回路	
372 ; オペアンプ	
373 ; マイコン	
374 ; 電源回路	
375 ; 通信回路	
381 ; シールドケース	

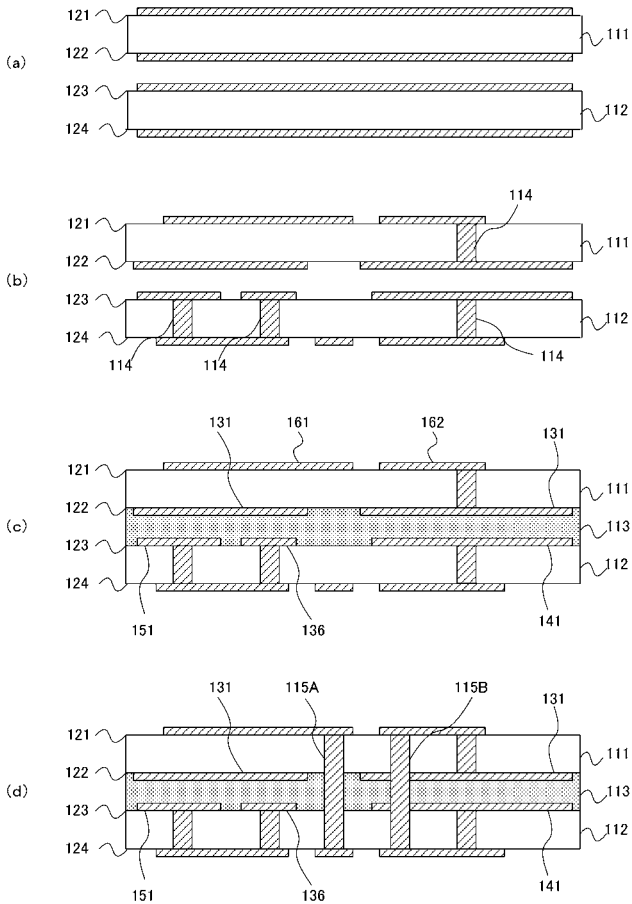
【図1】



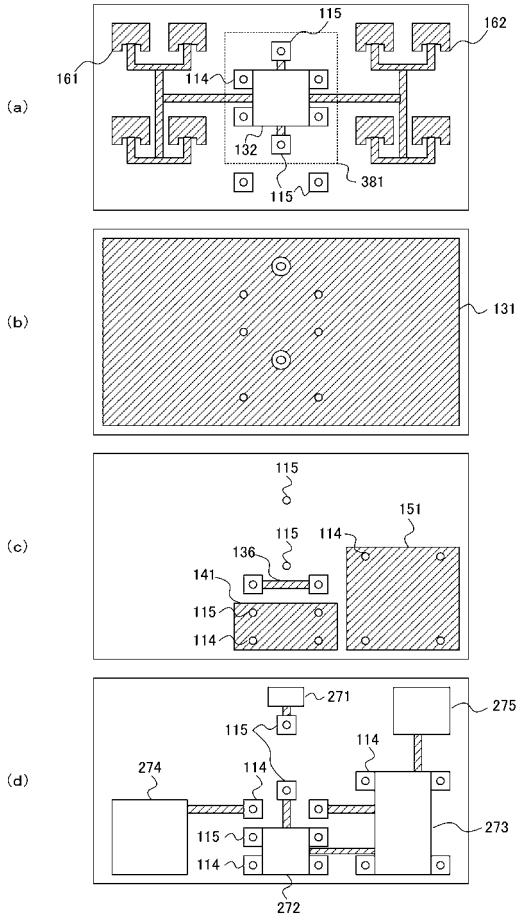
【図2】



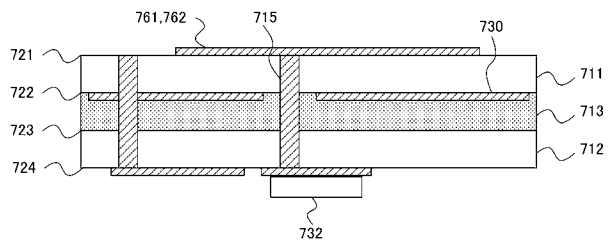
【図4】



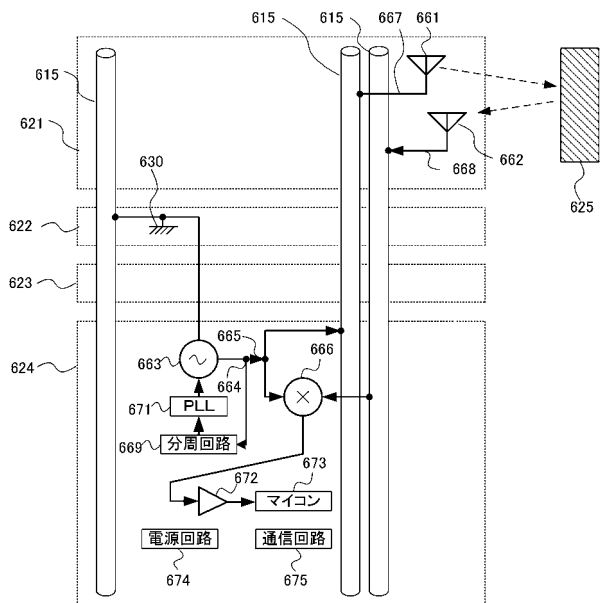
【図3】



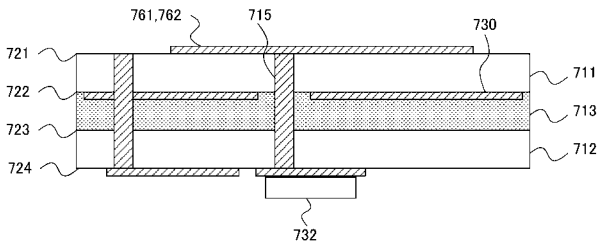
【図5】



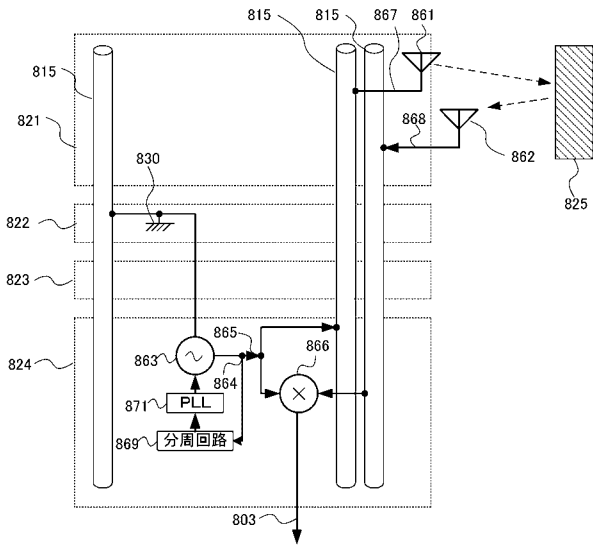
【図6】



【図7】



【図8】



【図9】

