

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



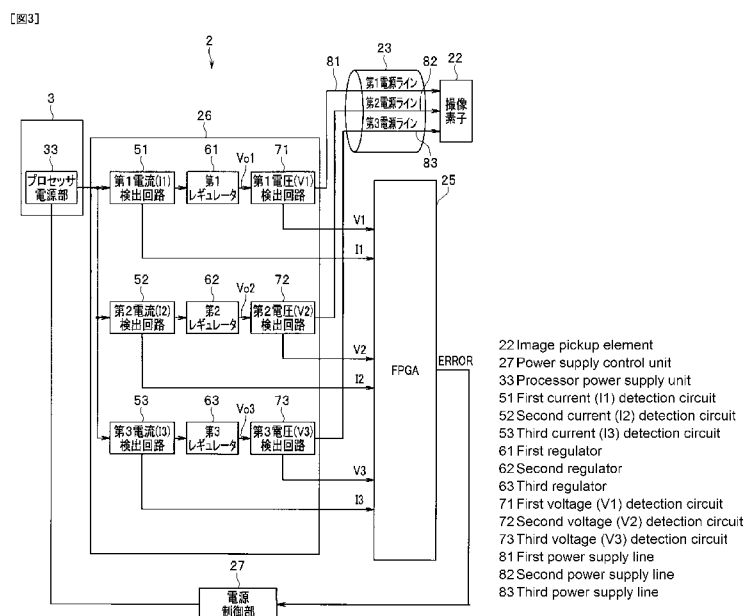
(10) 国際公開番号

WO 2018/179504 A1

- (51) 国際特許分類:
A61B 1/00 (2006.01) A61B 1/05 (2006.01)
A61B 1/04 (2006.01) G02B 23/24 (2006.01)
- (21) 国際出願番号: PCT/JP2017/033837
- (22) 国際出願日: 2017年9月20日(20.09.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-061776 2017年3月27日(27.03.2017) JP
- (71) 出願人: オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1928507 東京都八王子市石川町2951番地 Tokyo (JP).
- (72) 発明者: 立川 峻 (TACHIKAWA Takashi); 〒9658520 福島県会津若松市門田町大字飯寺字村西500会津オリンパス株式会社内 Fukushima (JP).
- (74) 代理人: 伊藤 進 (ITO H Susumu); 〒1600023 東京都新宿区西新宿七丁目4番4号武蔵ビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: IMAGE PICKUP DEVICE

(54) 発明の名称: 撮像装置



(57) Abstract: This image pickup device is provided with: a first power supply line 81 and a second power supply line 82, which respectively transmit different voltages to an image pickup element 22, and which are adjacent to each other; a first regulator 61 and a second regulator 62, which respectively generate a first voltage and a second voltage from a predetermined power supply output, and output the voltages to the first power supply line and the second power supply line; a first current comparison circuit 121b that detects a first current abnormality of the first regulator; a first voltage



MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

comparison circuit 121a that detects a first voltage abnormality of the first regulator; an FPGA 25 having a first power calculation circuit 101 that calculates a first power value, i.e., a product of a first current and the first voltage, and a power supply line abnormality determining unit that determines, on the basis of the first power value thus calculated, an abnormal state relating to the first power supply line 81; and a power supply control unit 27 that controls the power supply unit output on the basis of the determination results obtained from the power supply line abnormality determining unit.

(57) 要約: 撮像装置は、撮像素子22へ異なる電圧を伝送する、互いに隣接する第1電源ライン81、第2電源ライン82と、所定電源出力から夫々第1電圧、第2電圧を生成し第1電源ライン、第2電源ラインへ出力する第1レギュレータ61、第2レギュレータ62と、第1レギュレータの第1電流異常を検知する第1電流比較回路121bと、第1レギュレータの第1電圧異常を検知する第1電圧比較回路121aと、第1電流と第1電圧との積である第1電力値を算出する第1電力算出回路101と算出した前記第1電力値に基づいて第1電源ライン81に係る異常状態を判定する電源ライン異常判定部を有するFPGA25と、電源ライン異常判定部の判定結果に基づいて電源部出力を制御する電源制御部27とを具備する。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本発明は、撮像装置に関し、特に、固体撮像素子を備えると共に当該固体撮像素子に供給する電源の異常を検出する撮像装置に関する。

背景技術

[0002] 被検体の内部の被写体を撮像する内視鏡、及び、内視鏡により撮像された被写体の観察画像を生成する画像処理装置等を具備する内視鏡システムが、医療分野及び工業分野等において広く用いられている。

[0003] このような内視鏡システムにおける内視鏡としては、固体撮像素子として、例えばCMOSイメージセンサを採用し、このCMOSイメージセンサから出力される撮像信号を後段の画像処理装置に対して伝送する内視鏡が広く知られている。上述したCMOSイメージセンサは、一般に、所定の電源の供給を受け、所定の制御信号により駆動されるようになっている。

[0004] ここで、CMOSイメージセンサおよびその周辺IC（駆動回路等）に関しては、近年、消費電力の増加に伴い発熱が問題となっている。この課題に対して従来、イメージセンサに供給する電源ラインの状態をモニタすることにより、イメージセンサの発熱および破損を防止するための安全回路を備えた撮像装置が提案されている（日本国特開2013-27418号公報）。

[0005] また、この安全回路としては、例えば、電源ラインの電流値を検出し、当該検出結果を内視鏡コネクタ部に配設されたFPGAに入力して過電流の状態を判定すると共にエラー処理を実行する技術が知られている。

[0006] ところで、上述のごときCMOSイメージセンサを備える内視鏡においては、当該イメージセンサに供給される電源ラインとして、例えば、アナログ電源ライン（ANA）、インターフェース電源ライン（IF）、デジタル電源ライン（DIG）等の複数の電源ラインを併設して配線する例が知られている。

- [0007] この種の技術の場合、これら複数の各電源ラインに対しては、それぞれ独立したレギュレータから電圧が供給されるようになっている。具体的には、例えば、アナログ電源ライン（定格電圧 3 V、定格電流 10 mA）、インターフェース電源ライン（定格電圧 2 V、定格電流 2 mA）、デジタル電源ライン（定格電圧 1 V、定格電流 20 mA）等、互いに定格電圧、定格電流が異なる複数のレギュレータからそれぞれの電圧が供給される複数の電源ラインが配線される例が知られている。
- [0008] 一方、近年、内視鏡の小型化は益々囑望されるに至っており、これら複数の電源ラインも細径化が求められ、また、これら複数の電源ラインは、互いにより近接して配設されるようになっている。
- [0009] このような状況下においては、電源ラインにおける短絡に対してよりの確な対応が求められる。例えば、ある電源ラインにおける活線側と GND との短絡、または、隣接する電源ラインの活線間の短絡に対して適切な安全措置が求められると考えられる。
- [0010] ここで、上述した電源ラインにおける活線側と GND との短絡については、従前の過電流検出全回路等において短絡、または短絡に近い状態を検出することができる。一方、近接する電源ライン間に係る短絡については、条件によりの確な過電流検出が困難となる場合がある。
- [0011] 例えば、上述したように、互いに定格電圧、定格電流が異なる複数のレギュレータおよび電源ラインが配線される内視鏡において、これら近接する電源ライン間のうち、いずれか 2 つの電源ライン間において、例えば短絡またはこれに近い状態が生じるとする。
- [0012] このとき、それぞれの電源ラインに供給される電圧および電流は一定程度変化することが考えられるが、この変化の度合いは、レギュレータの仕様、各電源ラインに供給される電圧、電流および電源ラインの負荷等の条件の違いにより、様々な結果を採り得ると考えられる。
- [0013] 具体的に、供給される電圧が互いに異なる電源ライン、例えば、アナログ電源ライン（定格電圧 3 V、定格電流 10 mA）とデジタル電源ライン（定

格電圧 1 V、定格電流 20 mA) とにおいて、それぞれの活線側が短絡またはこれに近い状態になったとする。

[0014] このとき、定格電圧 3 V のアナログ電源ラインの電圧は低下する一方で、定格電圧 1 V のデジタル電源ライン用の供給電圧は上昇し、各電源ライン間が略同電位 (約 2 V 程度) になることが考えられる。

[0015] また、デジタル電源ライン用のレギュレータから出力される電流 (20 mA) は急激に低下して 0 mA 程度となる一方で、アナログ電源ライン用のレギュレータから出力される電流 (10 mA) は、デジタル電源ラインの負荷にも流れ込むことから急激に上昇し、レギュレータ (アナログ電源ライン用) 出力電流のリミット値 (例えば、15 mA) を超える虞がある。

[0016] このようにレギュレータ (アナログ電源ライン用) から出力される電流がリミット値を超えるような状況の場合は、従前の過電流検出機能により回路自体の異常状態を検出することができると考えられる。

[0017] 一方で、例えば、アナログ電源ライン (定格電圧 3 V、定格電流 10 mA) とインターフェース電源ライン (定格電圧 2 V、定格電流 2 mA) とが短絡またはこれに近い状態が生じたとする。

[0018] このとき、インターフェース電源ライン用のレギュレータから出力される電流 (2 mA) は低下して 0 mA 程度となる。一方、アナログ電源ライン用のレギュレータから出力される電流 (10 mA) については、インターフェース電源ラインの負荷にも流れ込むことから上昇することとなるが、当該インターフェース電源ラインの負荷はあまり大きくないことから上昇度合いは小さく、必ずしもレギュレータ (アナログ電源ライン用) 出力電流のリミット値 (例えば、15 mA) を超えるとは限らない。

[0019] このようにレギュレータ (アナログ電源ライン用) から出力される電流がリミット値を超えない場合は、従前の過電流検出機能では異常状態を検出することができず、すなわち、近接する電源ラインの活線間において短絡が生じているにも拘わらず、異常状態を検知することが困難となる場合があった。

[0020] 本発明は上述した事情に鑑みてなされたものであり、撮像素子に供給する電源ラインの異常をよりの確に検出することがすることができる撮像装置を提供することを目的とする。

発明の開示

課題を解決するための手段

[0021] 本発明の一態様の撮像装置は、撮像素子と、前記撮像素子へ第1電圧を伝送する第1電源ラインと、前記第1電源ラインに隣接して配置され、前記撮像素子へ前記第1電圧とは異なる第2電圧を伝送する第2電源ラインと、所定の電源部において生成された電源出力から前記第1電圧を生成し前記第1電源ラインへ出力する第1レギュレータと、前記電源出力から前記第2電圧を生成し前記第2電源ラインへ出力する第2レギュレータと、前記第1レギュレータの入力端子に入力する第1電流を検出する第1電流検出回路と、前記第1レギュレータの出力端子から出力する前記第1レギュレータ出力に係る前記第1電圧を検出する第1電圧検出回路と、前記第1電流検出回路において検出した前記第1電流の値と、前記第1電圧検出回路において検出した第1電圧の値との積である第1電力値を算出する第1電力算出回路と、少なくとも前記第1電力算出回路において算出した前記第1電力値に基づいて前記第1電源ラインに係る異常状態を判定する電源ライン異常判定部と、前記電源ライン異常判定部における判定結果に基づいて前記電源部の出力を制御する電源制御部と、を具備する。

図面の簡単な説明

[0022] [図1]図1は、本発明の第1の実施形態の内視鏡を含む内視鏡システムの構成を示す図である。

[図2]図2は、第1の実施形態の内視鏡を含む内視鏡システムの電氣的な構成を示すブロック図である。

[図3]図3は、第1の実施形態の内視鏡におけるFPGA、レギュレータ部、電源制御部および周辺部の構成を示すブロック図である。

[図4]図4は、第1の実施形態の内視鏡におけるFPGA内の構成を示すブロ

ック図である。

[図5]図5は、第1の実施形態の内視鏡において、各電源ラインに係るレギュレータ出力の通常時およびリミット時における電圧値および電流値を示した表図である。

[図6]図6は、第1の実施形態の内視鏡において、各電源ラインに係るレギュレータ出力電圧、出力電流、消費電力にかかるエラー検出作用を示したフローチャートである。

[図7]図7は、第1の実施形態の内視鏡における過電流検出の際のエラー検出の様子を示したタイミングチャートである。

[図8]図8は、第1の実施形態の内視鏡において、各電源ラインのレギュレータに係る定格出力電流およびリミット電流の一設定例を示した図である。

[図9]図9は、第1の実施形態の内視鏡において、アナログ電源ラインとデジタル電源ラインとが短絡した際の各電源ラインの出力電流とリミット電流との関係を示した図である。

[図10]図10は、第1の実施形態の内視鏡において、アナログ電源ラインとインターフェース電源ラインとが短絡した際の各電源ラインの出力電流とリミット電流との関係を示した図である。

[図11]図11は、第1の実施形態の内視鏡において、各電源ラインのレギュレータに係る定格出力電圧およびリミット電圧の一設定例を示した図である。

[図12]図12は、第1の実施形態の内視鏡において、アナログ電源ラインとデジタル電源ラインとが短絡した際の各電源ラインの出力電圧とリミット電圧との関係を示した図である。

[図13]図13は、第1の実施形態の内視鏡において、アナログ電源ラインとインターフェース電源ラインとが短絡した際の各電源ラインの出力電圧とリミット電圧との関係を示した図である。

[図14]図14は、第1の実施形態の内視鏡において、アナログ電源ラインとインターフェース電源ラインとが短絡した際のアナログ電源ラインの出力電

力とリミット電力との関係を示した図である。

[図15]図 1 5 は、本発明の第 2 の実施形態の内視鏡を含む内視鏡システムの電氣的な構成を示すブロック図である。

[図16]図 1 6 は、第 2 の実施形態の内視鏡における F P G A、レギュレータ部、電源制御部および周辺部の構成を示すブロック図である。

[図17]図 1 7 は、第 2 の実施形態の内視鏡における F P G A 内の構成を示すブロック図である。

[図18]図 1 8 は、第 2 の実施形態の内視鏡において、各電源ラインに係るレギュレータ出力電圧、出力電流、消費電力にかかるエラー検出作用を示したフローチャートである。

[図19]図 1 9 は、本発明の第 3 の実施形態の内視鏡を含む内視鏡システムの電氣的な構成を示すブロック図である。

[図20]図 2 0 は、第 3 の実施形態の内視鏡における F P G A、レギュレータ部および周辺部の構成を示すブロック図である。

[図21]図 2 1 は、第 3 の実施形態の内視鏡における F P G A 内の構成を示すブロック図である。

[図22]図 2 2 は、本発明の第 4 の実施形態の内視鏡における F P G A 内の構成を示すブロック図である。

[図23]図 2 3 は、本発明の第 5 の実施形態の内視鏡における F P G A 内の構成を示すブロック図である。

[図24]図 2 4 は、立体内視鏡における F P G A 内の構成を示すブロック図である。

発明を実施するための最良の形態

[0023] 以下、図面を参照して本発明の実施形態を説明する。

[0024] <第 1 の実施形態>

図 1 は、本発明の第 1 の実施形態の撮像装置（内視鏡）を含む内視鏡システムの構成を示す図であり、図 2 は、第 1 の実施形態の撮像装置（内視鏡）を含む内視鏡システムの電氣的な構成を示すブロック図である。

- [0025] なお、本実施形態においては、撮像装置として、固体撮像素子（CMOSイメージセンサ）を有し被検体の内部の被写体を撮像する内視鏡を例に挙げて説明する。
- [0026] 図1、図2に示すように、本第1の実施形態の撮像装置（内視鏡）を有する内視鏡システム1は、被検体の観察し撮像する内視鏡2と、当該内視鏡2に接続され前記撮像信号を入力し所定の画像処理を施すビデオプロセッサ3と、被検体を照明するための照明光を供給する光源装置4と、撮像信号に応じた観察画像を表示するモニタ装置5と、を有している。
- [0027] 図1に示すように、内視鏡2は、被検体の体腔内等に挿入される細長の挿入部6と、挿入部6の基端側に配設され術者が把持して操作を行う内視鏡操作部10と、内視鏡操作部10の側部から延出するように一方の端部が設けられたユニバーサルコード11と、を有して構成されている。
- [0028] 挿入部6は、先端側に設けられた硬質の先端部7と、先端部7の後端に設けられた湾曲自在の湾曲部8と、湾曲部8の後端に設けられた長尺かつ可撓性を有する可撓管部9と、を有して構成されている。
- [0029] 前記ユニバーサルコード11の基端側にはコネクタ12が設けられ、当該コネクタ12は光源装置4に接続されるようになっている。すなわち、コネクタ12の先端から突出する流体管路の接続端部となる口金（図示せず）と、照明光の供給端部となるライトガイド口金（図示せず）とは光源装置4に着脱自在で接続されるようになっている。
- [0030] さらに、前記コネクタ12の側面に設けた電気接点部には接続ケーブル13の一端が接続されるようになっている。そして、この接続ケーブル13には、例えば内視鏡2における撮像素子（CMOSイメージセンサ）22（図2参照）からの撮像信号を伝送する信号線が内设され、また、他端のコネクタ部はビデオプロセッサ3に接続されるようになっている。
- [0031] 図2に示すように内視鏡2は、挿入部6の先端部7に配設された、被写体像を入光するレンズを含む対物光学系21と、対物光学系21における結像面に配設された撮像素子（CMOSイメージセンサ）22と、を備える。

- [0032] また内視鏡 2 は、撮像素子 2 2 から延出され、当該撮像素子 2 2 から挿入部 6、操作部 1 0、ユニバーサルコード 1 1 を経て、コネクタ 1 2 に至るまで配設されたケーブル 2 3 を備える。
- [0033] さらに内視鏡 2 は、ケーブル 2 3 の後端側であってコネクタ 1 2 に配設された、A F E（図示せず）、F P G A 2 5、レギュレータ部 2 6、電源制御部 2 7 および、当該内視鏡 2 における固有の所定 I D 情報を記憶した記憶部（図示せず）等（図 2 参照）等を有する（上記の F P G A 2 5、レギュレータ部 2 6、電源制御部 2 7 については、後に詳述する）。
- [0034] 撮像素子 2 2 は、上述したように本実施形態においては C M O S イメージセンサにより構成される固体撮像素子である。撮像素子 2 2 は被写体を光電変換し所定の撮像信号を後段に向けて（ケーブル 2 3 を経由して）出力するようになっている。
- [0035] ケーブル 2 3 は、撮像素子 2 2 を駆動・制御するための各種制御信号を伝送する制御信号ライン、複数のレギュレータを有するレギュレータ部 2 6 から供給される各種電源を伝送する第 1 電源ライン 8 1、第 2 電源ライン 8 2、第 3 電源ライン 8 3、並びに、撮像素子 2 2 から出力される撮像信号を伝送する撮像信号ライン等を内包するケーブルであり、本実施形態においては、撮像素子 2 2 からコネクタ 1 2 に至るまで配設されている。
- [0036] F P G A 2 5 は、いわゆる F P G A（Field Programmable Gate Array）により構成され、内視鏡 2 における前記コネクタ 1 2 に配設される。また、ビデオプロセッサ 3 からの動作制御を受け、各種のタイミング調整を行い所定の制御信号として撮像素子 2 2 に向けて送出するタイミング調整部を形成する。さらに、撮像素子 2 2 からの撮像信号を入力し、後段のビデオプロセッサ 3 における画像処理部 3 1 に対して送出するようになっている。
- [0037] また本実施形態において F P G A 2 5 は、後に詳述するが、電源ラインの異常を判定するための各種比較回路等が形成されるようになっている。
- [0038] レギュレータ部 2 6 は、ビデオプロセッサ 3 におけるプロセッサ電源部 3 3 からの所定の電源電圧を受けて、各種電源電圧を生成し出力する第 1 レギ

ュレータ 6 1、第 2 レギュレータ 6 2、第 3 レギュレータ 6 3 等を有して構成される（図 3 参照）。

[0039] 詳しくは後述するが、本実施形態において第 1 レギュレータ 6 1 は、プロセッサ電源部 3 3 からの電源電圧を受けて所定の第 1 電圧を生成し、第 1 レギュレータ出力として第 1 電源ライン 8 1 に対して供給する。

[0040] 同様に、第 2 レギュレータ 6 2 は、上記同様に、プロセッサ電源部 3 3 からの電源電圧を受けて第 2 電圧を生成し、第 2 レギュレータ出力として第 2 電源ライン 8 2 に対して供給する。

[0041] また、第 3 レギュレータ 6 3 は、上記同様に、プロセッサ電源部 3 3 からの電源電圧を受けて第 3 電圧を生成し、第 3 レギュレータ出力として第 3 電源ライン 8 3 に対して供給する。

[0042] なお、本実施形態においては、レギュレータ部 2 6 における上述した各レギュレータ（第 1 レギュレータ 6 1、第 2 レギュレータ 6 2、第 3 レギュレータ 6 3）の入力電流および出力電圧をそれぞれ検出し、当該検出結果を F P G A 2 5 における各種比較回路に向けて送出するようになっている（詳しくは、後述する）

電源制御部 2 7 は、F P G A 2 5 からのエラー信号を受けると共に、当該エラー信号に応じてビデオプロセッサ 3 におけるプロセッサ電源部 3 3 を制御（オンオフ等）するようになっている（詳しくは、後述する）。

[0043] また、本実施形態の内視鏡システム 1 は、当該内視鏡 2 に接続され前記撮像信号を入力し所定の画像処理を施すビデオプロセッサ 3 を備える。

[0044] 本実施形態においてビデオプロセッサ 3 は、内視鏡 2 からの撮像信号を入力し、所定の画像処理を施しモニタ装置 5 に向けて出力する画像処理部 3 1 と、内視鏡 2 に対して各種動作制御信号を送出する動作制御部 3 2 と、ビデオプロセッサ 3 内の各種回路に供給する電源電圧および内視鏡 2 における上述した各レギュレータ（第 1 レギュレータ 6 1、第 2 レギュレータ 6 2、第 3 レギュレータ 6 3）に対して供給するための電源電圧を生成するプロセッサ電源部 3 3 と、を備える。

[0045] <FPGA 25、レギュレータ部 26、電源制御部 27 および電源ラインの構成>

次に、本実施形態における FPGA 25、レギュレータ部 26、電源制御部 27 および電源ラインの構成について、図 2 に加え図 3、図 4、図 5 を参照して詳しく説明する。

[0046] 図 3 は、第 1 の実施形態の内視鏡における FPGA、レギュレータ部、電源制御部、電源ラインおよび周辺部の構成を示すブロック図であり、図 4 は、第 1 の実施形態の内視鏡における FPGA 内の構成を示すブロック図である。また、図 5 は、第 1 の実施形態の内視鏡において、各電源ラインに係るレギュレータ出力の通常時およびリミット時における電圧値および電流値を示した表図である。

[0047] <レギュレータ部 26>

まず、レギュレータ部 26 の構成について、図 3 を参照して説明する。

[0048] 図 3 に示すようにレギュレータ部 26 は、上述したように、ビデオプロセッサ 3 におけるプロセッサ電源部 33 からの所定の電源電圧を入力し、撮像素子 22 を駆動するための各種電源電圧 (V_1 , V_2 , V_3) を生成し出力する、第 1 レギュレータ 61、第 2 レギュレータ 62、第 3 レギュレータ 63 等を有する。

[0049] 第 1 レギュレータ 61 は、プロセッサ電源部 33 からの電源電圧を受けて所定の第 1 電圧 V_1 を生成し、第 1 レギュレータ出力 V_{o1} として第 1 電源ライン 81 を介して撮像素子 22 に向けて供給する。

[0050] ここで、第 1 レギュレータ 61 は、所定の電源部（プロセッサ電源部 33）において生成された電源出力から第 1 電圧を生成し第 1 レギュレータ出力として出力する第 1 レギュレータとして役目を果たす。

[0051] 本実施形態において第 1 電圧 V_1 は、アナログ電源 (ANA) 用の電圧 (3 V) を想定する。また、図 5 に示すように、第 1 レギュレータ出力 V_{o1} は、

第 1 定格電圧 [V_1] = 3 V

第1リミット電圧 $[V1_limit] = 4\text{ V}$

第1定格電流 $[I1] = 10\text{ mA}$

第1リミット電流 $[I1_limit] = 15\text{ mA}$

を想定する。

[0052] 同様に、第2レギュレータ62は、上記同様に、プロセッサ電源部33からの電源電圧を受けて所定の第2電圧 $V2$ を生成し、第2レギュレータ出力 V_{o12} として第2電源ライン82を介して撮像素子22に向けて供給する。

[0053] ここで、第2レギュレータ62は、所定の電源部（プロセッサ電源部33）において生成された電源出力から第2電圧を生成し第2レギュレータ出力として出力する第2レギュレータとして役目を果たす。

[0054] 本実施形態において第2電圧 $V2$ は、インターフェース電源（IF）用の電圧（2V）を想定する。また、図5に示すように、第2レギュレータ出力 V_{o12} は、

第2定格電圧 $[V2] = 2\text{ V}$

第2リミット電圧 $[V2_limit] = 2.8\text{ V}$

第2定格電流 $[I2] = 2\text{ mA}$

第2リミット電流 $[I2_limit] = 5\text{ mA}$

を想定する。

[0055] また、第3レギュレータ63は、上記同様に、プロセッサ電源部33からの電源電圧を受けて所定の第3電圧 $V3$ を生成し、第3レギュレータ出力 V_{o13} として第3電源ライン83を介して撮像素子22に向けて供給する。

[0056] ここで、第3レギュレータ63は、所定の電源部（プロセッサ電源部33）において生成された電源出力から第3電圧を生成し第3レギュレータ出力として出力する第3レギュレータとして役目を果たす。

[0057] 本実施形態において第3電圧 $V3$ は、デジタル電源（DIG）用の電圧（1V）を想定する。また、図5に示すように、第3レギュレータ出力 V_{o13} は、

第3定格電圧 $[V3] = 1\text{ V}$

第3リミット電圧 $[V3_limit] = 1.8\text{ V}$

第3定格電流 $[I3] = 20\text{ mA}$

第3リミット電流 $[I3_limit] = 30\text{ mA}$

を想定する。

[0058] 一方、レギュレータ部26は、前記第1レギュレータ61の入力端子に入力する第1電流 ($I1$) を検出する第1電流検出回路51と、前記第1レギュレータ61の出力端子から出力する前記第1レギュレータ出力 V_{o1} に係る第1電圧 ($V1$) を検出する第1電圧検出回路71と、を有する。

[0059] ここで、第1電流検出回路51は、前記第1レギュレータの入力端子に入力する第1電流を検出する第1電流検出回路としての役目を果たし、第1電圧検出回路71は、前記第1レギュレータの出力端子から出力する第1レギュレータ出力に係る第1電圧を検出する第1電圧検出回路としての役目を果たす。

[0060] 第1電圧検出回路71において検出された第1電圧 ($V1$) は、FPGA25における所定の第1電圧値ADコンバータ111aに入力され、第1電流検出回路51において検出された第1電流 ($I1$) は、FPGA25における所定の第1電流値ADコンバータ111bに入力されるようになっている (図4参照)。

[0061] また、レギュレータ部26は、前記第2レギュレータ62の入力端子に入力する第2電流 ($I2$) を検出する第2電流検出回路52と、前記第2レギュレータ62の出力端子から出力する前記第2レギュレータ出力 V_{o2} に係る第2電圧 ($V2$) を検出する第2電圧検出回路72と、を有する。

[0062] ここで、第2電流検出回路52は、前記第2レギュレータの入力端子に入力する第2電流を検出する第2電流検出回路としての役目を果たし、第2電圧検出回路72は、前記第2レギュレータの出力端子から出力する第2レギュレータ出力に係る第2電圧を検出する第2電圧検出回路としての役目を果たす。

[0063] 第2電圧検出回路72において検出された第2電圧(V2)は、FPGA25における所定の第2電圧値ADコンバータ112aに入力され、第2電流検出回路52において検出された第2電流(I2)は、FPGA25における所定の第2電流値ADコンバータ112bに入力されるようになっている(図4参照)。

[0064] さらに、レギュレータ部26は、前記第3レギュレータ63の入力端子に入力する第3電流(I3)を検出する第3電流検出回路53と、前記第3レギュレータ63の出力端子から出力する前記第3レギュレータ出力V_{o13}に係る第3電圧(V3)を検出する第3電圧検出回路73と、を有する。

[0065] ここで、第3電流検出回路53は、前記第3レギュレータの入力端子に入力する第3電流を検出する第3電流検出回路としての役目を果たし、第3電圧検出回路73は、前記第3レギュレータの出力端子から出力する第3レギュレータ出力に係る第3電圧を検出する第3電圧検出回路としての役目を果たす。

[0066] 第3電圧検出回路73において検出された第3電圧(V3)は、FPGA25における所定の第3電圧値ADコンバータ113aに入力され、第3電流検出回路53において検出された第3電流(I3)は、FPGA25における所定の第3電流値ADコンバータ113bに入力されるようになっている(図4参照)。

[0067] <電源ライン81、82、83>

第1電源ライン81は、第1電圧検出回路71を介して第1レギュレータ61に接続され、第1レギュレータ出力V_{o11}を撮像素子22に向けて伝送するアナログ電源ラインである。

[0068] ここで第1電源ライン81は、前記第1レギュレータに接続されて当該第1レギュレータから出力される前記第1レギュレータ出力を伝送する第1電源ラインとしての役目を果たす。

[0069] また、第2電源ライン82は、ケーブル23内において前記第1電源ライン81に隣接して配線され、第2電圧検出回路72を介して第2レギュレー

タ 6 2 に接続され、第 2 レギュレータ出力 V_{o12} を撮像素子 2 2 に向けて伝送するインターフェース電源ラインである。

[0070] ここで第 2 電源ライン 8 2 は、前記第 1 電源ラインに隣接して配線された電源ラインであって、前記第 2 レギュレータに接続されて当該第 2 レギュレータから出力される前記第 2 レギュレータ出力を伝送する第 2 電源ラインとしての役目を果たす。

[0071] さらに、第 3 電源ライン 8 3 は、前記第 1 電源ライン 8 1 および第 2 電源ライン 8 2 に隣接して配線された電源ラインであって、第 3 電圧検出回路 7 3 を介して第 3 レギュレータ 6 3 に接続され、第 3 レギュレータ出力 V_{o13} を撮像素子 2 2 に向けて伝送するデジタル電源ラインである。

[0072] ここで第 3 電源ライン 8 2 は、前記第 1 電源ラインおよび第 2 電源ラインに隣接して配線された電源ラインであって、前記第 3 レギュレータに接続されて当該第 3 レギュレータから出力される前記第 3 レギュレータ出力を伝送する第 3 電源ラインとしての役目を果たす。

[0073] <FPGA 25>

次に、FPGA 25 について、図 4 を参照して説明する。図 4 は、第 1 の実施形態の内視鏡における FPGA 内の構成を示すブロック図である。

[0074] FPGA 25 は、上述したように、いわゆる FPGA (Field Programmable Gate Array) により構成され、内視鏡 2 における前記コネクタ 1 2 に配設される (図 2 参照)。また、ビデオプロセッサ 3 からの動作制御を受け、各種制御信号を撮像素子 2 2 に向けて送出する共に、撮像素子 2 2 からの撮像信号を入力し画像処理部 3 1 に対して送出するようになっている。

[0075] また、本実施形態において FPGA 25 は、電源ラインの異常を判定するための AD コンバータ、各種比較回路等が形成されるようになっており、以下、当該 AD コンバータ、比較回路およびその周辺回路について説明する。

[0076] <AD コンバータ>

図 4 に示すように、FPGA 25 は、第 1 電圧検出回路 7 1 において検出した前記第 1 電圧 V_1 を入力し所定の AD 変換を施す第 1 電圧値 AD コンバ

ータ 111a、第1電流検出回路51において検出した前記第1電流 I1を入力し所定のAD変換を施す第1電流値ADコンバータ111b、第2電圧検出回路72において検出した前記第2電圧 V2を入力し所定のAD変換を施す第2電圧値ADコンバータ112a、第2電流検出回路52において検出した前記第2電流 I2を入力し所定のAD変換を施す第2電流値ADコンバータ112b、第3電圧検出回路73において検出した前記第3電圧 V3を入力し所定のAD変換を施す第3電圧値ADコンバータ113a、および、第3電流検出回路53において検出した前記第3電流 I3を入力し所定のAD変換を施す第3電流値ADコンバータ113bを有する。

[0077] <第1電圧比較回路、第1電流比較回路>

またFPGA25は、第1電圧値ADコンバータ111aの出力端に接続され、第1電圧 V1と、所定の第1電圧比較データ V1refとを比較し、比較結果を出力する第1電圧比較回路121aと、第1電圧値ADコンバータ111bの出力端に接続され、第1電流 I1と、所定の第1電流比較データ I1refとを比較し、比較結果を出力する第1電流比較回路121bとを有する。

[0078] 第1電圧比較回路121aは、第1電圧値ADコンバータ111aから出力された第1電圧 V1を入力して所定の第1電圧比較データ V1refと比較し、第1電圧が当該第1電圧比較データ V1refを超えた際に、エラー信号第1電圧エラー信号 V1errを出力するようになっている。

[0079] また、第1電流比較回路121bは、第1電流値ADコンバータ111bから出力された第1電流 I1を入力して所定の第1電流較データ I1refと比較し、第1電流が当該第1電流較データ I1refを超えた際に、エラー信号第1電流エラー信号 I1errを出力するようになっている。

[0080] <第2電圧比較回路、第2電流比較回路>

さらにFPGA25は、第2電圧値ADコンバータ112aの出力端に接続され、第2電圧 V2と、所定の第2電圧比較データ V2refとを比較し、比較結果を出力する第2電圧比較回路122aと、第2電圧値ADコンバータ112bの出力端に接続され、第2電流 I2と、所定の第2電流比較データ

I2refとを比較し、比較結果を出力する第2電流比較回路122bとを有する。

[0081] 第2電圧比較回路122aは、第2電圧値ADコンバータ112aから出力された第2電圧V2を入力して所定の第2電圧比較データV2refと比較し、第2電圧が当該第2電圧比較データV2refを超えた際に、エラー信号第2電圧エラー信号V2errを出力するようになっている。

[0082] また、第2電流比較回路122bは、第2電流値ADコンバータ112bから出力された第2電流I2を入力して所定の第2電流較データI2refと比較し、第2電流が当該第2電流較データI2refを超えた際に、エラー信号第2電流エラー信号I2errを出力するようになっている。

[0083] <第3電圧比較回路、第3電流比較回路>

さらにFPGA25は、第3電圧値ADコンバータ113aの出力端に接続され、第3電圧V3と、所定の第3電圧比較データV3refとを比較し、比較結果を出力する第3電圧比較回路123aと、第3電圧値ADコンバータ113bの出力端に接続され、第3電圧I3と、所定の第3電流比較データI3refとを比較し、比較結果を出力する第3電流比較回路123bとを有する。

[0084] 第3電圧比較回路123aは、第3電圧値ADコンバータ113aから出力された第3電圧V3を入力して所定の第3電圧比較データV3refと比較し、第3電圧が当該第3電圧比較データV3refを超えた際に、エラー信号第3電圧エラー信号V3errを出力するようになっている。

[0085] また、第3電流比較回路123bは、第3電流値ADコンバータ113bから出力された第3電流I3を入力して所定の第3電流較データI3refと比較し、第3電流が当該第3電流較データI3refを超えた際に、エラー信号第3電流エラー信号I3errを出力するようになっている。

[0086] <第1～第3電圧比較データ>

なお、本実施形態においては、前記第1電圧比較データV1ref、第2電圧比較データV2ref、第3電圧比較データV3refは、それぞれ、第1レギュレ

ータ61、第2レギュレータ62、第3レギュレータ63から出力される第1レギュレータ出力 V_{o1} 、第2レギュレータ出力 V_{o2} 、第3レギュレータ出力 V_{o3} におけるそれぞれのリミット電圧値に設定する（図5参照）。

[0087] すなわち、

第1電圧比較データ V_{1ref} =第1リミット電圧 $[V_{1_limit}] = 4\text{ V}$

第2電圧比較データ V_{2ref} =第2リミット電圧 $[V_{2_limit}] = 2.8\text{ V}$

第3電圧比較データ V_{3ref} =第3リミット電圧 $[V_{3_limit}] = 1.8\text{ V}$

に設定する。

[0088] <第1～第3電流比較データ>

同様に、本実施形態においては、前記第1電流比較データ I_{1ref} 、第2電流比較データ I_{2ref} 、第3電流比較データ I_{3ref} は、それぞれ、第1レギュレータ61、第2レギュレータ62、第3レギュレータ63から出力される第1レギュレータ出力 V_{o1} 、第2レギュレータ出力 V_{o2} 、第3レギュレータ出力 V_{o3} におけるそれぞれのリミット電流値に設定する（図5参照）。

[0089] すなわち、

第1電流比較データ I_{1ref} =第1リミット電流 $[I_{1_limit}] = 15\text{ mA}$

第2電流比較データ I_{2ref} =第2リミット電流 $[I_{2_limit}] = 5\text{ mA}$

第3電流比較データ I_{3ref} =第3リミット電流 $[I_{3_limit}] = 30\text{ mA}$

に設定する。

[0090] <第1～第3電力算出回路>

またFPGA25は、第1電圧値ADコンバータ111aの出力（すなわち、第1電圧検出回路71において検出した第1電圧 V_1 の値）と、第1電流値ADコンバータ111bの出力（すなわち、第1電流検出回路51において検出した第1電流 I_1 の値）とを入力し、これら第1電圧 V_1 の値と第1電流 I_1 の値との積、すなわち、第1レギュレータ61から出力される第1レギュレータ出力 V_{o1} の電力値（第1出力電力 P_1 ）を算出する第1

電力算出回路 101 を有する。

[0091] ここで第 1 電力算出回路 101 は、前記第 1 電流検出回路において検出した前記第 1 電流の値と、前記第 1 電圧検出回路において検出した第 1 電圧の値との積である第 1 電力値を算出する第 1 電力算出回路としての役目を果たす。

[0092] さらに F P G A 25 は、第 2 電圧値 A D コンバータ 112 a の出力（すなわち、第 2 電圧検出回路 72 において検出した第 2 電圧 V_2 の値）と、第 2 電流値 A D コンバータ 112 b の出力（すなわち、第 2 電流検出回路 52 において検出した第 2 電流 I_2 の値）とを入力し、これら第 2 電圧 V_2 の値と第 2 電流 I_2 の値との積、すなわち、第 2 レギュレータ 62 から出力される第 2 レギュレータ出力 V_{o12} の電力値（第 2 出力電力 P_2 ）を算出する第 2 電力算出回路 102 を有する。

[0093] ここで第 2 電力算出回路 102 は、前記第 2 電流検出回路において検出した前記第 2 電流の値と、前記第 2 電圧検出回路において検出した第 2 電圧の値との積である第 2 電力値を算出する第 2 電力算出回路としての役目を果たす。

[0094] さらに F P G A 25 は、第 3 電圧値 A D コンバータ 113 a の出力（すなわち、第 3 電圧検出回路 73 において検出した第 3 電圧 V_3 の値）と、第 3 電流値 A D コンバータ 113 b の出力（すなわち、第 3 電流検出回路 53 において検出した第 3 電流 I_3 の値）とを入力し、これら第 3 電圧 V_3 の値と第 3 電流 I_3 の値との積、すなわち、第 3 レギュレータ 63 から出力される第 3 レギュレータ出力 V_{o13} の電力値（第 3 出力電力 P_3 ）を算出する第 3 電力算出回路 103 を有する。

[0095] ここで第 3 電力算出回路 103 は、前記第 3 電流検出回路において検出した前記第 3 電流の値と、前記第 3 電圧検出回路において検出した第 3 電圧の値との積である第 3 電力値を算出する第 3 電力算出回路としての役目を果たす。

[0096] <第 1 ～第 3 電力比較回路、第 1 ～第 3 電力比較データ>

一方でFPGA25は、第1電力算出回路101の出力端に接続され、第1出力電力P1と、所定の第1電力比較データP1refとを比較し、比較結果を出力する第1電力比較回路121cを有する。

[0097] またFPGA25は、第2電力算出回路102の出力端に接続され、第2出力電力P2と、所定の第2電力比較データP2refとを比較し、比較結果を出力する第2電力比較回路122cを有する。

[0098] さらにFPGA25は、第3電力算出回路103の出力端に接続され、第3出力電力P3と、所定の第3電力比較データP3refとを比較し、比較結果を出力する第3電力比較回路123cを有する。

[0099] 第1電力比較回路121cは、第1電力算出回路101から出力された第1出力電力P1を入力して所定の第1電力比較データP1refと比較し、第1出力電力P1が当該第1電力比較データP1refを超えた際に、エラー信号第1電力エラー信号P1errを出力するようになっている。

[0100] ここで第1電力比較回路121cは、少なくとも前記第1電力算出回路において算出した前記第1電力値に基づいて前記第1電源ラインに係る異常状態を判定する電源ライン異常判定部としての役目を果たす。

[0101] また、第2電力比較回路122cは、第2電力算出回路102から出力された第2出力電力P2を入力して所定の第2電力比較データP2refと比較し、第2出力電力P2が当該第2電力比較データP2refを超えた際に、エラー信号第2電力エラー信号P2errを出力するようになっている。

[0102] さらに、第3電力比較回路123cは、第3電力算出回路103から出力された第3出力電力P3を入力して所定の第3電力比較データP3refと比較し、第3出力電力P3が当該第3電力比較データP3refを超えた際に、エラー信号第3電力エラー信号P3errを出力するようになっている。

[0103] なお、本実施形態においては、前記第1電力比較データP1ref、第2電力比較データP2ref、第3電力比較データP3refは、それぞれ、第1レギュレータ61、第2レギュレータ62、第3レギュレータ63から出力される第1レギュレータ出力V_{o1}1、第2レギュレータ出力V_{o1}2、第3レギュ

レータ出力V_{o13}におけるそれぞれのリミット電力値に設定する（図5参照）。

[0104] たとえば、

第1電力比較データP1ref=第1リミット電力値[P1_limit]=0.06W

第2電力比較データP2ref=第2リミット電力値[P2_limit]=0.014W

第3電力比較データP3ref=第3リミット電力値[P3_limit]=0.054W

に設定する。

[0105] ここで、第1電力比較データP1refは、後述するように本実施形態においては、第1レギュレータ61から出力される第1レギュレータ出力V_{o11}のリミット電力値（第1リミット電力値[P1_limit]）に設定されるが、より具体的には、第1電源ライン81の活線側と前記第2電源ライン82の活線側とが短絡したと仮定した際の電力値に相当する値に設定する。

[0106] ＜OR回路130＞

一方、FPGA25は、第1電圧比較回路121a、第1電流比較回路121b、第1電力比較回路121c、第2電圧比較回路122a、第2電流比較回路122b、第2電力比較回路122c、第3電圧比較回路123a、第3電流比較回路123bおよび第3電力比較回路123cの出力端に接続されたOR回路130を有する。

[0107] OR回路130は、上述した各比較回路からの比較結果、すなわち上述した各エラー信号を入力し、いずれかのエラー信号を入力した際に、所定のエラー信号ERRORを電源制御部27に向けて出力するようになっている。

[0108] ここで、OR回路130および上述した各比較回路（特に、第1電力比較回路121c等の電力比較回路）は、第1電力算出回路101等の電力算出回路において算出した電力値に基づいて第1電源ライン81等の電源ラインに係る異常状態を判定する電源ライン異常判定部としての役目を果たす。

[0109] <電源制御部 27>

電源制御部 27 は、FPGA 25 からの上記エラー信号 ERROR を受けると共に、当該エラー信号 ERROR に応じてビデオプロセッサ 3 におけるプロセッサ電源部 33 を制御するようになっている。すなわち、電源制御部 27 は、FPGA 25 における前記各種比較回路において処理された結果に基づくエラー信号 ERROR を受けて、当該エラー信号 ERROR に応じてプロセッサ電源部 33 の制御（オンオフ等）を実行するための制御信号を当該ビデオプロセッサ 3 に向けて送出するようになっている。

[0110] ここで、電源制御部 27 は、前記電源ライン異常判定部における判定結果に基づいて電源部（プロセッサ電源部 33）の出力を制御する電源制御部としての役目を果たす。

[0111] <本実施形態の作用>

次に本第 1 の実施形態の内視鏡の作用について図 6 を参照して説明する。

[0112] 図 6 は、第 1 の実施形態の内視鏡において、各電源ラインに係るレギュレータ出力電圧、出力電流、消費電力にかかるエラー検出作用を示したフローチャートである。

[0113] 本実施形態においては、まず、ビデオプロセッサ 3 におけるプロセッサ電源部 33 から出力された電源電圧に基づいて、第 1 レギュレータ 61 において第 1 電圧 V_1 、第 2 レギュレータ 62 において第 2 電圧 V_2 、第 3 レギュレータ 63 において第 3 電圧 V_3 をそれぞれ生成し、それぞれ第 1 レギュレータ出力 V_{o11} 、第 2 レギュレータ出力 V_{o12} 、第 3 レギュレータ出力 V_{o13} として出力する。

[0114] その後、FPGA 25 における第 1 電圧値 AD コンバータ 111a と、第 1 電流値 AD コンバータ 111b とにおいてそれぞれ、前記第 1 電圧 V_1 と第 1 電流 I_1 とを AD 変換して出力する（ステップ S11）。

[0115] 次に、第 1 電圧比較回路 121a において、第 1 電圧値 AD コンバータ 111a から出力された第 1 電圧 V_1 と第 1 電圧比較データ $V1_{ref}$ とを比較する。具体的には、第 1 電圧 V_1 と第 1 リミット電圧 $V1_{limit} = 4V$ とを比較

し、第1電圧 V_1 が第1リミット電圧 $V1_limit=4\text{ V}$ を超えた場合、第1電圧エラー信号 $V1err$ を出力してステップS41に移行し、超えていなければ、ステップS13に移行する（ステップS12）。

[0116] 次に、第1電流比較回路121bにおいて、第1電流値ADコンバータ111bから出力された第1電流 I_1 と第1電流比較データ $I1ref$ とを比較する。具体的には、第1電流 I_1 と第1リミット電流 $I1_limit=15\text{ mA}$ とを比較し、第1電流 I_1 が第1リミット電流 $I1_limit=15\text{ mA}$ を超えた場合、第1電流エラー信号 $I1err$ を出力してステップS41に移行し、超えていなければ、ステップS14に移行する（ステップS13）。

[0117] 次に、第1電力算出回路101において、第1電圧値ADコンバータ111aの出力（すなわち、第1電圧検出回路71において検出した第1電圧 V_1 の値）と、第1電流値ADコンバータ111bの出力（すなわち、第1電流検出回路51において検出した第1電流 I_1 の値）とを入力し、これら第1電圧 V_1 の値と第1電流 I_1 の値との積、すなわち、第1レギュレータ61から出力される第1レギュレータ出力 V_{o1} の電力値（第1出力電力 P_1 ）を算出する（ステップS14）。

[0118] この後、第1電力比較回路121cにおいて、前記第1電力算出回路101から出力された第1電力 P_1 と第1電力比較データ $P1ref$ とを比較する。具体的には、第1電力 P_1 と第1リミット電力 $P1_limit=0.06\text{ W}$ とを比較し、第1電力 P_1 が第1リミット電力 $P1_limit=0.06\text{ W}$ を超えた場合、第1電力エラー信号 $P1err$ を出力してステップS41に移行し、超えていなければ、ステップS21に移行する（ステップS15）。

[0119] その後、FPGA25における第2電圧値ADコンバータ112aと、第2電流値ADコンバータ112bとにおいてそれぞれ、前記第2電圧 V_2 と第2電流 I_2 とをAD変換して出力する（ステップS21）。

[0120] 次に、第2電圧比較回路122aにおいて、第2電圧値ADコンバータ112aから出力された第2電圧 V_2 と第2電圧比較データ $V2ref$ とを比較する。具体的には、第2電圧 V_2 と第2リミット電圧 $V2_limit=2.8\text{ V}$ と

を比較し、第2電圧 V_2 が第2リミット電圧 $V_{2_limit}=2.8\text{ V}$ を超えた場合、第2電圧エラー信号 V_{2_err} を出力してステップS41に移行し、超えていなければ、ステップS23に移行する（ステップS22）。

[0121] 次に、第2電流比較回路122bにおいて、第2電流値ADコンバータ112bから出力された第2電流 I_2 と第2電流比較データ I_{2_ref} とを比較する。具体的には、第2電流 I_2 と第2リミット電流 $I_{2_limit}=5\text{ mA}$ とを比較し、第2電流 I_2 が第2リミット電流 $I_{2_limit}=5\text{ mA}$ を超えた場合、第2電流エラー信号 I_{2_err} を出力してステップS41に移行し、超えていなければ、ステップS24に移行する（ステップS23）。

[0122] 次に、第2電力算出回路102において、第2電圧値ADコンバータ112aの出力（すなわち、第2電圧検出回路72において検出した第2電圧 V_2 の値）と、第2電流値ADコンバータ112bの出力（すなわち、第2電流検出回路52において検出した第2電流 I_2 の値）とを入力し、これら第2電圧 V_2 の値と第2電流 I_2 の値との積、すなわち、第2レギュレータ62から出力される第2レギュレータ出力 V_{o_I2} の電力値（第2出力電力 P_2 ）を算出する（ステップS24）。

[0123] この後、第2電力比較回路122cにおいて、前記第2電力算出回路102から出力された第2電力 P_2 と第2電力比較データ P_{2_ref} とを比較する。具体的には、第2電力 P_2 と第2リミット電力 $P_{2_limit}=0.014\text{ W}$ とを比較し、第2電力 P_2 が第2リミット電力 $P_{2_limit}=0.014\text{ W}$ を超えた場合、第2電力エラー信号 P_{2_err} を出力してステップS41に移行し、超えていなければ、ステップS31に移行する（ステップS25）。

[0124] その後、FPGA25における第3電圧値ADコンバータ113aと、第3電流値ADコンバータ113bとにおいてそれぞれ、前記第3電圧 V_3 と第2電流 I_3 とをAD変換して出力する（ステップS31）。

[0125] 次に、第3電圧比較回路123aにおいて、第3電圧値ADコンバータ113aから出力された第3電圧 V_3 と第3電圧比較データ V_{3_ref} とを比較する。具体的には、第3電圧 V_3 と第3リミット電圧 $V_{3_limit}=1.8\text{ V}$ と

を比較し、第3電圧 V_3 が第3リミット電圧 $V_{3_limit}=1.8\text{V}$ を超えた場合、第3電圧エラー信号 V_{3_err} を出力してステップS41に移行し、超えていなければ、ステップS33に移行する（ステップS32）。

[0126] 次に、第3電流比較回路123bにおいて、第3電流値ADコンバータ113bから出力された第3電流 I_3 と第3電流比較データ I_{3_ref} とを比較する。具体的には、第3電流 I_3 と第3リミット電流 $I_{3_limit}=30\text{mA}$ とを比較し、第3電流 I_3 が第3リミット電流 $I_{3_limit}=30\text{mA}$ を超えた場合、第3電流エラー信号 I_{3_err} を出力してステップS41に移行し、超えていなければ、ステップS34に移行する（ステップS33）。

[0127] 次に、第3電力算出回路103において、第3電圧値ADコンバータ113aの出力（すなわち、第3電圧検出回路73において検出した第3電圧 V_3 の値）と、第3電流値ADコンバータ113bの出力（すなわち、第3電流検出回路53において検出した第3電流 I_3 の値）とを入力し、これら第3電圧 V_3 の値と第3電流 I_3 の値との積、すなわち、第3レギュレータ63から出力される第3レギュレータ出力 V_{o13} の電力値（第3出力電力 P_3 ）を算出する（ステップS34）。

[0128] この後、第3電力比較回路123cにおいて、前記第3電力算出回路103から出力された第3電力 P_3 と第3電力比較データ P_{3_ref} とを比較する。具体的には、第3電力 P_3 と第3リミット電力 $P_{3_limit}=0.054\text{W}$ とを比較し、第3電力 P_3 が第3リミット電力 $P_{3_limit}=0.054\text{W}$ を超えた場合、第3電力エラー信号 P_{3_err} を出力してステップS41に移行し、超えていなければ、ステップS11に戻る（ステップS35）。

[0129] このように、上述した第1電圧比較回路121a、第1電流比較回路121b、第1電力比較回路121c、第2電圧比較回路122a、第2電流比較回路122b、第2電力比較回路122c、第3電圧比較回路123a、第3電流比較回路123b、第3電力比較回路123c等の各比較回路において、入力した電圧値（ V_1 、 V_2 、 V_3 ）、電流値（ I_1 、 I_2 、 I_3 ）、または電力値（ P_1 、 P_2 、 P_3 ）が上述したそれぞれの比較データを超

えた場合、上述の如きエラー信号を送出するようになっている。

[0130] ここで、OR回路130は、これらエラー信号のうちいずれか1つでも入力すると、第1電源ライン81、第2電源ライン82、第3電源ライン83の該当箇所に短絡等の不具合が生じているとして、電源制御部27に向けてエラー信号ERRORを出力するようになっている（ステップS41）。

[0131] 図7は、第1の実施形態の内視鏡における過電流検出の際のエラー検出の様子を示したタイミングチャートである。

[0132] 具体的に、例えば図7に示すように、第1電流比較回路121bにおいて、第1レギュレータ61に係る第1電流I1が第1電流比較データI1ref（第1リミット電流I1_limit）を超えた場合、すなわち、第1電源ライン81において過電流が検出された場合、第1電流比較回路121bからはOR回路130に向けて、第1電流エラー信号I1errが送出される（上述したステップS13）。

[0133] この第1電流エラー信号I1errを受けるとOR回路130は、電源制御部27に向けてエラー信号ERRORを出力する（ステップS41）。

[0134] この後、電源制御部27は、OR回路130からのエラー信号ERRORを受信すると、ビデオプロセッサ3におけるプロセッサ電源部33に対して制御信号を送信し、当該プロセッサ電源部33から前記各レギュレータ（第1レギュレータ61、第2レギュレータ62、第3レギュレータ63）への給電を停止させる（ステップS42）。

[0135] <本実施形態の具体的な作用効果>

次に、本第1の実施形態の内視鏡について、より具体的な作用効果について図8～図14を参照して説明する。

[0136] 図8は、第1の実施形態の内視鏡において、各電源ラインのレギュレータに係る定格出力電流およびリミット電流の一設定例を示した図であり、図9は、第1の実施形態の内視鏡において、アナログ電源ラインとデジタル電源ラインとが短絡した際の各電源ラインの出力電流とリミット電流との関係を示した図であり、図10は、第1の実施形態の内視鏡において、アナログ電

源ラインとインターフェース電源ラインとが短絡した際の各電源ラインの出力電流とリミット電流との関係を示した図である。

[0137] また、図 1 1 は、第 1 の実施形態の内視鏡において、各電源ラインのレギュレータに係る定格出力電圧およびリミット電圧の一設定例を示した図であり、図 1 2 は、第 1 の実施形態の内視鏡において、アナログ電源ラインとデジタル電源ラインとが短絡した際の各電源ラインの出力電圧とリミット電圧との関係を示した図であり、図 1 3 は、第 1 の実施形態の内視鏡において、アナログ電源ラインとインターフェース電源ラインとが短絡した際の各電源ラインの出力電圧とリミット電圧との関係を示した図である。

[0138] また、図 1 4 は、第 1 の実施形態の内視鏡において、アナログ電源ラインとインターフェース電源ラインとが短絡した際のアナログ電源ラインの出力電力とリミット電力との関係を示した図である。

[0139] 上述したように、本実施形態においては、

第 1 定格電圧 $[V_1] = 3\text{ V}$

第 1 リミット電圧 $[V1_limit] = 4\text{ V}$

第 1 定格電流 $[I_1] = 10\text{ mA}$

第 1 リミット電流 $[I1_limit] = 15\text{ mA}$

第 2 定格電圧 $[V_2] = 2\text{ V}$

第 2 リミット電圧 $[V2_limit] = 2.8\text{ V}$

第 2 定格電流 $[I_2] = 2\text{ mA}$

第 2 リミット電流 $[I2_limit] = 5\text{ mA}$

第 3 定格電圧 $[V_3] = 1\text{ V}$

第 3 リミット電圧 $[V3_limit] = 1.8\text{ V}$

第 3 定格電流 $[I_3] = 20\text{ mA}$

第 3 リミット電流 $[I3_limit] = 30\text{ mA}$

を想定する。

[0140] <通常時における各電源ラインの状態>

本実施形態の内視鏡は、通常時においては、第 1 レギュレータ 6 1 からは

、第1定格電圧 $[V1] = 3V$ 、第1定格電流 $[I1] = 10mA$ の第1レギュレータ出力 V_{o1} (アナログ電源 ANA) が出力され、第1電源ライン81 (アナログ電源ライン) に供給される。

[0141] また、第2レギュレータ62からは、第2定格電圧 $[V2] = 2V$ 、第2定格電流 $[I2] = 2mA$ の第2レギュレータ出力 V_{o2} (インターフェース電源 IF) が出力され、第2電源ライン82 (インターフェース電源ライン) に供給される。

[0142] さらに、第3レギュレータ63からは、第3定格電圧 $[V3] = 1V$ 、第3定格電流 $[I3] = 20mA$ の第3レギュレータ出力 V_{o3} (デジタル電源 DIG) が出力され、第3電源ライン83 (デジタル電源ライン) に供給される。

[0143] すなわち、図8および図11に示すように、通常時においては、第1電源ライン81、第2電源ライン82、第3電源ライン83には、それぞれ「第1定格電圧 $[V1] = 3V$ 、第1定格電流 $[I1] = 10mA$ 」、「第2定格電圧 $[V2] = 2V$ 、第2定格電流 $[I2] = 2mA$ 」、「第3定格電圧 $[V3] = 1V$ 、第3定格電流 $[I3] = 20mA$ 」のレギュレータ出力が供給されるようになっている。

[0144] なお、図8には、第1リミット電流 $[I1_limit] = 15mA$ 、第2リミット電流 $[I2_limit] = 5mA$ 、第3リミット電流 $[I3_limit] = 30mA$ を付記し、図11には、第1リミット電圧 $[V1_limit] = 4V$ 、第2リミット電圧 $[V2_limit] = 2.8V$ 、第3リミット電圧 $[V3_limit] = 1.8V$ を付記する。

[0145] <電圧比較回路、電流比較回路の作用効果>

次に、本実施形態の内視鏡において、第1電源ライン81の活線側と第3電源ライン83の活線側との間が短絡した際の状態を参照して、上述した各電圧比較回路および各電流比較回路の作用効果について説明する。

[0146] <第1電源ライン81－第3電源ライン83間が短絡した場合>

上述したように、本実施形態の内視鏡においては、内視鏡2におけるケー

ブル 2 3 内に上記複数の各種電源ラインが併設して配線されている。また、これら複数の電源ラインは近年の細径化の要求により、互いにより近接して配設されるようになってきている。したがって、このような状況下においては、隣接する電源ラインの活線間の短絡に対してより適切な安全措置が求められるようになってきている。

[0147] いま、本実施形態の内視鏡において、第 1 電源ライン 8 1（アナログ電源ライン；定格電圧 3 V、定格電流 1 0 m A）と、第 3 電源ライン 8 3（デジタル電源ライン；定格電圧 1 V、定格電流 2 0 m A）との活線側が短絡またはこれに近い状態になったと仮定する。

[0148] なお、これら第 1 電源ライン 8 1 の活線側と第 3 電源ライン 8 3 の活線側との短絡は、当該短絡による電源ラインにおける電流増加度が比較的大きな状況であるといえ、かつ、両電源ライン間の電位差についても比較的大きな状況であるといえる。

[0149] このとき、各電源ラインにおける電流に着目すると、図 9 に示すように、第 3 電源ライン 8 3（デジタル電源ライン）用のレギュレータ（第 3 レギュレータ 6 3）から出力される第 3 電流 I_3 （2 0 m A）は急激に低下して 0 m A 程度となる。

[0150] 一方で、第 1 電源ライン 8 1（アナログ電源ライン）用のレギュレータ（第 1 レギュレータ 6 1）から出力される第 1 電流 I_1 （1 0 m A）は、第 3 電源ライン 8 3（デジタル電源ライン）の負荷にも流れ込むことから急激に上昇し、第 1 レギュレータ 6 1 の出力電流（第 1 電流 I_1 ）が第 1 リミット電流 I_{1_limit} （1 5 m A）を超える虞がある。

[0151] ここで、第 1 レギュレータ 6 1 の出力電流（第 1 電流 I_1 ）が第 1 リミット電流 I_{1_limit} （1 5 m A）を超える場合、すなわち、第 1 電流 I_1 が第 1 電流比較データ I_{1ref} を超える場合は、第 1 電流比較回路 1 2 1 b から第 1 電流エラー信号 I_{1err} が出力されるため（上記ステップ S 1 3；図 6 参照）、OR 回路 1 3 0 からエラー信号 ERROR が出力され、電源制御部 2 7 の制御によりプロセッサ電源部 3 3 からの給電が停止される（上記ステップ S

4 2)。

[0152] このように、本実施形態においては、第 1 電源ライン 8 1 (アナログ電源ライン; 定格電圧 3 V、定格電流 1 0 m A) と、第 3 電源ライン 8 3 (デジタル電源ライン; 定格電圧 1 V、定格電流 2 0 m A) との短絡等、電流増加度が比較的大きな状況の場合は、過電流検出機能により電源ラインの異常状態を検出することができる。

[0153] 一方、各電源ラインに供給される電圧に着目すると、図 1 2 に示すように、第 1 電源ライン 8 1 (アナログ電源ライン) 用の第 1 レギュレータ 6 1 から出力される第 1 電圧 V 1 (定格電圧 3 V) は低下する一方で、第 3 電源ライン 8 3 (デジタル電源ライン) 用の第 3 レギュレータ 6 3 から出力される第 3 電圧 V 3 (定格電圧 1 V) は上昇し、第 3 レギュレータ 6 3 の出力電圧 (第 3 電圧 V 3) が第 3 リミット電圧 $V3_limit = 1.8 \text{ V}$ を超える虞がある。

[0154] ここで、第 3 レギュレータ 6 3 の出力電圧 (第 3 電圧 V 3) が第 3 リミット電圧 $V3_limit (1.8 \text{ V})$ を超える場合、すなわち、第 3 電圧 V 3 が第 3 電圧比較データ $V3_{ref}$ を超える場合は、第 3 電圧比較回路 1 2 3 a から第 3 電圧エラー信号 $V3_{err}$ が出力されるため (上記ステップ S 3 2 ; 図 6 参照)、OR 回路 1 3 0 からエラー信号 ERROR が出力され、電源制御部 2 7 の制御によりプロセッサ電源部 3 3 からの給電が停止される (上記ステップ S 4 2)。

[0155] このように、本実施形態においては、第 1 電源ライン 8 1 (アナログ電源ライン; 定格電圧 3 V、定格電流 1 0 m A) と、第 3 電源ライン 8 3 (デジタル電源ライン; 定格電圧 1 V、定格電流 2 0 m A) との短絡等、両電源ライン間の電位差が比較的大きな状況の場合は、上述した過電流検出機能の抛らずとも電源ラインの異常状態を検出することができる。

[0156] <第 1 電源ライン 8 1 - 第 2 電源ライン 8 2 間が短絡した場合>

次に、第 1 電源ライン 8 1 (アナログ電源ライン; 定格電圧 3 V、定格電流 1 0 m A) と、第 2 電源ライン 8 2 (インターフェース電源ライン; 定格

電圧 2 V、定格電流 2 m A) との活線側が短絡またはこれに近い状態になったと仮定する。

[0157] なお、これら第 1 電源ライン 8 1 の活線側と第 2 電源ライン 8 2 の活線側との短絡は、当該短絡による電源ラインにおける電流増加度が比較的小さい状況であるといえ、かつ、両電源ライン間の電位差についても比較的小さい状況であるといえる。

[0158] このとき、各電源ラインにおける電流に着目すると、図 10 に示すように、第 2 電源ライン 8 2 (インターフェース電源ライン) 用のレギュレータ (第 2 レギュレータ 6 2) から出力される第 2 電流 I_2 (2 m A) は低下して 0 m A 程度となる。

[0159] 一方で、第 1 電源ライン 8 1 (アナログ電源ライン) 用のレギュレータ (第 1 レギュレータ 6 1) から出力される第 1 電流 I_1 (10 m A) は、第 2 電源ライン 8 2 (インターフェース電源ライン) の負荷にも流れ込むことから上昇することとなるが、当該インターフェース電源ラインの負荷はあまり大きくないことから電流の上昇度合いは小さく、必ずしも第 1 レギュレータ 6 1 の出力電流 (第 1 電流 I_1) が第 1 リミット電流 I_{1_limit} (15 m A) を超えるとは限らない。

[0160] この場合、第 1 レギュレータ 6 1 の出力電流 (第 1 電流 I_1) がリミット値を超えない場合は、当該過電流検出機能では異常状態を検出することができず、すなわち、第 1 電流比較回路 121 b から第 1 電流エラー信号 I_{1err} が出力されることはなく、第 1 電源ライン 8 1 と第 2 電源ライン 8 2 との活線間において短絡が生じているにも拘わらず、異常状態を検知することが困難となる虞がある。

[0161] 本実施形態においては、上述したように、レギュレータからの電流異常の検出のみならず電圧異常についても検出するようにしており、上述した図 12 に示す例の如く、両電源ライン間の電位差が比較的大きい場合については、上述した過電流検出機能の拠らずとも電源ラインの異常状態を検出することができるが、当該電位差が比較的小さい場合は、異常状態を検出すること

ができない虞がある。

[0162] すなわち、図 13 に示すように、第 1 電源ライン 81（アナログ電源ライン）用の第 1 レギュレータ 61 から出力される第 1 電圧 V_1 （定格電圧 3 V）が低下し、第 2 電源ライン 82（インターフェース電源ライン）用の第 2 レギュレータ 62 から出力される第 2 電圧 V_2 （定格電圧 2 V）は上昇し略同電位になるも、当該第 2 レギュレータ 62 の出力電圧（第 2 電圧 V_2 ）が第 2 リミット電圧 $V_{2_limit} = 2.8$ V を超えない可能性もある。

[0163] このように、第 2 レギュレータ 62 の出力電圧（第 2 電圧 V_2 ）が第 2 リミット電圧 $V_{2_limit} (2.8 \text{ V})$ を超えない場合、第 2 電圧比較回路 122a から第 2 電圧エラー信号 V_{2err} が出力されることはなく、第 1 電源ライン 81 と第 2 電源ライン 82 との活線間において短絡が生じているにも拘わらず、異常状態を検知することが困難となる虞がある。

[0164] <電力算出回路、電力比較回路の作用効果>

本実施形態の内視鏡は斯様な事情にも対応すべく、上述の如き電力算出回路、電力比較回路等を設け、プロセッサ電源部 33 の電源供給を受けたレギュレータに係る出力電圧および出力電流（入力電流）のみならず出力電力を算出し、算出した出力電力と所定の比較データ（リミット電力値データ）とを比較し、電力計測により電源ラインの異常を検出し、プロセッサ電源部 33 を制御すること可能するものである。

[0165] 上述したように本実施形態における第 1 電力算出回路 101 は、A/D コンバータを介した第 1 レギュレータ 61 の出力電圧 V_1 の値と、当該第 1 レギュレータ 61 入力電流（出力電流） I_1 の値との積、すなわち、第 1 レギュレータ出力 $V_o \cdot I_1$ の第 1 電力 P_1 の値を算出するようになっている。

[0166] なお、第 2 電力算出回路 102 および第 3 電力算出回路 103 についても、上記第 1 電力算出回路 101 と同様の構成、作用効果をなすが、ここでは第 1 電力算出回路 101 を代表して説明する。

[0167] また、上述したように第 1 電力比較回路 121c は、第 1 電力算出回路 101 から出力される第 1 電力 P_1 と、所定の第 1 電力比較データ P_{1ref} （す

なわち、第1リミット電力 $P1_limit$)とを比較し、第1電力 $P1$ が第1リミット電力 $P1_limit$ を超えた場合、エラー信号第1電力エラー信号 $P1err$ を出力するようになっている。

[0168] なお、第2電力比較回路122c、第3電力比較回路123cについても第1電力比較回路121cと同様の構成、作用効果をなすが、ここでは第1電力比較回路121cを代表して説明する。

[0169] <第1電源ライン81ー第2電源ライン82間が短絡した場合の電力比較回路の作用>

上述の如く、第1電源ライン81（アナログ電源ライン；定格電圧3V、定格電流10mA）と、第2電源ライン82（インターフェース電源ライン；定格電圧2V、定格電流2mA）との活線側が短絡またはこれに近い状態になった際の、第1電力算出回路101および第1電力比較回路121cの作用効果を説明する。

[0170] このとき、両電源ライン間の電位差が小さく、かつ、電流変化の度合いが小さいことから上述したように、第1電圧比較回路121aおよび第1電流比較回路121bにおいては、電源ラインの異常（短絡）を検出することが困難となる虞がある。

[0171] これに対して本実施形態においては、第1電力算出回路101において算出された第1レギュレータ出力 V_{o1} の電力である第1電力 $P1$ と、所定の第1電力比較データ $P1ref$ （すなわち、第1リミット電力 $P1_limit$ ）とを、第1電力比較回路121cにおいて比較することにより、第1電源ライン81における異常（短絡等による）を検出できるようになっている。

[0172] 図14は、本実施形態の内視鏡において、第1電源ライン81の活線側と第2電源ライン82の活線側とが短絡した際の第1電源ライン81に係る第1電力 $P1$ と、第1リミット電力 $P1_limit$ （＝第1電力比較データ $P1ref$ ）との関係を示した図である。

[0173] なお、上述したように本実施形態においては、第1リミット電力 $P1_limit$ （＝第1電力比較データ $P1ref$ ）は、第1電源ライン81の活線側と前記第

2 電源ライン 8 2 の活線側とが短絡したと仮定した際の電力値に相当する値に設定する。

[0174] 図 1 4 に示すように、第 1 電源ライン 8 1（アナログ電源ライン；定格電圧 3 V、定格電流 1 0 m A）と、第 2 電源ライン 8 2（インターフェース電源ライン；定格電圧 2 V、定格電流 2 m A）との活線側が短絡またはこれに近い状態になった際、第 1 電源ライン 8 1 に係る第 1 電力 P 1（すなわち、第 1 電力算出回路 1 0 1 において算出された第 1 レギュレータ出力 V o l 1 の電力である第 1 電力 P 1）は上昇し、上述した第 1 リミット電力 P1_limit（＝第 1 電力比較データ P1ref）を超えると考えられる。

[0175] このとき第 1 電力比較回路 1 2 1 c は、入力した前記第 1 電力 P 1 と前記第 1 リミット電力 P1_limit（＝第 1 電力比較データ P1ref）とを比較し、当該第 1 電力 P 1 の値が第 1 リミット電力 P1_limit を超えた場合、エラー信号第 1 電力エラー信号 P1err を出力する（図 6 のステップ S 1 5）。

[0176] これを受けて OR 回路 1 3 0 は、前記エラー信号第 1 電力エラー信号 P1err を入力すると、第 1 電源ライン 8 1 に短絡等の不具合が生じているとして、電源制御部 2 7 に向けてエラー信号 E R R O R を出力する（図 6 のステップ S 4 1）。

[0177] この後、電源制御部 2 7 は、OR 回路 1 3 0 からのエラー信号 E R R O R を受信すると、ビデオプロセッサ 3 におけるプロセッサ電源部 3 3 に対して制御信号を送信し、当該プロセッサ電源部 3 3 から前記各レギュレータ（第 1 レギュレータ 6 1、第 2 レギュレータ 6 2、第 3 レギュレータ 6 3）への給電を停止させる（ステップ S 4 2）。

[0178] 以上説明したように本第 1 の実施形態の内視鏡によると、撮像素子に供給する電源ラインの異常、特に、近接する複数の電源ラインの活線間において短絡が生じている場合等において、レギュレータから出力される電流値および電圧値がリミット値を超えない場合においても、これら電源ラインの電力値を算出し、当該算出した電力値と所定のリミット値（例えば、近接する電源ラインの活線間が短絡したと仮定した際の電力値）と比較することにより

、電源ラインの活線間において短絡等が生じた場合においても的確に異常状態を検知することを可能とするものである。

[0179] ここで上記実施形態においては、3つの電源（レギュレータ）を要する撮像素子を想定し、各電源ラインに対する電流検出機能、電圧検出機能および電力検出機能を設け、いずれかの1つの検出機能において異常が検出された場合、撮像素子への電力供給を停止するものとした。

[0180] また本実施形態においては、従来の電流検出のみによる電源ラインの異常検出に係る検出不備を防止するために、さらに電力検出機能を追加した。例えば、2つの電源を必要とする撮像素子には、少なくとも1つの電源ラインに電流検出機能と電圧検出機能を設け、過電流検出のほかに電力検出（電流検出と電圧検出の積）を行い、いずれかの1つの検出機能に異常が生じれば、撮像素子への電力供給を停止する構成とした。

[0181] なお、本実施形態において、ケーブル23内に配線される電源ラインとしては、第1電源ライン81、第2電源ライン82、第3電源ライン83を挙げたが、電源ラインはこれらに限らず、さらに複数の電源ラインを配する例に対しても、本実施形態の効果を適用することができる。

[0182] また、本実施形態においては、近接する電源ラインの活線間の短絡の例として、第1電源ライン81と第2電源ライン82との短絡を例に挙げたが、これに限られるものでないことは明らかであり、他の電源ライン間の短絡についても上述した構成によりの確に検出することができる。

[0183] なお、上記実施形態においては、ハードウェア（FPGA）を用いて電源ラインの異常を検出可能な構成を開示したが、この実施形態に係る構成は、他のハードウェア回路、例えば、ADコンバータ、比較回路を有したマイクロコントローラ等へ置き換え可能である。

[0184] ここで、上記マイクロコントローラ（プログラム）の動作は、図18に示したフローチャートに従うものとし、また、図18に示したフローチャートは、本発明の方法を開示するものでもある。併せて、上記マイクロコンピュータに係るプログラムについても、さらに当該プログラムを記憶した媒体に

についても本発明に含まれる。一方、マイクロコントローラと他のハードウェア（例えば、FPGA）とを組合せた構成も本発明に含まれる。

[0185] また、上記実施形態では、本発明の実施形態として内視鏡を含む内視鏡システムの構成を例に挙げたが、本発明はこれに限らず、本発明は画像処理機能と有する他の撮像システムに対しても適用することができる。

[0186] さらに、本発明は、上記実施形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能であり、例えば、実施形態における一部の構成についても本発明に含まれるものとする。

[0187] <第2の実施形態>

次に、本発明の第2の実施形態について説明する。

[0188] 上述した第1の実施形態の内視鏡は、電源ラインに異常が生じた際に内視鏡2側からビデオプロセッサ3におけるプロセッサ電源部33（第1レギュレータ61、第2レギュレータ62、第3レギュレータ63への電源供給を行う）からの電源供給を制御することを特徴とする（図2参照）が、第2の実施形態の内視鏡は、基本的な構成は第1の実施形態と同様である一方で、電源ラインに異常が生じた際に内視鏡2内における各レギュレータ自体の稼働を制御することを特徴とする。

[0189] したがって、ここでは第1の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

[0190] 図15は、本発明の第2の実施形態の内視鏡を含む内視鏡システムの電氣的な構成を示すブロック図であり、図16は、第2の実施形態の内視鏡におけるFPGA、レギュレータ部、電源制御部および周辺部の構成を示すブロック図である。また、図17は、第2の実施形態の内視鏡におけるFPGA内の構成を示すブロック図であり、図18は、第2の実施形態の内視鏡において、各電源ラインに係るレギュレータ出力電圧、出力電流、消費電力にかかるエラー検出作用を示したフローチャートである。

[0191] 上述した第1の実施形態の内視鏡2において、FPGA25におけるOR回路130は、における各比較回路（第1電圧比較回路121a・・・第3

電圧比較回路 1 2 3 a、第 1 電流比較回路 1 2 1 b・・・第 3 電流比較回路 1 2 3 b、第 1 電力比較回路 1 2 1 c・・・第 3 電力比較回路 1 2 3 c) において、それぞれのエラー信号（第 1 電圧エラー信号 V1err・・・第 3 電圧エラー信号 V3err、第 1 電流エラー信号 I1err・・・第 3 電流エラー信号 I3err、第 1 電力エラー信号 P1err・・・第 3 電力エラー信号 P3err）のいずれかの個別エラー信号を受信した際に、エラー信号 ERROR を出力するようになっている（図 4 および図 6 のステップ S 4 1 参照）。

[0192] そして、第 1 の実施形態において電源制御部 2 7 は、FPGA 2 5 から当該エラー信号 ERROR を受信すると、ビデオプロセッサ 3 におけるプロセッサ電源部 3 3 を制御し、第 1 レギュレータ 6 1、第 2 レギュレータ 6 2、第 3 レギュレータ 6 3 に対する電源供給を停止するように制御する（図 3 および図 6 のステップ S 4 2 参照）。

[0193] これに対して第 2 の実施形態の内視鏡においては、図 1 7 に示すように、FPGA 1 2 5 における OR 回路 1 3 0 は、は、上述した各比較回路からの個別エラー信号（第 1 電圧エラー信号 V1err、第 1 電流エラー信号 I1err、第 1 電力エラー信号 P1err、第 2 電圧エラー信号 V2err、第 2 電流エラー信号 I2err、第 2 電力エラー信号 P2err、第 3 電圧エラー信号 V3err、第 3 電流エラー信号 I3err、第 3 電力エラー信号 P3err）を受けた際に、これら個別エラー信号にそれぞれ対応するエラー信号（ERROR 1 a、ERROR 1 b、ERROR 1 c、ERROR 2 a、ERROR 2 b、ERROR 2 c、ERROR 3 a、ERROR 3 b、ERROR 3 c）を電源制御部 1 2 7 に向けて送出するようになっている。

[0194] そして、本第 2 の実施形態において前記電源制御部 1 2 7 は、図 1 6、図 1 5 に示すように、FPGA 1 2 5 からのエラー信号に応じて、対応するレギュレータ（第 1 レギュレータ 6 1、第 2 レギュレータ 6 2 または第 3 レギュレータ 6 3）の稼働を制御（例えば、オフ制御）するようになっている（図 1 8、ステップ S 1 4 2）。

[0195] なお、本第 2 の実施形態においては、電源制御部 1 2 7 は、FPGA 1 2

5からのエラー信号に応じて、対応するレギュレータの稼働を制御するものとしたが、レギュレータの制御に加え、ビデオプロセッサ3におけるプロセッサ電源部33の電源供給を制御するようにしてもよい。

[0196] 以上説明したように本第2の実施形態の内視鏡によると、撮像素子に供給する電源ラインの異常、特に、近接する複数の電源ラインの活線間において短絡が生じている場合等において、対応するレギュレータ自体の稼働を制御するようしたので、電源ラインの活線間において短絡等が生じた場合においてもよりの確に異常状態を検知することができる。

[0197] <第3の実施形態>

次に、本発明の第3の実施形態について説明する。

[0198] 本第3の実施形態の内視鏡は、第1実施形態におけるFPGA25内に前記電源制御部27の機能を形成することを特徴とする。その他の構成については第1の実施形態と同様であるので、ここでは第1の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

[0199] 図19は、本発明の第3の実施形態の内視鏡を含む内視鏡システムの電氣的な構成を示すブロック図であり、図20は、第3の実施形態の内視鏡におけるFPGA、レギュレータ部および周辺部の構成を示すブロック図である。また、図21は、第3の実施形態の内視鏡におけるFPGA内の構成を示すブロック図である。

[0200] 図19～図21に示すように、第3の実施形態における内視鏡302におけるコネクタ312には、第1の実施形態におけるFPGA25と同様の機能、すなわち、電源ラインの異常を判定するための各種比較回路等が形成されるFPGA (Field Programmable Gate Array) 225が配設される。

[0201] 本第3の実施形態において前記FPGA325は、上述した電源ラインの異常を判定するための各種比較回路等の機能を有する異常検出回路25aが形成されると共に、第1の実施形態における前記電源制御部27と同様の機能を発揮する電源制御部25bが形成される。

[0202] このFPGA325における前記異常検出回路25aは、上述したように

電源ライン（第１電源ライン８１、第２電源ライン８２、第３電源ライン８３）の異常を判定するための各種比較回路（第１電圧比較回路１２１ａ・・・第３電力比較回路１２３ｃ）と同様の機能を発揮する回路として形成され、前記電源ラインにおいて異常を生じた際に、エラー信号ERRORを、当該FPGA３２５内における電源制御部２５ｂに対して送出するようになっている。

[0203] また、FPGA３２５における電源制御部２５ｂは、第１の実施形態における電源制御部２７と同様に、FPGA３２５における前記異常検出回路２５ａからのエラー信号ERRORを受けると共に、当該エラー信号ERRORに応じてビデオプロセッサ３におけるプロセッサ電源部３３を制御（オンオフ等）する制御信号をビデオプロセッサ３に向けて送出するようになっている。

[0204] 以上説明したように本第３の実施形態の内視鏡によると、上記第１の実施形態と同様に、撮像素子に供給する電源ラインの異常、特に、近接する複数の電源ラインの活線間において短絡が生じている場合において、的確に異常状態を検知することを可能とするものである。

[0205] ＜第４の実施形態＞

次に、本発明の第４の実施形態について説明する。

[0206] 本第４の実施形態の内視鏡は、第１実施形態におけるFPGA２５内において、第１電圧比較回路１２１ａ、第２電圧比較回路１２２ａ、第３電圧比較回路１２３ａ等の「電圧比較回路」を備えず、「電流比較回路」および「電力比較回路」のみを備え、これら「電流比較回路；第１電流比較回路１２１ｂ、第２電流比較回路１２２ｂ、第３電流比較回路１２３ｂ」および「電力比較回路；第１電力比較回路１２１ｃ、第２電力比較回路１２２ｃ、第３電力比較回路１２３ｃ」により、各電源ラインの異常を検出することを特徴とするものである。

[0207] その他の構成については第１の実施形態と同様であるので、ここでは第１の実施形態との差異のみの説明にとどめ、共通する部分の説明については省

略する。

[0208] 図22は、本発明の第4の実施形態の内視鏡におけるFPGA内の構成を示すブロック図である。

[0209] 図22に示すように、本第4の実施形態におけるFPGA425は、電源ライン（第1電源ライン81、第2電源ライン82、第3電源ライン83）の異常を検出する比較回路として、第1実施形態におけるFPGA25内に形成した「電流比較回路」と同様の機能を発揮する第1電流比較回路121b、第2電流比較回路122bおよび第3電流比較回路123b、並びに、「電力比較回路」と同様の機能を発揮する第1電力比較回路121c、第2電力比較回路122cおよび第3電力比較回路123cを備える。

[0210] これら第4の実施形態における「各電流比較回路」および「各電力比較回路」は、第1の実施形態における「各電流比較回路」および「各電力比較回路」と同様の作用効果を奏するものであるので、ここでの詳しい説明は省略する。

[0211] 以上説明したように本第4の実施形態の内視鏡によると、上記第1の実施形態に比して「電圧比較回路」を備えず「電流比較回路」および「電力比較回路」のみを備えるので、回路構成を簡略できる一方で、第1の実施形態と同様に、撮像素子に供給する電源ラインの異常、特に、近接する複数の電源ラインの活線間において短絡が生じている場合において、的確に異常状態を検知することを可能とするものである。

[0212] <第5の実施形態>

次に、本発明の第5の実施形態について説明する。

[0213] 本第5の実施形態の内視鏡は、第1実施形態におけるFPGA25内において、第1電力比較回路121c、第2電力比較回路122c、第3電力比較回路123c等の「電力比較回路」を備えず、「電流比較回路」および「電圧比較回路」のみを備え、これら「電流比較回路；第1電流比較回路121b、第2電流比較回路122b、第3電流比較回路123b」および「電圧比較回路；第1電圧比較回路121a、第2電圧比較回路122a、第3

電圧比較回路 1 2 3 a」により、各電源ラインの異常を検出することを特徴とするものである。

[0214] その他の構成については第 1 の実施形態と同様であるので、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

[0215] 図 2 3 は、本発明の第 5 の実施形態の内視鏡における F P G A 内の構成を示すブロック図である。

[0216] 図 2 3 に示すように、本第 5 の実施形態における F P G A 5 2 5 は、電源ライン（第 1 電源ライン 8 1、第 2 電源ライン 8 2、第 3 電源ライン 8 3）の異常を検出する比較回路として、第 1 実施形態における F P G A 2 5 内に形成した「電流比較回路」と同様の機能を発揮する第 1 電流比較回路 1 2 1 b、第 2 電流比較回路 1 2 2 b および第 3 電流比較回路 1 2 3 b、並びに、「電圧比較回路」と同様の機能を発揮する第 1 電圧比較回路 1 2 1 a、第 2 電圧比較回路 1 2 2 a および第 3 電圧比較回路 1 2 3 a を備える。

[0217] なお、第 1 の実施形態における電力比較回路を備えないため、第 1 の実施形態の F P G A 2 5 においては形成されていた第 1 電力算出回路 1 0 1、第 2 電力算出回路 1 0 2、第 1 の接続構造 1 0 3 についても省かれている。

[0218] これら第 5 の実施形態における「各電流比較回路」および「各電圧比較回路」は、第 1 の実施形態における「各電流比較回路」および「各電圧比較回路」と同様の作用効果を奏するものであるので、ここでの詳しい説明は省略する。

[0219] 以上説明したように本第 5 の実施形態の内視鏡によると、上記第 1 の実施形態に比して「電力比較回路」、「電力算出回路」を備えず「電流比較回路」および「電圧比較回路」のみを備えるので、回路構成を簡略できる一方で、第 1 の実施形態と同様に、撮像素子に供給する電源ラインの異常、特に、近接する複数の電源ラインの活線間において短絡が生じている場合において、的確に異常状態を検知することを可能とするものである。

[0220] 図 2 4 は、立体内視鏡を含む内視鏡システムにおける F P G A 内の構成を

示すブロック図である。

- [0221] この立体内視鏡 602 を含む内視鏡システム 601 は、当該立体内視鏡 602 とビデオプロセッサ 603 とを備える。
- [0222] この立体内視鏡 602 は、挿入部先端部に設けられた左目用 CCD 621 a と、右目用 CCD 621 b とを備える。また、これら左目用 CCD 621 a、右目用 CCD 621 b は、ケーブル 622 を介してコネクタ部 612 に配設されたスコープ基板 630 に接続される。
- [0223] 前記スコープ基板 630 は、左目用 CCD 621 a から出力されるアナログの撮像信号をデジタル信号に変換して出力する AFE 623 a と、当該 AFE 623 a からのデジタル出力信号に対して所定の DSP 処理を施す DSP 624 a と、右目用 CCD 621 b から出力されるアナログの撮像信号をデジタル信号に変換して出力する AFE 623 b と、当該 AFE 623 b からのデジタル出力信号に対して所定の DSP 処理を施す DSP 624 b と、を備える。
- [0224] また、スコープ基板 630 は、左目用 CCD 621 a および右目用 CCD 621 b を駆動するための CCD 電源 635 と、当該 CCD 電源 635 から出力される電源電流の過電流を検知する過電流検知回路 627 と、当該過電流検知回路 627 を動作させるための電源である検知回路用電源 626 と、を備える。
- [0225] 前記過電流検知回路 627 は、前記 CCD 電源 635 を監視し、左目用 CCD 621 a および右目用 CCD 621 b のうち片方または両方の CCD が短絡等の異常な状態となって場合において生じる過電流を検知するものである。
- [0226] 一方スコープ基板 630 には FPGA 625 が配設される。この FPGA 625 は、前記 DSP 624 a および DSP 624 b の出力信号を入力し、所定の信号処理を施した後ビデオプロセッサ 3 に向けて出力する CCD 信号処理部 631 と、ビデオプロセッサ 3 からの所定の制御信号を受けて、前記左目用 CCD 621 a および右目用 CCD 621 b を駆動制御するための各

種駆動信号を生成する駆動信号生成部 632 とを備える。

[0227] さらにスコープ基板 630 は、前記駆動信号生成部 632 において生成する前記駆動信号を含む内視鏡制御用のすべての制御信号の生成を制御する駆動信号制御部 633 と、CCD 電源 635 を含むすべての電源を制御する電源制御部 634 と、を備える。

[0228] 前記駆動信号制御部 633 は、前記過電流検知回路 627 からの過電流検知情報を受けると、駆動信号生成部 632 における前記駆動信号を含むすべての信号の制御を停止するよう各回路を制御する。

[0229] また、電源制御部 634 は、前記過電流検知回路 627 からの過電流検知情報を受けると、CCD 電源 635 を含むすべての電源からの電源供給を停止するよう制御する。

[0230] 本発明は、上述した実施形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

[0231] 本出願は、2017年3月27日に日本国に出願された特願2017-61776号を優先権主張の基礎として出願するものであり、上記の開示内容は、本願明細書、請求の範囲に引用されるものとする。

請求の範囲

[請求項1]

撮像素子と、
前記撮像素子へ第1電圧を伝送する第1電源ラインと、
前記第1電源ラインに隣接して配置され、前記撮像素子へ前記第1電圧とは異なる第2電圧を伝送する第2電源ラインと、
所定の電源部において生成された電源出力から前記第1電圧を生成し前記第1電源ラインへ出力する第1レギュレータと、
前記電源出力から前記第2電圧を生成し前記第2電源ラインへ出力する第2レギュレータと、
前記第1レギュレータの入力端子に入力する第1電流を検出する第1電流検出回路と、
前記第1レギュレータの出力端子から出力する前記第1レギュレータ出力に係る前記第1電圧を検出する第1電圧検出回路と、
前記第1電流検出回路において検出した前記第1電流の値と、前記第1電圧検出回路において検出した第1電圧の値との積である第1電力値を算出する第1電力算出回路と、
少なくとも前記第1電力算出回路において算出した前記第1電力値に基づいて前記第1電源ラインに係る異常状態を判定する電源ライン異常判定部と、
前記電源ライン異常判定部における判定結果に基づいて前記電源部の出力を制御する電源制御部と、
を具備することを特徴とする撮像装置。

[請求項2]

前記電源ライン異常判定部は、前記第1電力算出回路において算出した前記電力値と、前記第1電源ラインに前記第1の電圧が供給され、前記第2電源ラインに前記第2の電圧が供給された状態でこれら2つの電源ラインが短絡したと仮定した際の電力値に相当する値とを比較して、前記第1電源ラインに係る異常状態を判定することを特徴とする請求項1に記載の撮像装置。

[請求項3]

撮像素子と、
前記撮像素子へ第1電圧を伝送する第1電源ラインと、
前記第1電源ラインに隣接して配置され、前記撮像素子へ前記第1電圧とは異なる第2電圧を伝送する第2電源ラインと、
所定の電源部において生成された電源出力から前記第1電圧を生成し前記第1電源ラインへ出力する第1レギュレータと、
前記電源出力から前記第2電圧を生成し前記第2電源ラインへ出力する第2レギュレータと、
前記第1レギュレータの入力端子に入力する第1電流を検出する第1電流検出回路と、
前記第1レギュレータの出力端子から出力する前記第1電圧を検出する第1電圧検出回路と、
前記第1電流検出回路の出力が所定値以上の場合に異常信号を出力する第1電流比較回路と、
前記第1電圧検出回路の出力が所定範囲から外れた場合に異常信号を出力する第1電圧比較回路と、
前記第1電流比較回路と前記第1電圧比較回路の少なくとも一方が異常信号を出力した場合に異常であると判断する電源ライン異常判定部と、
前記電源ライン異常判定部における判定結果に基づいて前記電源部の出力を制御する電源制御部と、
を具備することを特徴とする撮像装置。

[請求項4]

前記第2レギュレータの入力端子に入力する第2電流を検出する第2電流検出回路と、
前記第2レギュレータの出力端子から出力する前記第2レギュレータ出力に係る前記第2電圧を検出する第2電圧検出回路と、
前記第2電流検出回路の出力が所定値以上の場合に異常信号を出力する第2電流比較回路と、

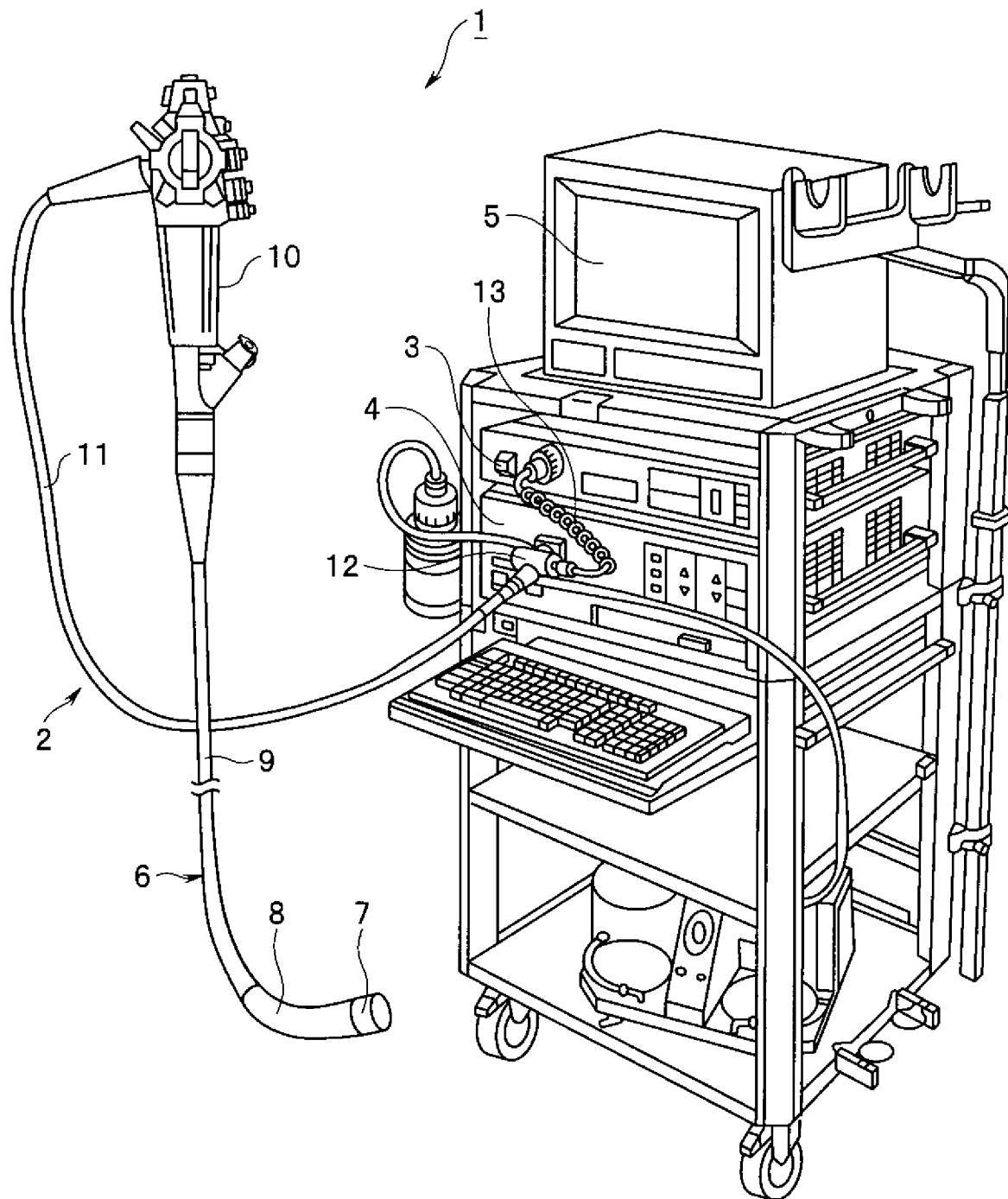
前記第 2 電圧検出回路の出力が所定範囲から外れた場合に異常信号を出力する第 2 電圧比較回路と、

をさらに具備し、

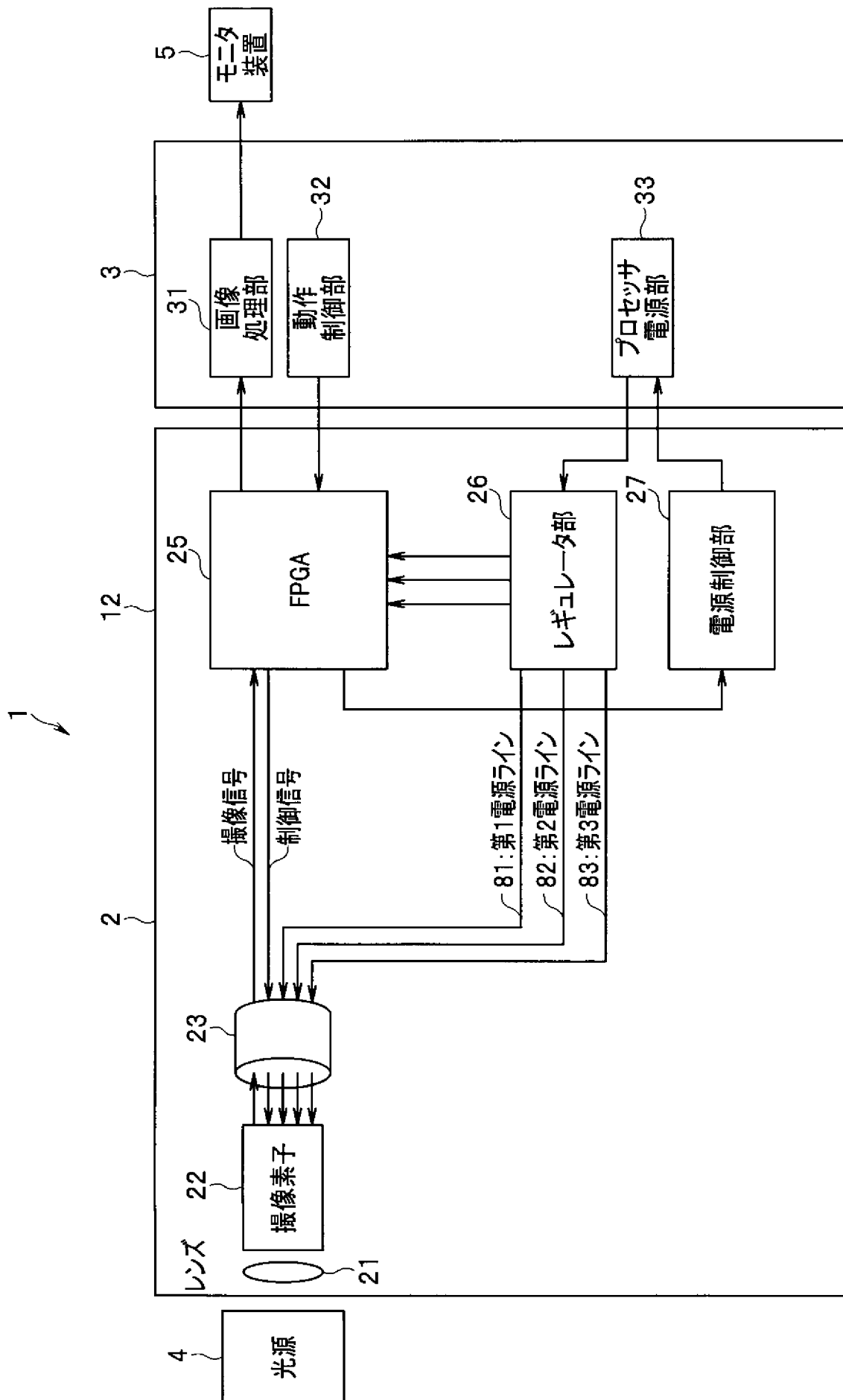
前記電源ライン異常判定部は、さらに、前記第 2 電流比較回路と前記第 2 電圧比較回路の少なくとも一方が異常信号を出力した場合に異常であると判断する

ことを特徴とする請求項 3 に記載の撮像装置。

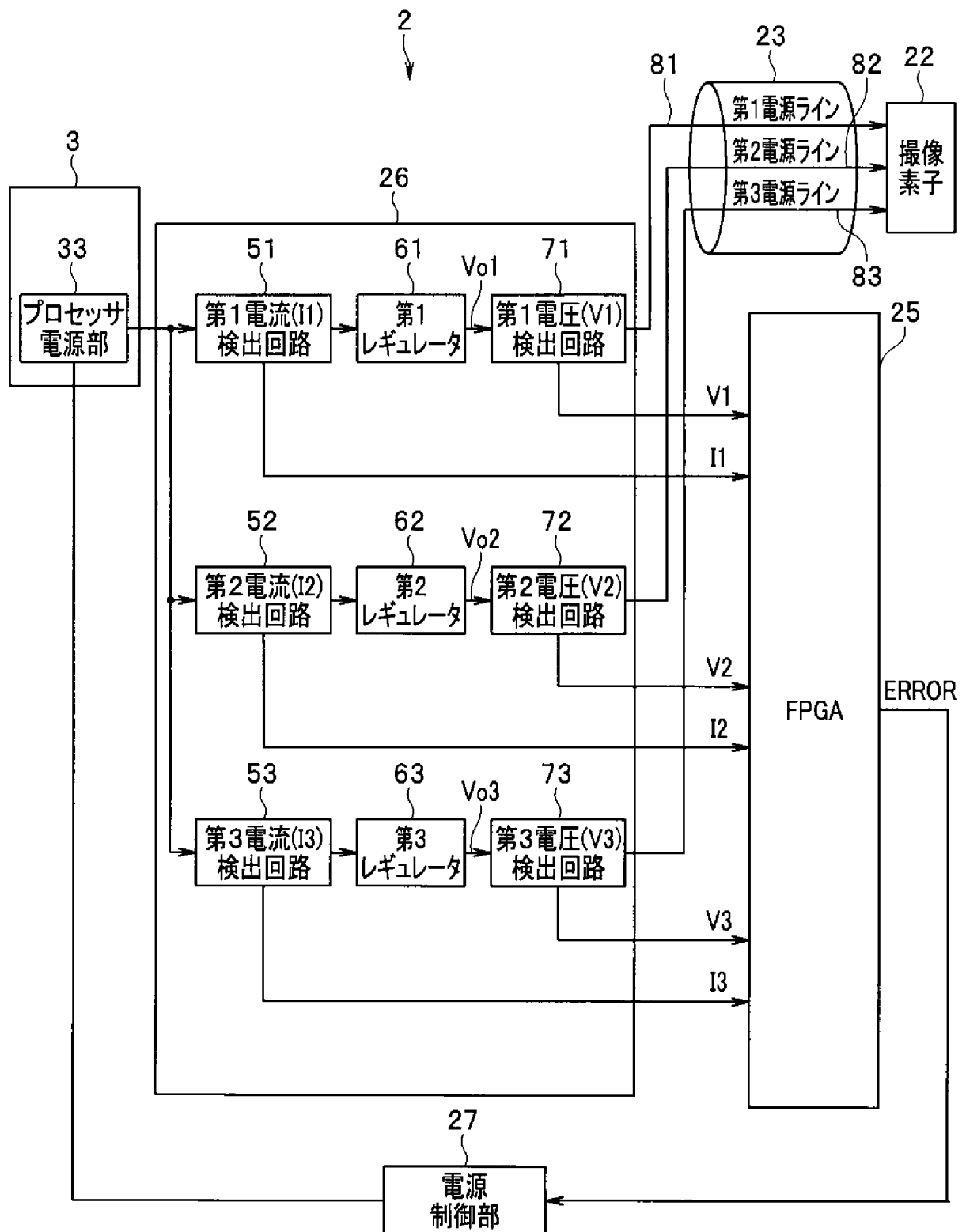
[図1]



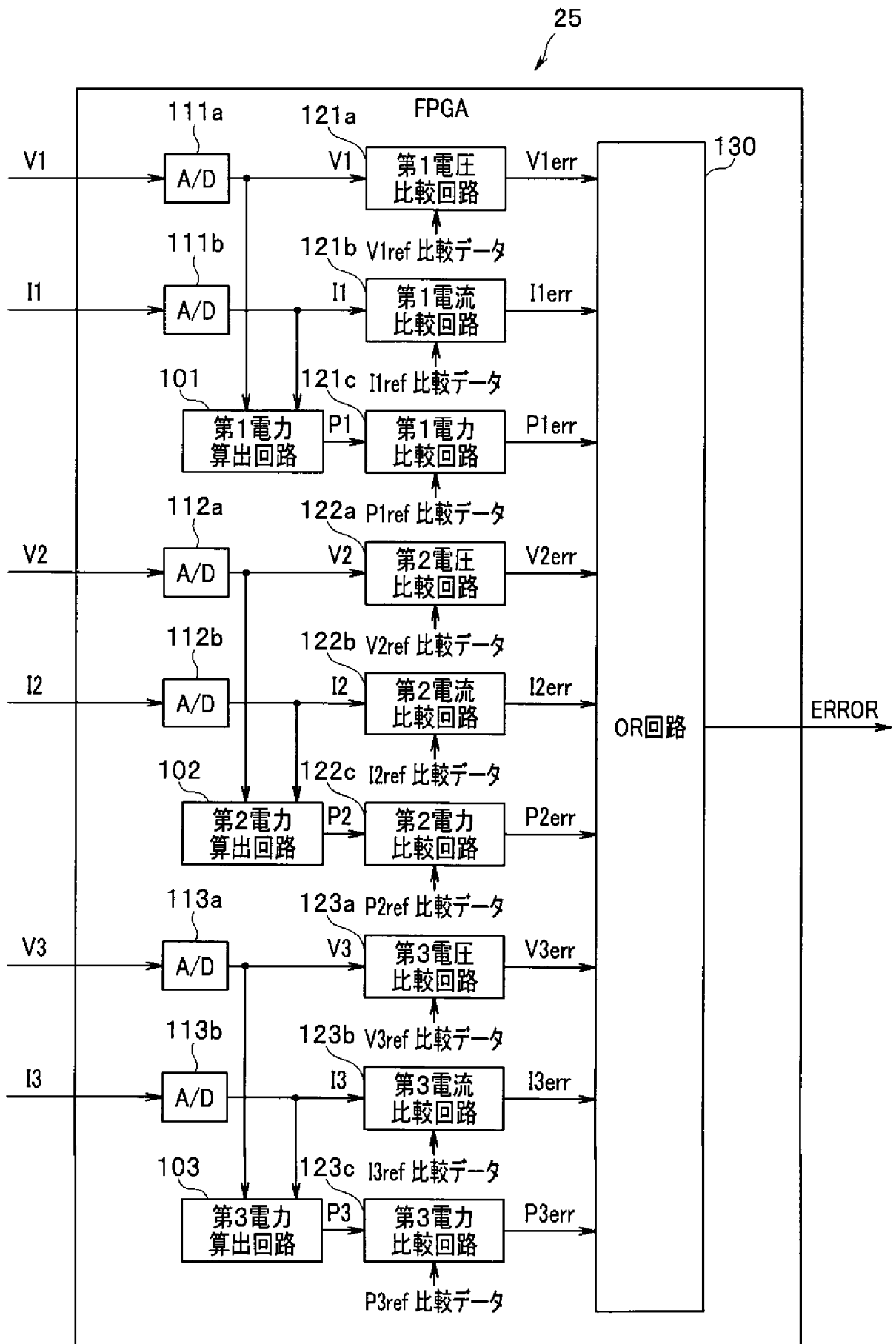
[図2]



[図3]



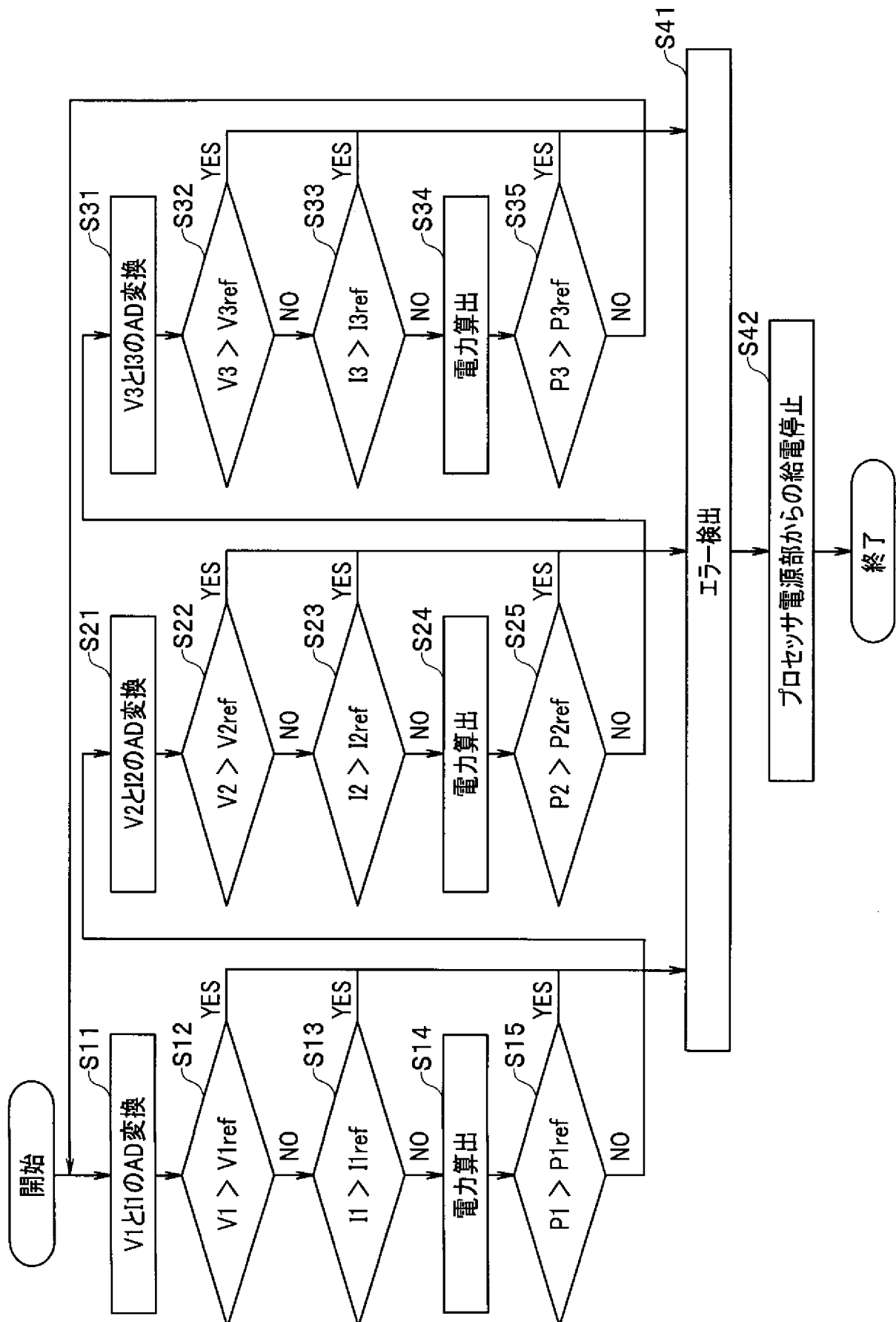
[図4]



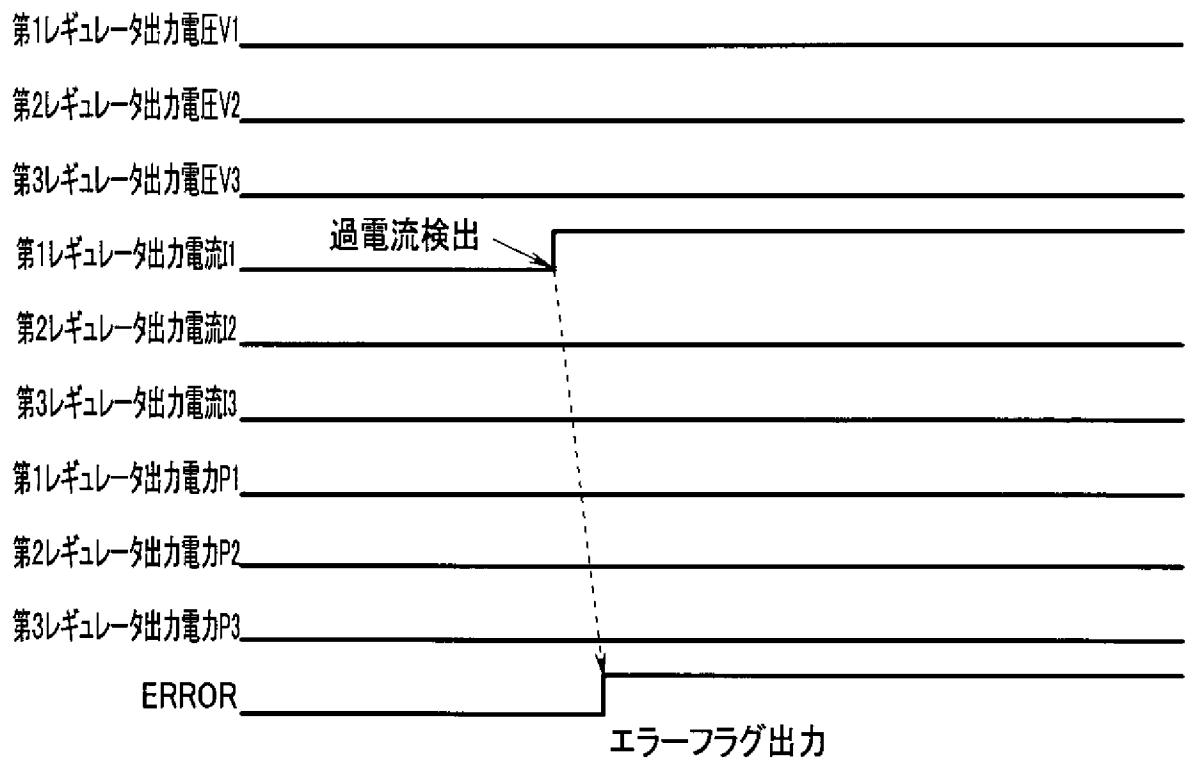
[図5]

第1レギュレータ出力 Vo1;ANA	出力電圧値 (V)	通常時 [V1]	3
		リミット時 [V1_limit]	4
	出力電流値 (mA)	通常時 [I1]	10
		リミット時 [I1_limit]	15
第2レギュレータ出力 Vo2;I/F	出力電圧値 (V)	通常時 [V2]	2
		リミット時 [V2_limit]	2.8
	出力電流値 (mA)	通常時 [I2]	2
		リミット時 [I2_limit]	5
第3レギュレータ出力 Vo3;DIG	出力電圧値 (V)	通常時 [V3]	1
		リミット時 [V3_limit]	1.8
	出力電流値 (mA)	通常時 [I3]	20
		リミット時 [I3_limit]	30

[図6]



[図7]

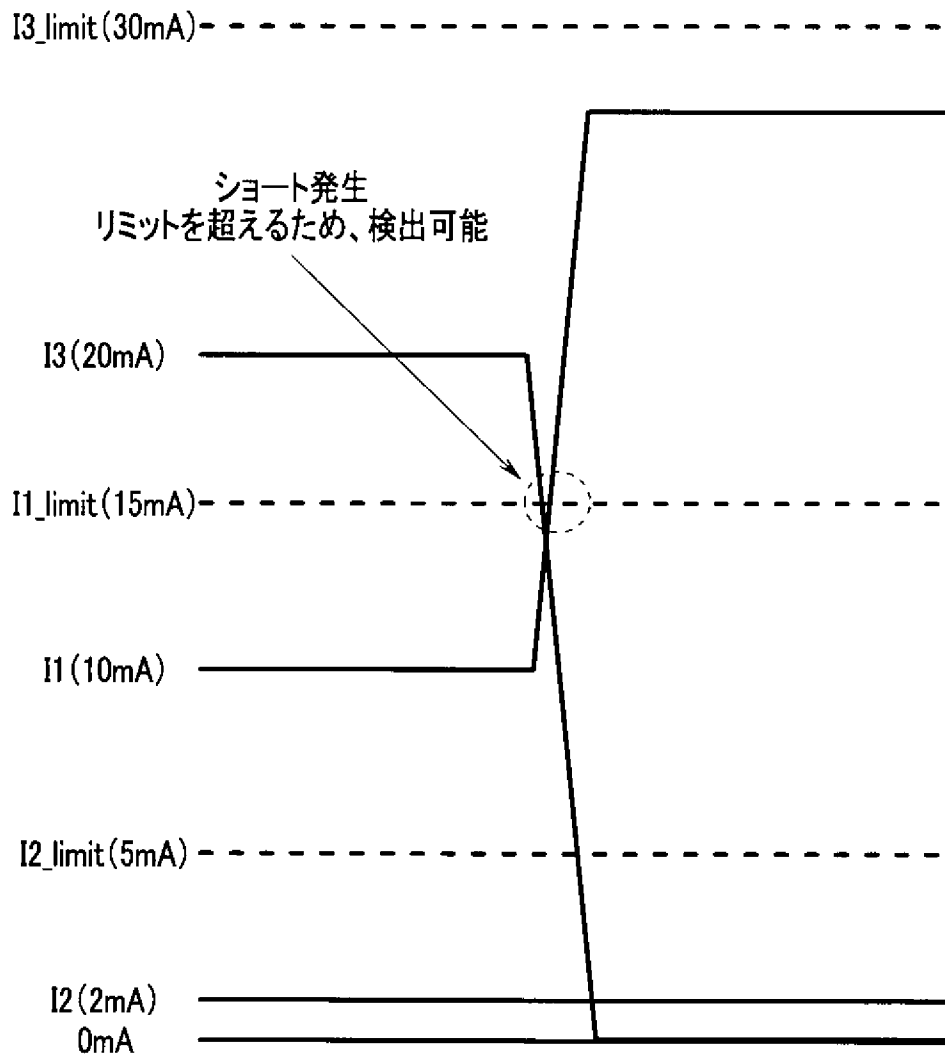


[図8]

通常時(電流)

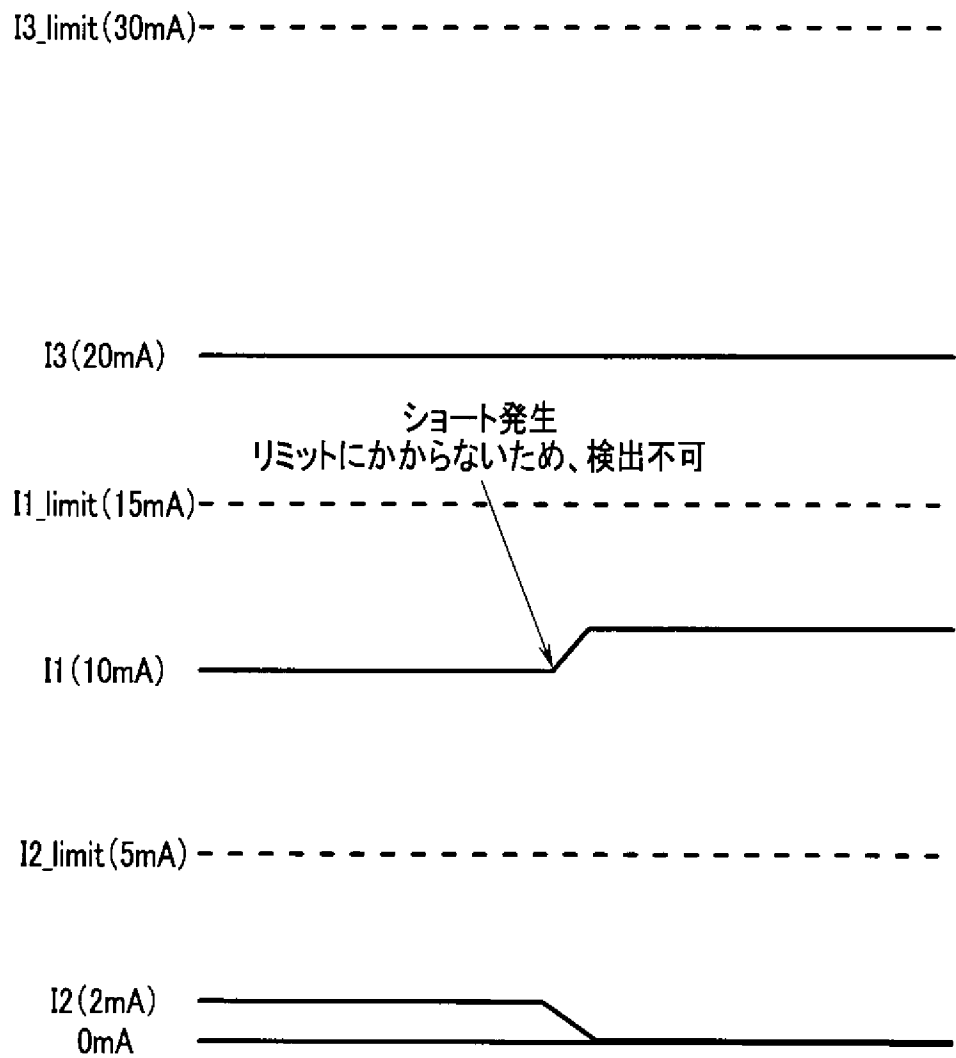
 $I3_limit (30mA)$ - - - - - $I3 (20mA)$ _____ $I1_limit (15mA)$ - - - - - $I1 (10mA)$ _____ $I2_limit (5mA)$ - - - - - $I2 (2mA)$ _____
 $0mA$ _____

Vo1-Vo3 電源間ショート発生時(電流増加大)



[図10]

Vo1-Vo2 電源間ショート発生時(電流増加小)



[図11]

通常時(電圧)

V1_limit(4V) - - - - -

V1(3V) _____
V2_limit(2.8V) - - - - -

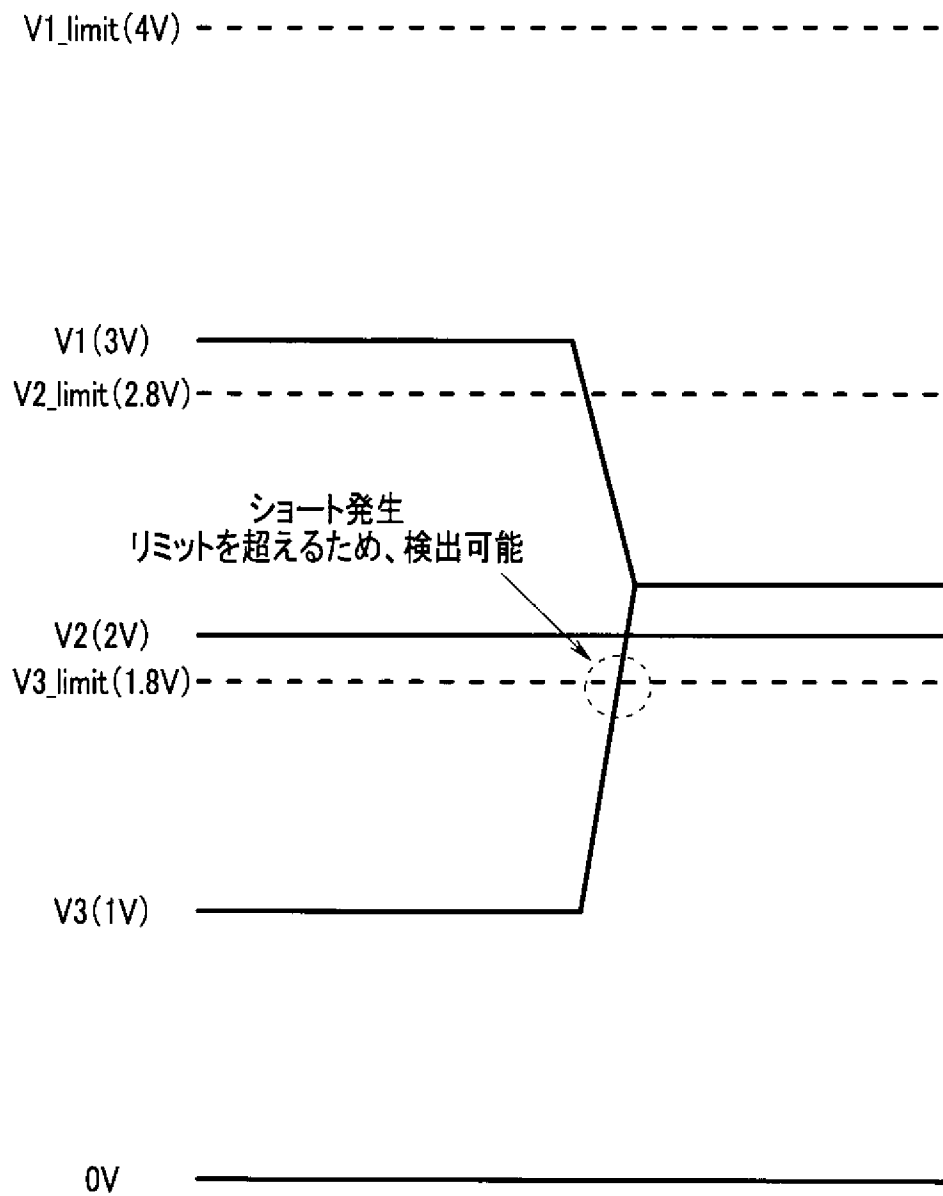
V2(2V) _____
V3_limit(1.8V) - - - - -

V3(1V) _____

0V _____

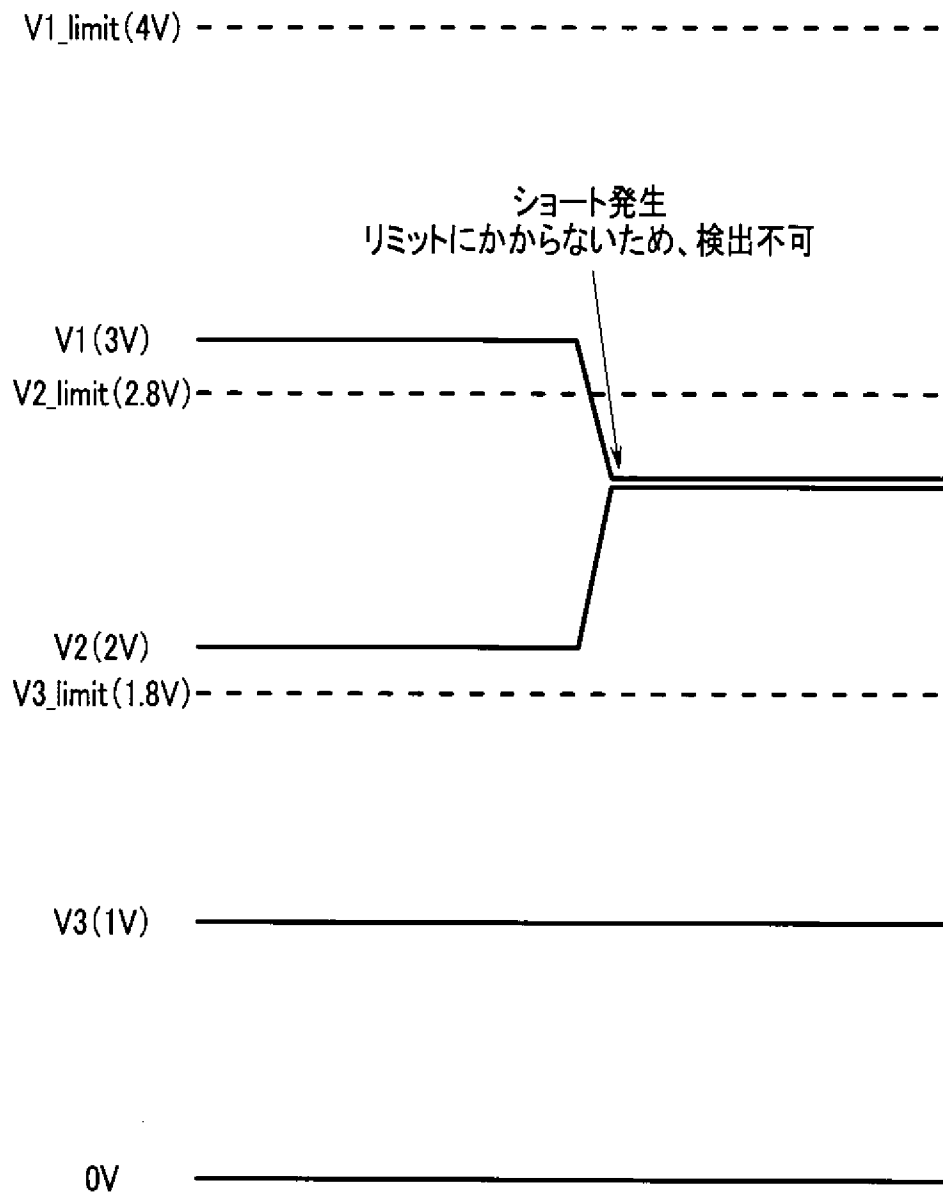
[図12]

Vo1-Vo3 電源間ショート発生時(電位差大)



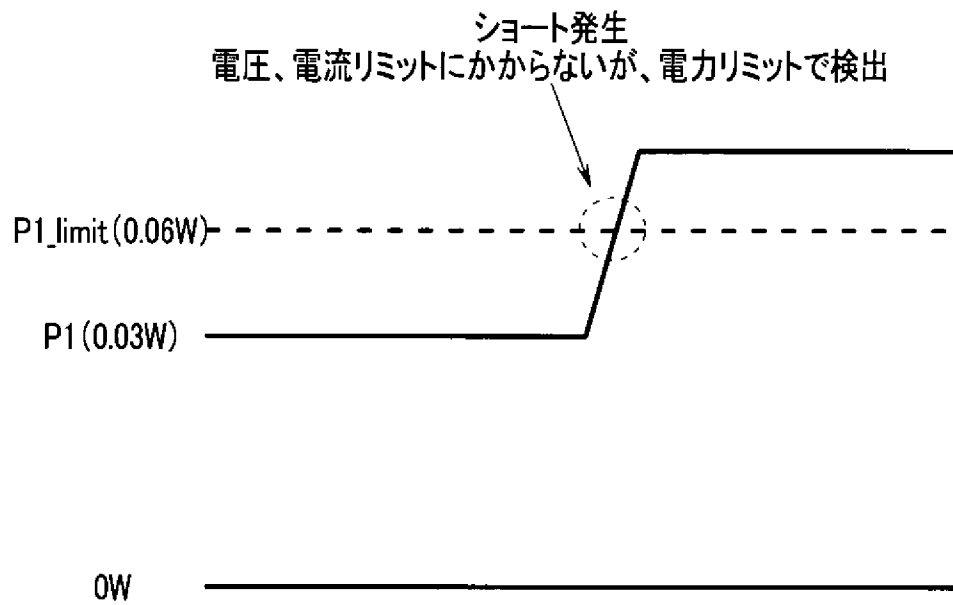
[図13]

V_{o1}-V_{o2} 電源間ショート発生時(電位差小)

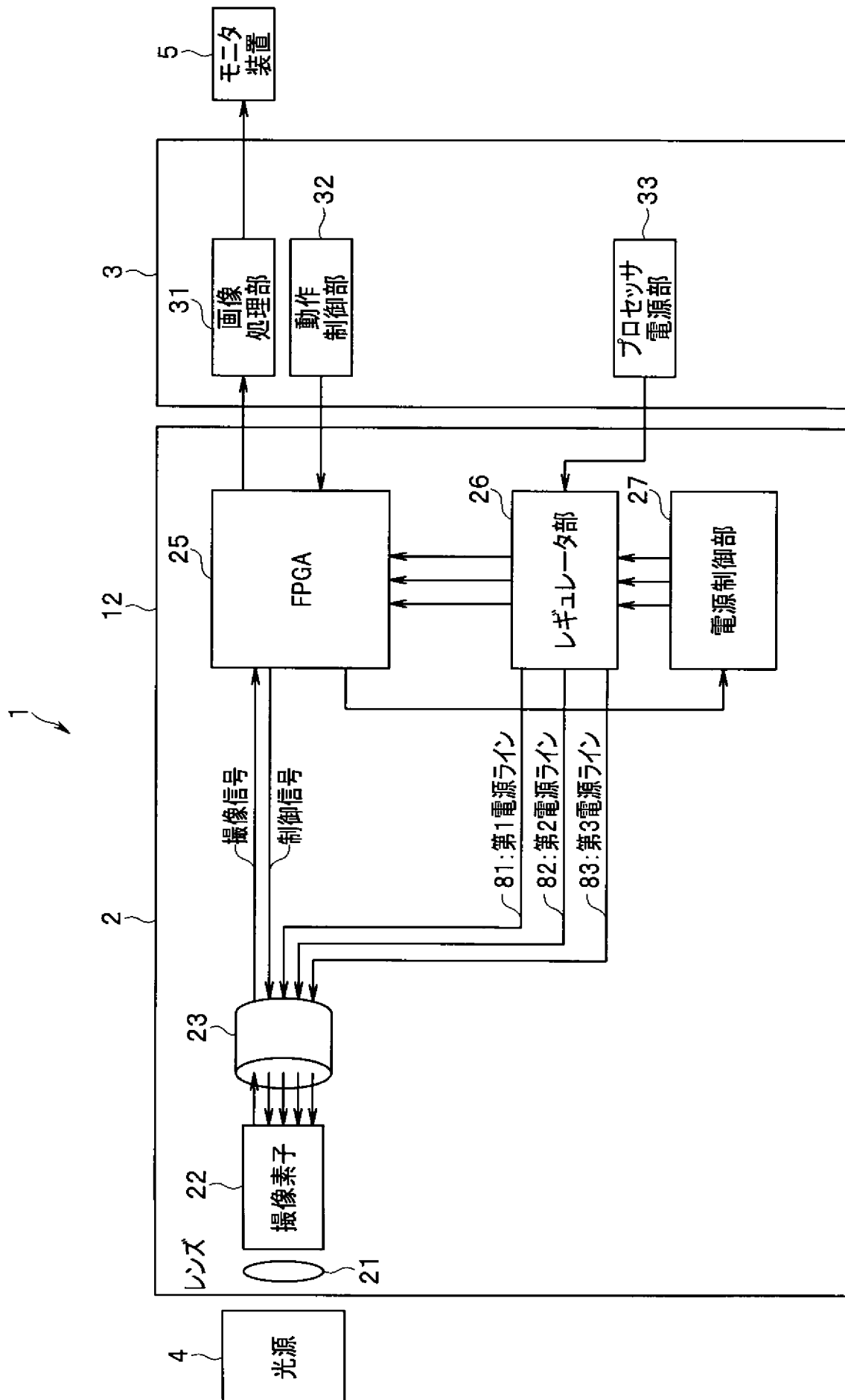


[図14]

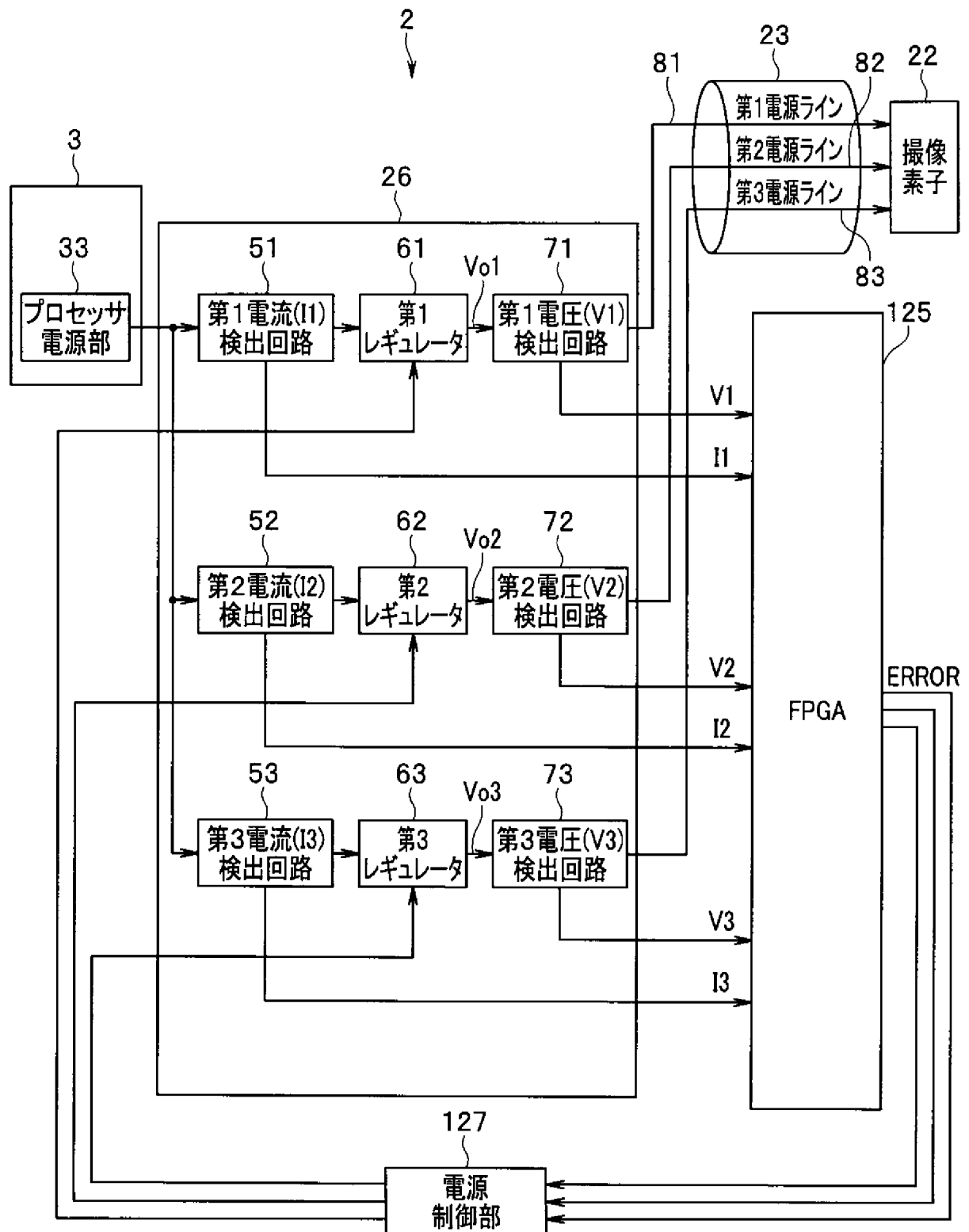
Vo1-Vo2 電源間ショート発生時



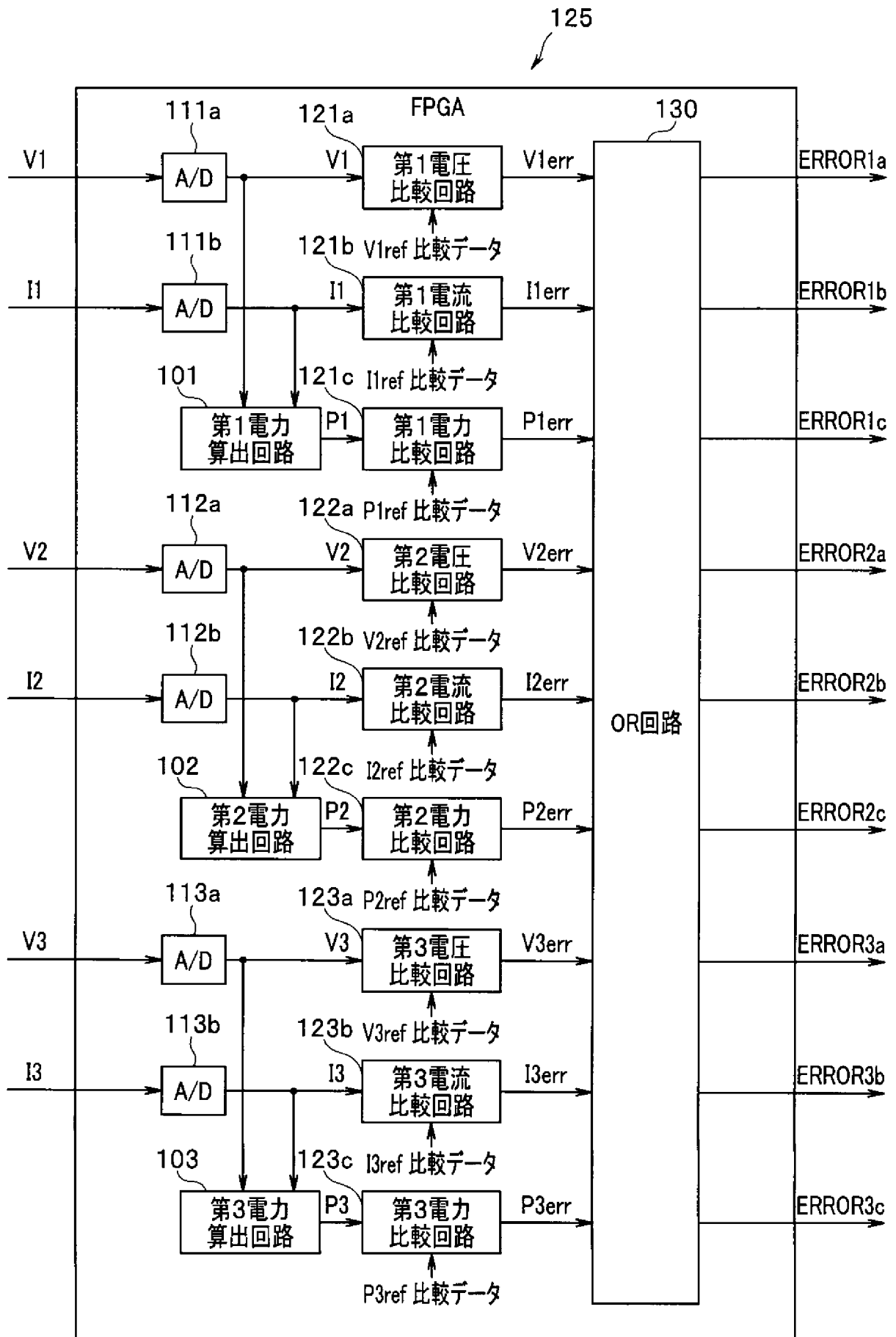
[図15]



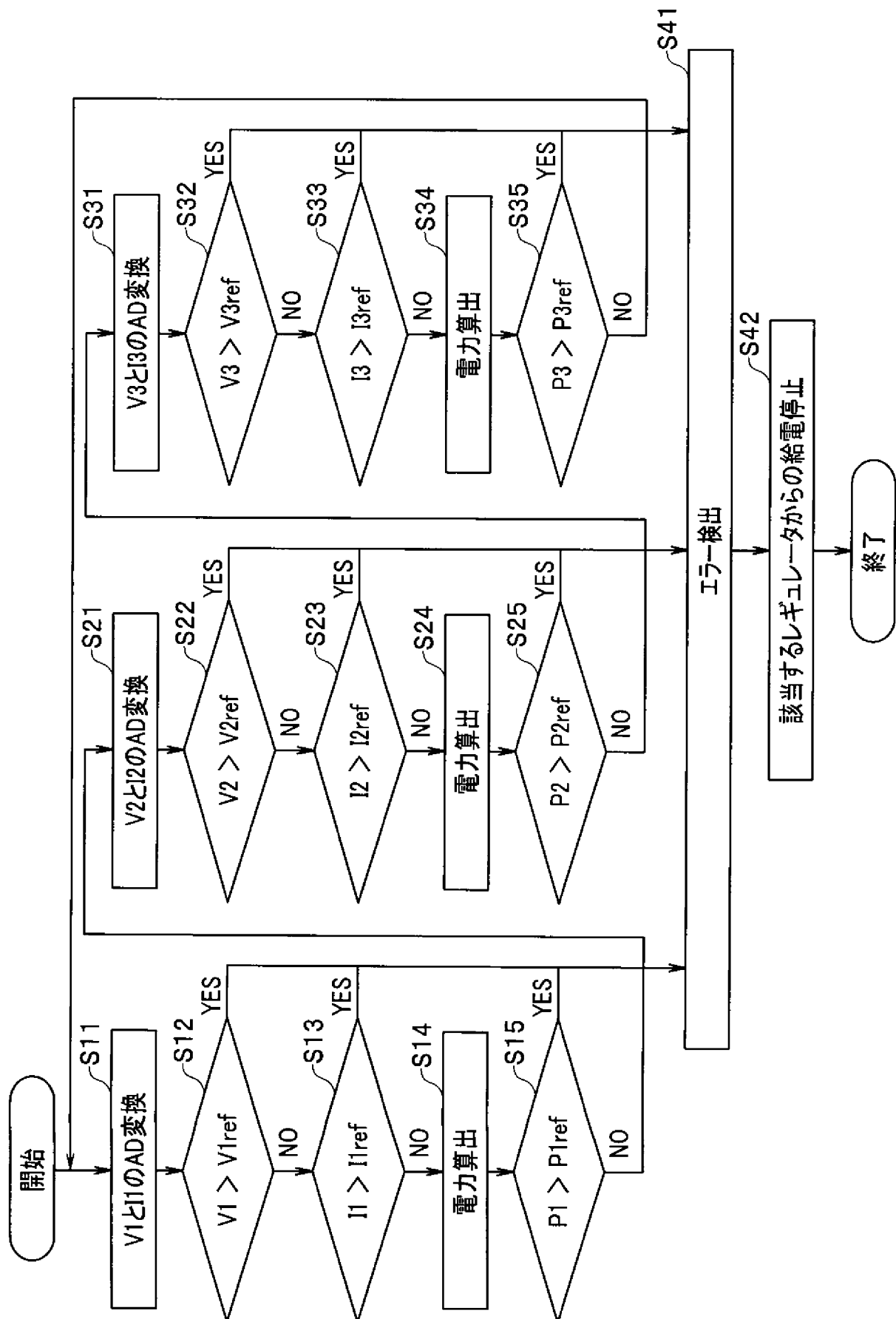
[図16]



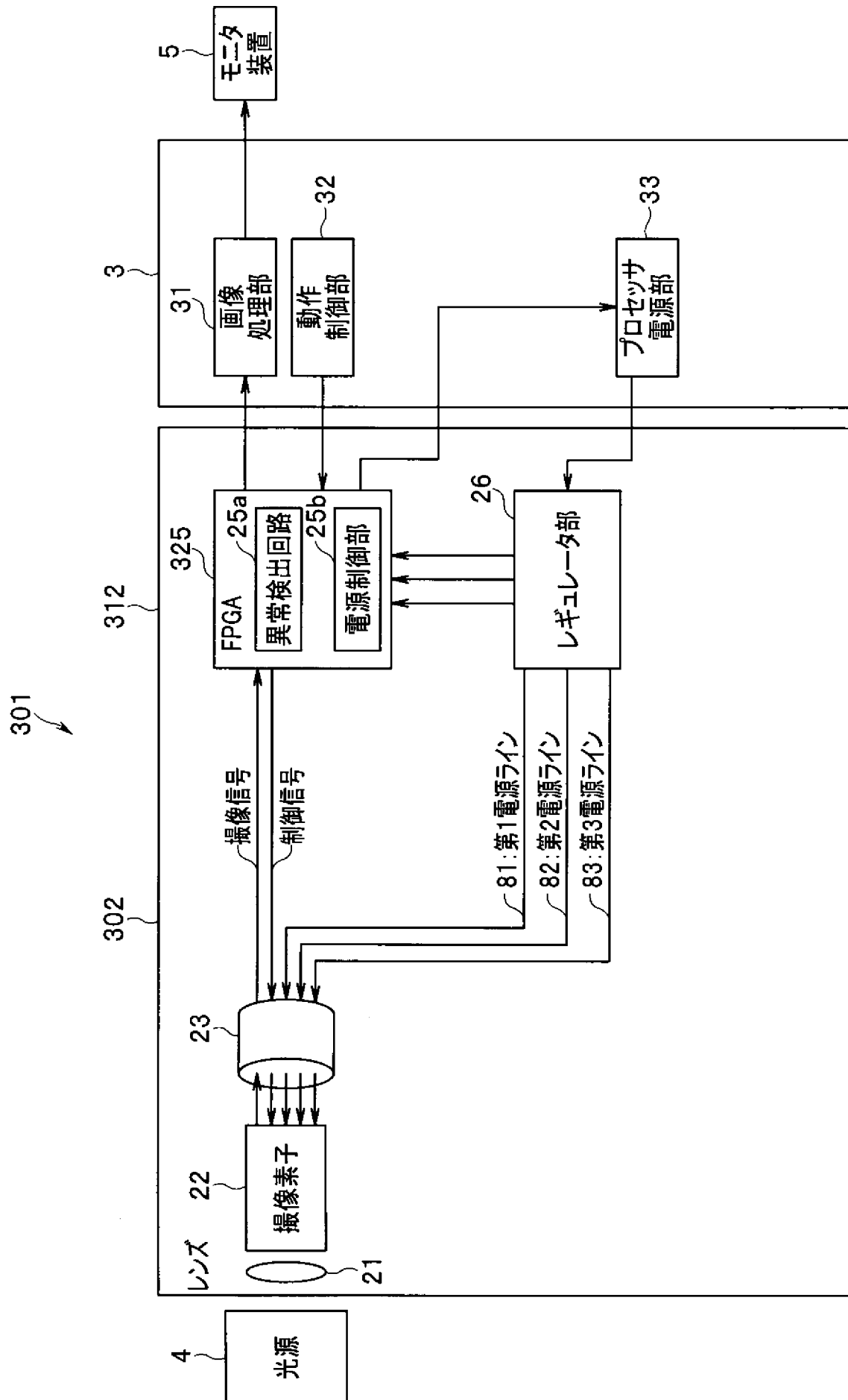
[図17]



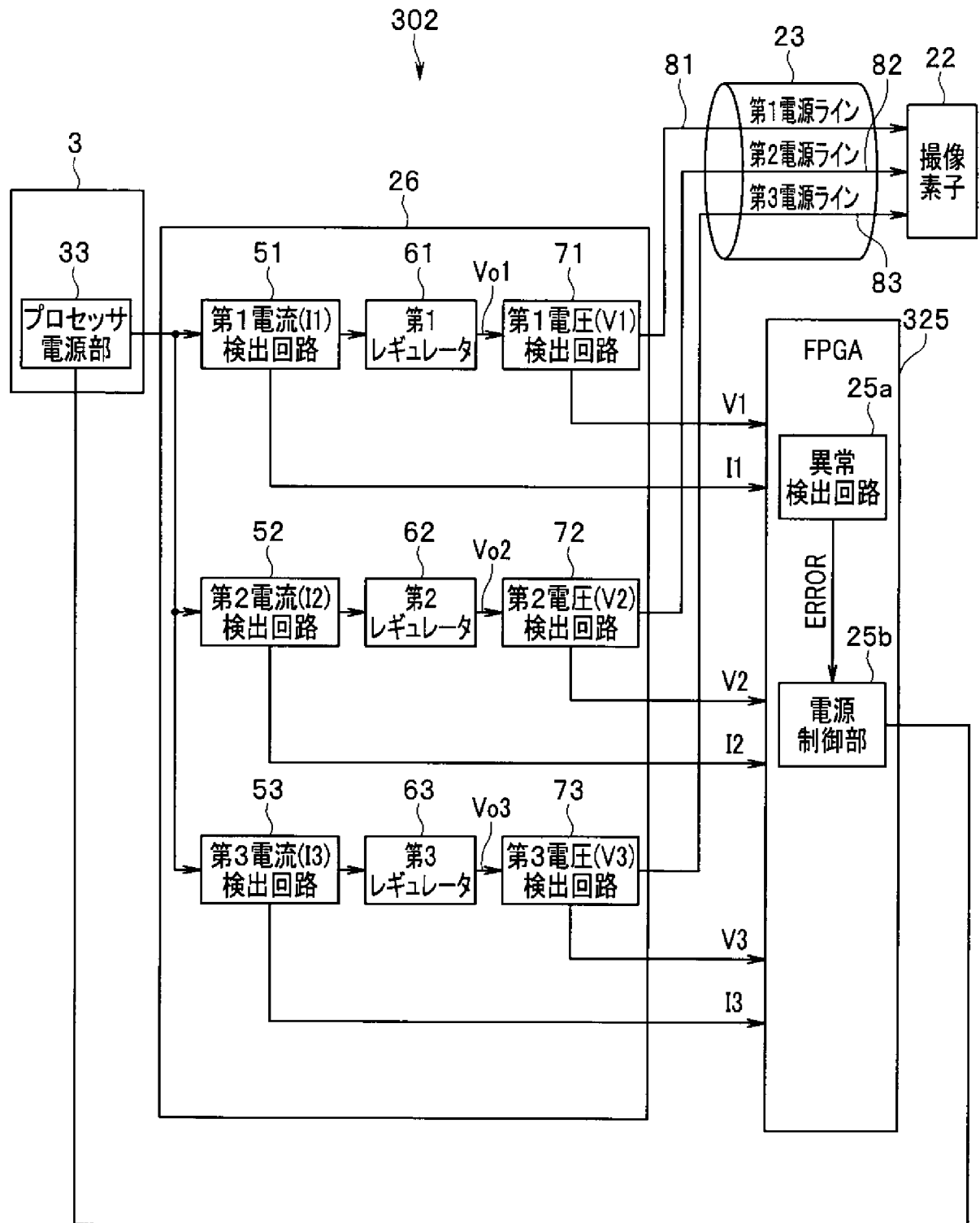
[図18]



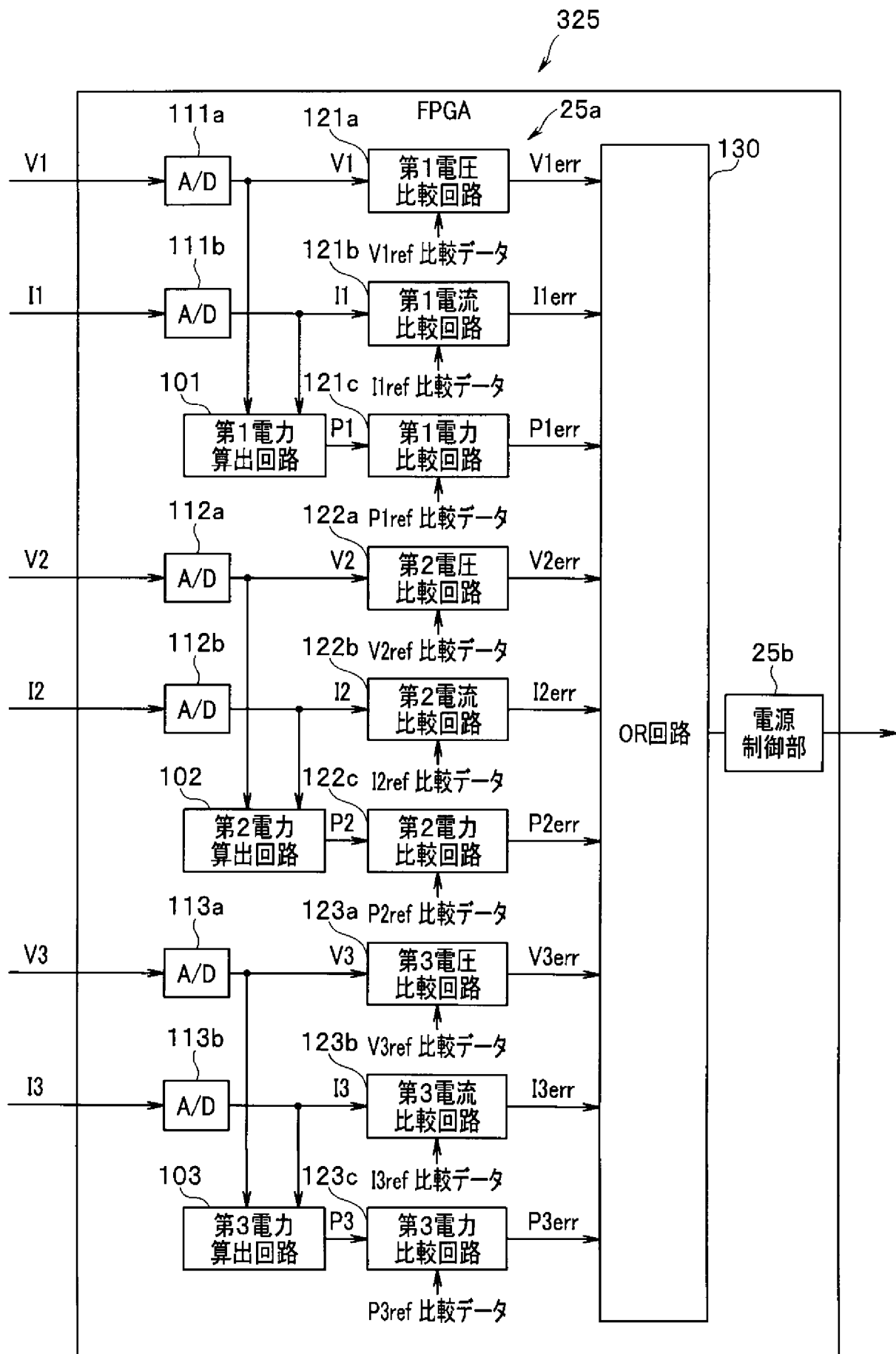
[図19]



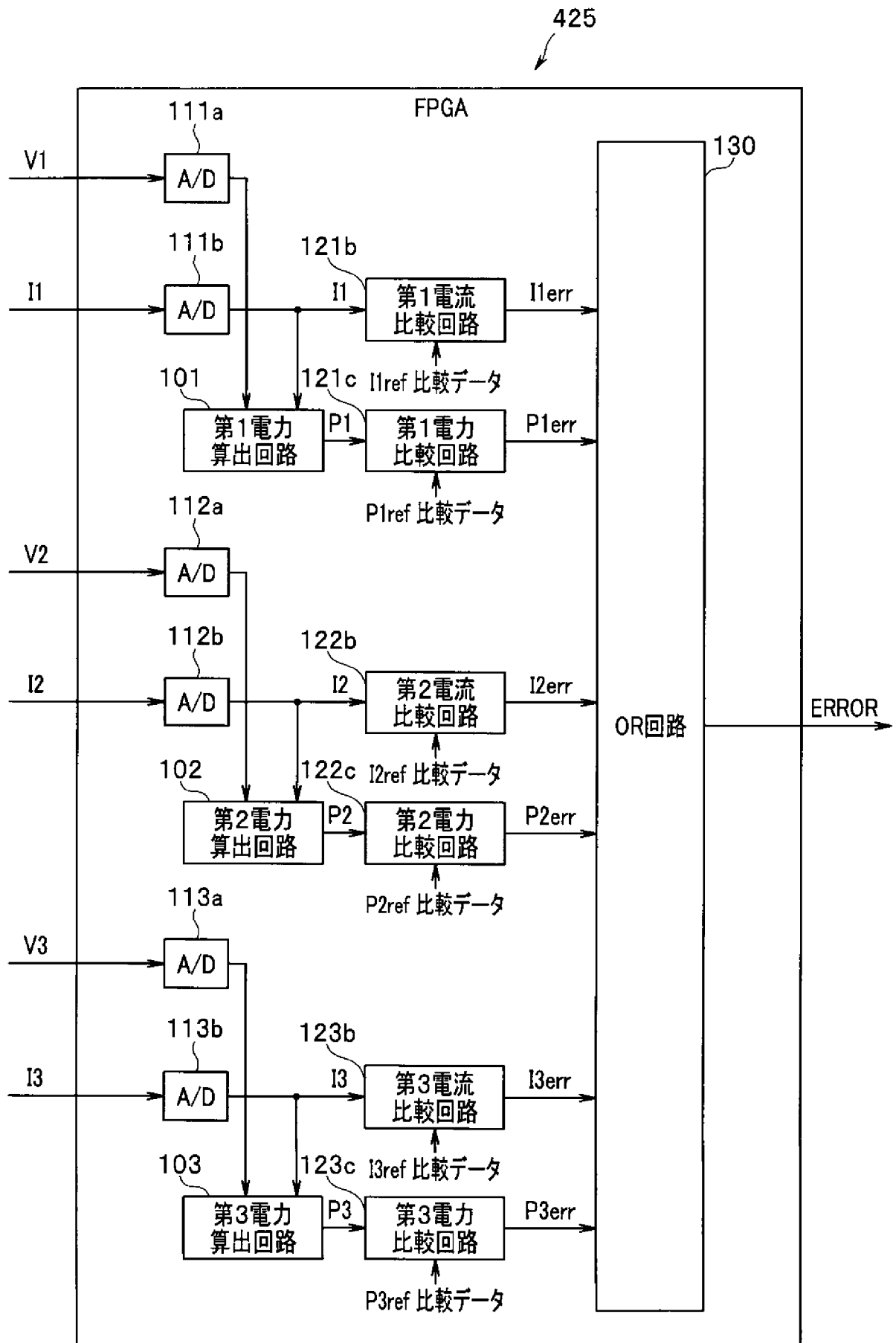
[図20]



[図21]



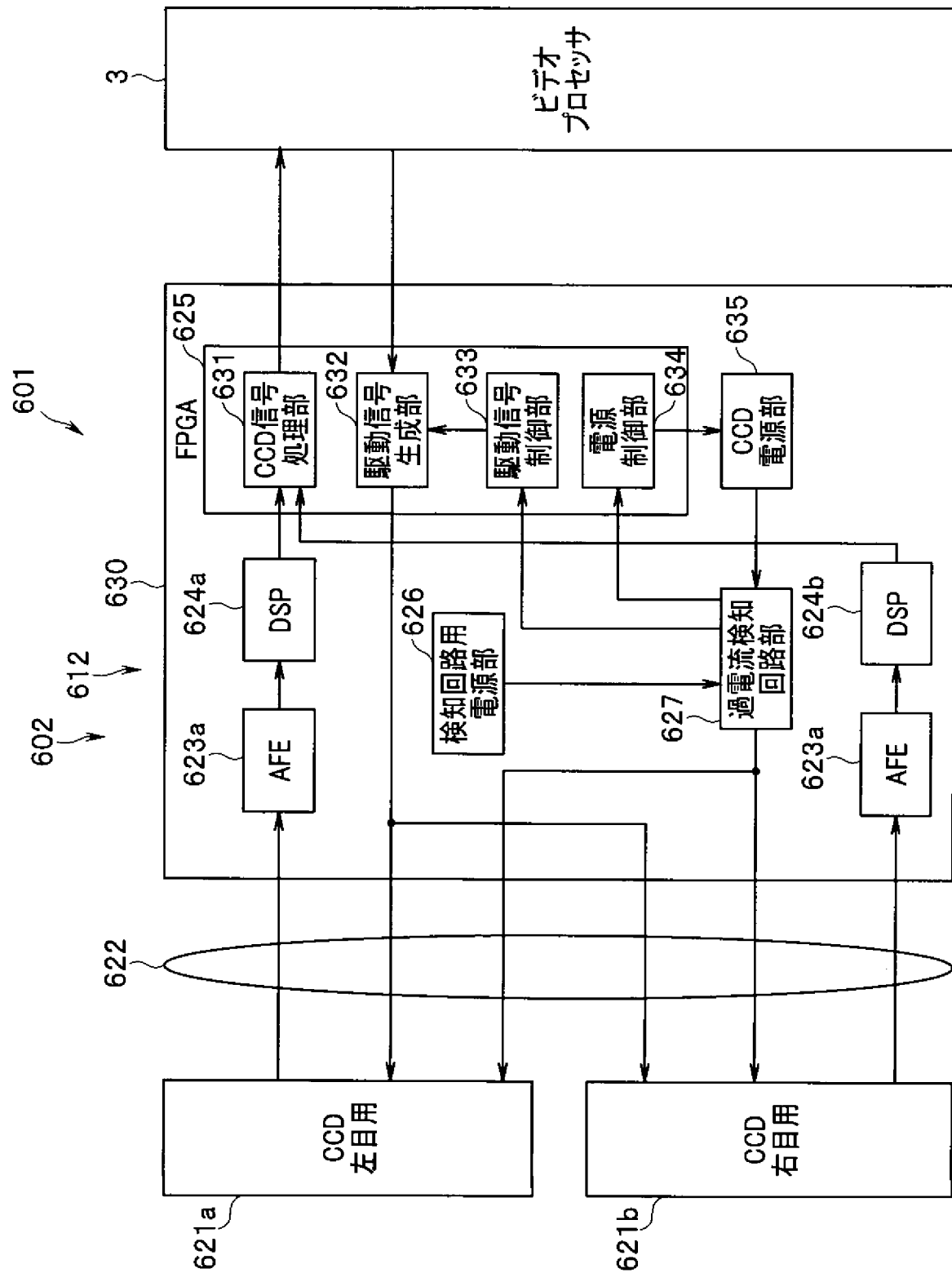
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/033837

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. A61B1/00 (2006.01) i, A61B1/04 (2006.01) i, A61B1/05 (2006.01) i,
G02B23/24 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. A61B1/00-1/32, G02B23/24-23/26, H04N5/222-5/257, H04N5/30-5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/042647 A1 (OLYMPUS MEDICAL SYSTEMS CORP.) 28 March 2013, paragraphs [0007], [0037]-[0044], fig. 4A & EP 2666401 A1, paragraphs [0013], [0087]-[0108], fig. 4A & US 2013/0265403 A1 & CN 103384492 A	1-4
A	JP 2012-011143 A (OLYMPUS CORP.) 19 January 2012, paragraphs [0029], [0030], fig. 5 (Family: none)	1-4
P, A	WO 2017/065004 A1 (OLYMPUS CORP.) 20 April 2017, claims 1-4, paragraphs [0019]-[0041], fig. 2-7 (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27.11.2017

Date of mailing of the international search report
05.12.2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. A61B1/00(2006.01)i, A61B1/04(2006.01)i, A61B1/05(2006.01)i, G02B23/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. A61B1/00-1/32, G02B23/24-23/26, H04N5/222-5/257, H04N5/30-5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/042647 A1（オリンパスメディカルシステムズ株式会社） 2013.03.28, 段落 [0007], [0037] - [0044]、図4A & EP 2666401 A1, 段落 [0013], [0087] - [0108]、 図4A & US 2013/0265403 A1 & CN 103384492 A	1-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27.11.2017

国際調査報告の発送日

05.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

磯野 光司

2Q

3411

電話番号 03-3581-1101 内線 3292

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-011143 A (オリンパス株式会社) 2012. 01. 19, 段落 [0 0 2 9] – [0 0 3 0]、図 5 (ファミリーなし)	1-4
P, A	WO 2017/065004 A1 (オリンパス株式会社) 2017. 04. 20, 請求項 1 – 4、段落 [0 0 1 9] – [0 0 4 1]、図 2 – 7 (ファミリーなし)	1-4