(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04N 9/00

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0306249
(24) 등록일자 2001년08월07일

(21) 출원번호 10-1993-0015739
(22) 출원일자 1993년08월14일

(65) 공개번호 특1994-0005167
(43) 공개일자 1994년03월16일

(30) 우선권주장 930,257 1992년08월17일 미국(US)

(73) 특허권자
알씨에이 라이센싱 코오포레이숀
락스 죠셉 제이.
미국 뉴저지주 08540 프린스톤 투 인디펜던스 웨이

(72) 발명자
스콧데이비드카사반트
미합중국,뉴저어지08540,이스트윈저,에이번드라이브에스-1
로버트노르만허스트,쥬니어
미합중국,뉴저어지08525,호프웰,하트애비뉴68
펠릭스아쉬완든
스위스연방,탈월,체하8800,알펜스트라쎄29
스튜어트스탠리펄만
미합중국,뉴저어지08540,프린스톤,프로스펙트애비뉴487
미카엘안소니이스나르디
미합중국,뉴저어지08536,플레인스보로,메켄지레인7

(74) 대리인
나영환
조태연

심사관 : 김희곤

(54) 필름및비디오검출기

요약

필름/비디오 검출기는 비디오 신호의 연속 프래임내 대응 픽셀값들값의 차를 생성하기 위한 회로(10,20)를 포함한다. 이 차는 각 프레임 구값에 걸쳐 누산(24)된다. 각 프레임에 대한 누산값은 신호 평균기(28) 및 상관 회로(30)에 인가된다. 평균기로 부터의 평균값은 상관 회로로 부터의 상관값으로 부터 감산(36)되고, 후자의 차가 소정값보다 더 크면 필름 모드 신호가 표시(40)된다.

대표도
도 2

명세서

[발명의 명칭]

필름 및 비디오 검출기

[도면의 간단한 설명]

제1(a)도 제1(d)도는 본 발명을 설명하는 데 유용한 비디오 신호 필드 및 프레임을 도시한 도면.

제2도는 본 발명을 실시하는 디지탈 필름 및 비디오 검출기의 블록도.

제3도는 본 발명을 실시하는 조합된 디지탈 및 아날로그 필름 및 비디오 검출기의 일부 블록도 및 일부 배선도.

제4도는 비디오 및 필름 양측 모두 발생되는 비디오 신호 세그먼트에 대한 누적 프레임 차이의 그래프.

제5도는 필름 및 비디오 검출과 각 중복 필드값의 대응을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : 지연소자 20 : 감산기

22 : 코어링 회로 24 : 누산기

26 : 5점(五點) 중앙값 필터 28 : 5점 평균기

30 : 5점 상관 필터 32 : 최대값 검출기

34 : 축척 회로 36 : 감산기

38 : 무한 임펄스 응답(IIR) 필터 40 : 임계치 검출기

50 : 누산기 52 : 디지탈-아날로그 변환기

54 : 제어 회로

56 : 표본형 데이타 아날로그 시프트 레지스터

58 : 제1 저항 뱅크 60 : 증폭기

62 : 제2 저항 뱅크 64 : 제3 저항 뱅크

68 : 최소값 검출기 70 : 위상 검출기

[발명의 상세한 설명]

본 발명은 비디오 신호가 예컨대 비디오 카메라와 같은 비디오 처리로부터 발생되는지 또는 동화상 필름으로부터 발생되는치를 검출하기 위한 장치에 관한 것이다. 본 명세서에서, 검출기는 " 필름 및 비디오 검출기" 를 의미한다.

초당 24 프레임으로 필름상에 촬영(shot)된 자료원(source material)은 3:2 풀다운(pulldowm)으로 알려진 처리에 의해 비디오(초당 30 프레임으로)로 변환된다. 이 처리에서, 격(隔) 필름 프레임은 3 개의 비월 주사(interlaced) 비디오 필드로 변환된다. 그 사이에 개재된 필름 프레임은 2 개의 비월 주사 비디오 필드로 변환된다. 제1(a)도는 비디오 처리에 의해 발생된 비디오 신호를 도시하고 있다. 각 박스는 비디오 프레임을 표시한다. 원으로 된 각 열은 필드를 표시한다. 원으로 된 연속 열은 비월 주사 비디오 필드를 표시한다. 제1(b)도는 3:2 풀다운 공정에 의해 발생된 비디오 신호를 도시하고 있다. 각 박스는 신호원의 필름 프레임을 표시한다. 격 필름 프레임당 3 개의 비디오 필드가 생성되며, 그 중 2 개는 동일한 정보를 포함하는데, 예를 들어 프레임 1의 필드 A 및 C가 동일하고 프레임 3의 필드 F 및 H가 동일하다. 비디오 자료(video material)가 3:2 풀다운을 통하여 유도되는지 또는 비디오 처리를 통하여 유도되는지를 결정할 수 있는 능력은 IDTV(Improved Definition Television) 수상기 또는 디지탈 비디오 압축 시스템과 같은 다수의 비디오 신호 처리 시스템에서 유리하게 사용될 수 있다.

비디오 신호 압축을 고찰해 보기로 한다. 필름에서 발생된 비디오 신호는 매 5 개의 필드마다 1 개의 중복 필드, 즉 20 퍼센트 중복을 포함한다. 비디오 신호가 필름 모드에서 발생된 것으로 결정될 수 있으면, 압축 처리에서 중복 필드를 삭제하여 20 퍼센트 압축 보너스를 얻을 수 있다. 제1(c)도는 MPEG(국제 표준화 기구의 동화상 전문가 그룹) 규약에 따른 압축용 비월 주사 비디오 프레임의 구성을 도시하고 있다. 제1(d)도는 중복 필드가 삭제된 것으로 도시된 MPEG 압축용 비월 주사 필름 모드 비디오 프레임의 구성을 도시하고 있다.

본 발명은 비디오 신호의 연속 프레임의 대응하는 화소값들(pixel values)값의 차이를 생성하기 위한 제1 회로를 포함하는 필름 및 비디오 검출기이다. 이들 차이는 각 프레임 구값에 걸쳐 누산된다. 각 프레임에 대한 누산값은 신호 평균기(signal averager) 및 상관 회로에 인가된다. 상기 평균기로부터 발생되는 평균값은 상기 상관 회로로부터 발생되는 상관값으로부터 감해지고, 후자의 차이가 소정값보다 크면 필름 모드 신호가 표시된다.

필름 모드 검출기의 목적은 필름상에 원래 촬영(shot)(초당 24 프레임으로)된 후 3:2 풀다운을 갖는 텔레시네(telecine) 장치를 사용하여 비디오로 변환되는 자료와 직접 비디오(초당 30 프레임)로서 생성된 자료를 식별해내는 것이다. 3:2 풀다운이 제공될 때, 5 개의 비디오 필드 중 하나의 필드[$f_n(i,j)$]는 그 필드보다 2 필드 전의 필드[$f_{n-2}(i,j)$]와 동일한 화상 정보를 포함한다(i 및 j는 화상의 수평 및 수직 좌표이다). 제2도는 본 발명에 따른 예시적인 3:2 풀다운 검출기의 블록도를 도시하고 있다. 제2도에서, 입력 휘도 신호는 지연 소자(10)에 인가되는데, 이 지연 소자는 2 필드 구값과 동일한 주기만큼 휘도를 지연시킨다. 현재 입력 신호가 필드 $f_n(i,j)$를 나타내는 경우, 지연 소자(10)는 자신의 출력 접속부에서 필드 $f_{n-2}(i,j)$를 나타내는 신호를 제공한다. 지연 및 비지연 신호는 감산기(20)에 인가되고, 이 감산기는 연속 프레임(즉, 어떤 하나의 필드에 의해 분리된 2 필드 사이)내의 대응 하는 화소의 차이를 생성한다. 그 차이는 다음 식으로 표시된다.

$$d_n(i,j) = f_n(i,j) - f_{n-2}(i,j)$$

이동에 대한 잡음을 무시하면, 양필드 내의 동일한 화상의 어떠한 부분도 0 프레임 차이를 나타낸다. 3:2 풀다운이 제공되면, 매 5 개 필드 중 1 개의 필드는 그 필드보다 2 필드 이전의 필드와 동일한 정보를 포함한다[즉, $f_n(i,j) = f_{n-2}(i,j)$]. 이는 제5도에 도시되어 있다. 프레임 차이 신호에서 " 0" 은 $d_n(i,j) = 0$을 표시하지만, " 1" 은 $d_n(i,j) \neq 0$을 표시한다는 것을 유의하여야 한다. 이들 이진 값은 예시적인 목적으로만 사용된다. 상기 시스템은 실제 프레임 차이값을 사용한다.

3:2 풀다운이 제공되면, 프레임 차이는 매 5 개 필드 중 1 개의 필드에서 실질적으로 전체 필드가 0이 된다. 장면(scene)의 조도(照度)의 변화 또는 이동이 없으면, 3:2 풀다운이 제공되는지의 여부에 관계 없이 모든 필드는 0을 포함한다는 사실을 유의하여야 한다. 이것에 대해서는 후술하겠다.

입력 신호는 명목상 어떤 잡음을 포함하기 때문에, 상기 차 신호는 코어링 회로(coring circuit)(22)에 접속되는데, 이 코어링 회로는 소정의 진폭보다 작은 값을 갖는 차(差)를 삭제한다. 즉, 작은 프레임 차이는 0으로 설정된다. 상기 코어링 회로는 화상 이동 또는 화상 변화로 오인되는 잡음의 가능성을 효과적으로 제거하고, 추가 처리용으로 상당한 차(쵸)만이 전송되도록 해준다.

코어링된 차이 $c_n(i,j)$는 누산기(24)에 인가되는데, 이 누산기는 각 필드에 대하여 코어링된 차이 신호의 크기를 합산한다. 누산기는 각 수직 구값의 시작부에서 리셋된다. 리셋 동작과 동시에 차이의 최종 합은 다음에 계속되는 회로에서의 사용을 위해 래칭된다. 이 합은 다음 관계식으로 주어진다.

$$S_n = \sum_i \sum_j |c_n(i,j)|$$

이 관계식은 차이 값의 필드 가치를 단일값 S_n으로 값단히 표시하는데, 이 S_n의 크기는 현재 필드와 2 필드 앞서 발생한 필드값의 차이 또는 이동의 정도를 표시한다.

제4도는 여러 가지 형식의 이동 화상에 대한 누적된 프레임 차이의 특징을 그래프 형태로 도시하고 있다. 사용된 신호는 매 장면이 60 필드를 포함하는 4 개의 분리 장면으로 구성되어 있다. 각 장면은 데이터 내의 2 개의 필드 범위에 걸친 큰 스파이크에 의해 분리된다. 이 큰 스파이크는 장면 전이에 기인하는데, 예상한 바와 같이 이 장면 전이는 매우 큰 Sn을 발생시킨다. 제3 장면(필드 120 180)은 필름상의 상업적 촬영(shot)이고, 3:2 풀다운을 사용하여 비디오로 변환되었다.

3:2 풀다운 자료는 1 개의 작은 차이합(差異合)이 뒤따르는 4 개의 비교적 큰 차이 합 패턴을 생성하는 것으로 도시되어 있다. 작은 차이합은 매우 작은 차이합(0인 것이 이상적임)을 발생시키는 반복 필드에 기인한다.

누산기로부터의 각각의 합 또는 프레임 차이합은 5점(五點) 중앙값 필터(26)에 인가된다. 상기 중앙값 필터는 장면 전이시의 큰 스파이크를 제거하기 위하여 포함된다. 중앙값 필터는 이하의 기능을 수행한다. 현재 차이합(S_n)에서 S_n과 최종 4 개 차이합의 중앙값을 감한 값이 어떤 정(正)의 임계치보다 크거나 어떤 부(負)의 임계치보다 작으면, 현재 차이합(S_n)은 상기 중앙값으로 대체된다[즉, S_n - (S_n, S_{n-1} , S_{n-2} , S_{n-3} , S_{n-4})의 중앙값 < Vth이면, Sn을 (Sn, S_{n-1}, S_{n-2}, S_{n-3}, S_{n-4})의 중앙값으로 대체한다]. 그렇지 않은 경우, Sn은 변경되지 않은 채 통과된다. 분리 임계치는 3:2 풀다운에 의해 야기되는 하향 스파이크를 제거하는 가능성을 방지하기 위하여 상향 스파이크 및 하향 스파이크에 대해서 설정될 수 있다.

중앙값 필터(26)에서 제공된 합의 값은 평균기(28) 및 상관 회로(30)에 접속된다. 평균기(28)는 현재의 합 및 앞선 4 개의 합의 평균치를 제공한다. 이 5 개의 합의 평균치는 신호에 나타나는 총이동량에 대한 표시를 제공한다. 장면이 3:2 풀다운을 사용하여 인코드되면, 5 개 합 중의 1 개는 매우 작아진다. 따라서, 3:2 풀다운 자료에 대한 평균치는 비디오 소스 자료에 대한 평균치의 약 4/5 만큼 크게된다.

상관 회로(30)는 현재의 합 및 앞선 4 개 합에 대해서 5-방향 상관 관계(5 way correlation)를 실행한다. 즉, 상기 회로는 5 개의 합 CC_i를 다음과 같이 계산한다.

$$\begin{bmatrix} CC_1 \\ CC_2 \\ CC_3 \\ CC_4 \\ CC_5 \end{bmatrix} = \begin{bmatrix} -1.00 & 0.25 & 0.25 & 0.25 & 0.25 \\ 0.25 & -1.00 & 0.25 & 0.25 & 0.25 \\ 0.25 & 0.25 & -1.00 & 0.25 & 0.25 \\ 0.25 & 0.25 & 0.25 & -1.00 & 0.25 \\ 0.25 & 0.25 & 0.25 & 0.25 & -1.00 \end{bmatrix} \begin{bmatrix} S_n \\ S_{n-1} \\ S_{n-2} \\ S_{n-3} \\ S_{n-4} \end{bmatrix}$$

상관 회로(30)는 다음의 수식에 따라 5 개의 필터 함수 H(z)를 생성하는 수단을 포함한다.

$$H1 = A + BZ^{-1} + CZ^{-2} + DZ^{-3} + EZ^{-4}$$

$$H2 = E + AZ^{-1} + BZ^{-2} + CZ^{-3} + DZ^{-4}$$

$H3 = D + EZ^{-1} + AZ^{-2} + BZ^{-3} + CZ^{-4}$

$H4 = C + DZ^{-1} + EZ^{-2} + AZ^{-3} + BZ^{-4}$

$H5 = B + CZ^{-1} + DZ^{-2} + EZ^{-3} + AZ^{-4}$

상기 각 식에서, 계수 A, B, C, D 및 E는 소정의 가중 계수이고, Z는 통상적인 지(Zee) 변환 변수이며, 이 변수와 관련된 윗첨자는 필드 주기 단위의 지연 구값을 나타낸다. 각 상관값 CCi는 0의 DC 응답을 갖는 실질적인 필터 응답이다. 따라서, 소스 자료가 비디오 처리에 의해 발생되면, 모든 5 개의 합 S_i는 유사한 값을 가져야 하고, 각 상관값 CC_i은 비교적 작아야 한다. 이와는 반대로, 소스 자료가 3:2 풀다운으로부터 발생되면, 5 개의 합 중 1 개는 나머지 4 개의 합보다 더 클것이고, 작은 값의 합에 (-1.0)을 곱한 값을 포함하는 상관값은 다른 것보다 훨씬 더 큰 수이어야 한다. 이 특정 상판값은 5 개의 상관값 CCi를 모두 최대 검출기(32)에 인가하면 결정된다. 3:2 풀다운을 갖는 장면에서, 이 상관값은 고유한 정보를 포함하는 4 개의 필드에 걸쳐 평균된 이동 신호의 크기를 나타낸다. 이 상관값은 축척 회로(scaling circuit)(34)에 인가되어 4/5 계수로 가중된다. 이 가중치는 소자(28)에 의해 생성되는 5점 평균치에 의해 발생된 값과 실질적으로 동일해야 한다. 이들 두 신호를 감산함으로써[감산기(36)에서, 신호 조합을 이루며], 이들 두 신호는 3:2 풀다운이 제공될 때마다 상쇄된다. 이와는 달리, 소스 자료가 생성된 비디오이면 감산기(36)에 의해 발생된 차이는 5점 평균치에 근접하게 된다. 따라서, 비디오 소스 자료 및 필름 소스 자료에 대해 감산기(36)에서 생성된 차이값에는 비교적 큰 차이가 있으므로, 3:2 풀다운에 의해 생성된 소스 자료를 검출하기 쉽게 한다[대체 실시예에 있어서는, 상관 필터의 가중 요소 부호(극성)가 서로 바뀌고, 최소값 검출기는 최대 검출기(32)를 대신한다. 이 경우, 가산기가 감산기(36)를 대신한다].

상관 필터의 출력이 8/5의 이득 계수(상기 이득 계수의 2 배)로 곱해지고 5점 평균 신호로부터 감해지면, 그 차(差)는 쌍극성 신호가 되는 경향이 있다. 정(正)의 차이는 비디오 모드(3:2 풀다운은 없음)의 이동을 나타내지만, 모든 부(負)의 신호는 3:2 풀다운이 존재한다는 것을 나타낸다. 이 쌍극성 신호는 상기 3:2 풀다운 검출기의 고유 특성 중의 하나의 특성을 제공하는데, 특정 신호가 3:2 풀다운을 포함하는 신뢰 척도를 표시하는 능력이 그것이다. 부의 값이 큰 신호일수록, 장면이 필름상의 원래 샷(shot)이었고 3:2 풀다운을 사용하여 비디오로 변환되었을 가능성이 크다. 정의 값이 큰 신호일수록 3:2 풀다운이 존재하지 않을 가능성이 크다.

필름 및 비디오 검출기가 비디오 압축 장치에서 사용되면, 실험은 3:2 풀다운을 갖는 필름을 비디오로 오인하는 것이 그 반대의 경우보다 낫다는 것을 보여주고 있다. 이러한 오인이 발생되는 것을 최소화하기 위하여, 비대칭 상승 및 하강 시값을 갖는 무한 임펄스 응답(IIR) 필터(38)가 감산기(36) 다음에 포함된다. IIR필터는 다음과 같이 실행된다.

만일, in(n) > out(n-1)이면, out(n) = in(n)*up_speed + out(n-1)*(1-up_speed)이고, 그렇지 않으면, out(n) =in(n)*down_speed+out(n-1)*(1-down_speed)이다.

여기서, up_speed 및 down_speed는 필터(38)로부터의 정 및 부 진행 출력 전이 속도를 결정하는 축척 계수이다. up_speed가 down_speed보다 훨씬 더 크면, IIR 필터의 출력은 하강할 수 있는 것보다 훨씬 빨리 상승할 수 있다는 것이 자명하다.

따라서, 만약 소스가 필름으로부터 비디오로 변환되면 필터의 출력은 그 변화를 비교적 빨리 반영할 수 있다. 반면에, 만약 소스가 비디오로부터 필름으로 변화하면 출력이 필름 모드를 표시하는 부의 값으로 전이하는 데에 더 긴 시값이 걸린다. 이러한 사실은 비디오가 3:2 풀다운을 갖는 필름으로서 거의 인코드되지 않도록 한다. 예컨대, 검출기가 현재 부의 값(필름 모드)을 포함하고 있으면, 그 다음 입력값 in(n)이 작은 정의 수 일 경우보다도 그 입력값이 큰 정의 수인 경우에 보다 빠르게 비디오 모드로 전환될 것이다. up_speed 및 down_speed의 예시적인 값은 각각 0.3 및 0.05이다.

IIR 필터의 출력은 임계치 검출기(40)에 인가된다. 이 검출기는 입력값이 소정값보다 더 클 때는 논리 1 값(비디오 모드용)을 출력하고, 입력값이 그 이상의 소정값보다 더 작을 때는 논리 0 값(3:2 풀다운을 갖는 필름 모드용)을 출력한다. 환언하면, 임계치 검출기에는 히스테리시스(hysteresis)가 구비된다. 입력이 히스테리시스 범위 내에서 하강하면, 출력은 일정하며, 신호에 이동이 조금밖에 없거나 아예 없을 때 출력이 모드들값에 전 후로 재빨리 이동하지 않도록 한다. 따라서, 검출기는 측정 가능한 양의 프레임값의 차이가 있을 때만 모드를 전환할 수 있다.

스틸 필름 장면(still film scene)이 스틸 비디오 장면으로 서서히 페이드(fade)된다면, 비디오가 필름으로서 인코드되는 것이 가능하다. 그러나, 이러한 사실은 수용할 수 있는데, 이는 필름으로서 비디오의 부적절한 인코딩 및 후속 디코딩에 의해 야기되는 유용하지 아니한 아치팩트(artifacts)는 화상의 이동 부분에서만 나타나기 때문이다. 따라서, 그러한 상황에서도 출력은 장면이 정적(still)으로 있는 한은 수용 가능하며 화상에서 무엇인가가 이동하는 즉시 곧 비디오 모드로 전환한다.

제3도는 본 발명의 제2 실시예를 도시하고 있다. 제2도의 소자와 동일한 참조 부호로 표시된 제3도의 소자는 유사하고 동일한 기능을 수행한다. 제3도에서, 감산기(20)에 의해 제공된 프레임 차이는 코어링 회로(22)를 경유하여 누산기(50)에 접속된다. 누산기(50)는 코어링된 차이의 크기를 누산하도록 조정되어 있다. 그러나, 누산기(50)도 역시 소정값에 도달한 후에 누산하는 일을 정지하도록 조정되어 있다. 이러한 방식으로, 누산기는 제한 기능을 수행한다. 이 제한 기능은 제2도의 5점 중앙값 필터(26)의 대용으로서 제공된다. 누산기는 15 비트 이진 신호에 의해 표시되는 2^{15} 값에 제한되도록 구성될 수 있다는 것이 실험적으로 밝혀졌다. 그러나, 이 15 비트 신호 중 5 개의 최상위 비트(MSB's)만이 추가 처리를 위해 전송된다.

누산기(50)로부터의 5 개의 MSB's에 의해 표시되는 표본값은 디지탈-아날로그 변환기(52)에서 표본형 데이타 아날로그 형태로 변환된다. 각 필드 구값에 걸친 차이합을 나타내는 이들 표본형 데이타 아날로그 값은 표본형 데이타 아날로그 시프트 레지스터(56)에 접속되는데, 이 시프트 레지스터는 필드 속도로 각 표본을 레지스터의 연속단(successive stage)으로 전송하도록 회로(54)를 클록킹함으로써 조절된다. 각 표본은 저항 뱅크(58)를 거쳐 레지스터(56)로부터 분기(tapped)되는데, 상기 저항 뱅크는 증폭기(60)와 함께 5 개의 연속 표본의 계속 부합(running negative sums)(S_i)을 생성한다. 이들 부합은 증폭기(60) 주변에 인가되는 피드백에 의해 1/5 계수로 축척된다. 아날로그 시프트 레지스터에 있는 각 표본은 제2의 저항 뱅크(62)에 의해 분기된다. 상기 분기된 값은 5 개의 합(S_k)을 생성하는 뱅크(62)의 각 저항과 증폭기(60)의 출력단 사이에 각각 접속된 제3 저항 뱅크(64)를 경유하여 축척된 부합(negative sums)($-S_i/5$)과 결합된다. 신호가 비디오 모드이면, 각 분기된 값은 어떤 공칭값과 같으며 증폭기의 출력은 이 공칭값에 근접한다. 따라서, 각각의 합(S_k)은 실질적으로 0과 같게 된다. 이와 달리, 소스 신호가 필름 모드이면 아날로그 시프트 레지스터 내의 5 개의 표본 중 1 개는 실질적으로 0과 같지만, 그 이외의 표본은 공칭값과 같다. 이 경우, 증폭기(60)의 출력은 공칭값의 약 4/5이다. 합(Sk) 중 4 개는 대략 공칭값의 1/5과 같으며, 제5의 합(중복된 3:2 풀다운 필드에 해당함)은 대략 공칭값의 -4/5와 같다. S_k의 5 개의 값은 최소값 검출기에 인가되는데, 이 최소값 검출기는 S_k의 5 개의 값으로 이루어진 각 연속 집합 중 최저값의 것을 출력한다. 그 후, 이 값은 임계치 검출기(68)에 인가된다. 임계치 검출기에 인가되는 값 Sk의 크기가 소정 임계치를 초파하면, 검출기(68)는 소스 신호가 필름으로부터 발생했다는 것을 나타내는 논리 1 값을 출력한다.

어떤 응용예에서는 소스 자료가 필름 모드라는 것을 알고 있어야 하며, 중복 필드인 특정 필드도 알고 있어야 한다. 이 특징은 아날로그 시프트 레지스터 내의 5 개의 표본에 대한 검사나 S_k의 5 개의 합을 검사함으로써 결정된다(70). S_k의 5개의 찹 중에서 하나(예를 들어, S_m)가 최소이고, 그 이외의 4 개의 합이 S_m의 4 배와 같은 소정같을 초과하면 S_m에 대응하는 표본은 이중 필드 또는 3:2 풀다운 위상을 표시한다.

(57) 청구의 범위

청구항 1.

비디오 신호의 소스와, 두 필드 구값에서 실질적으로 동일한 한 주기에 의해 지연된 비디오 신호를 제공하는 출력 연결을 하고 상기 소스에 입력 연결을 한 지연 수단과, 상기 지연된 비디오 신호와 상기 비디오 신호에 상응하는 영상 점값의 차를 표시하는 신호를 생성하기 위해 상기 지연 수단의 출력 연결과 상기 소스와 연결된 입력 터미널을 각각 가지는 신호차 표시의 생성 수단(signal differencing apparatus)과, 상기 각각의 필드 구값을 통해 누산한 차를 나타내는 신호를 발생하는 상기 상응 이미지 점들잔의 차를 나타내기 위한 신호를 수신하기 위해 연결된 누산기 (accumulator)와 , 상기 누산된 상기 차들의 평균값으로 나타내기 위한 신호를 발생하는 수단과, 상기 누산된 상기 차들을 나타내는 상기 신호에 응답하고 상기 5개의 연속 필드 구값들로부터 차를 가장 작게 누산된 값을 나타내는 신호를 발생하는 상관 회로(correlator)와, 결합된 신호를 산출하기 위해 상기 차를 가장 작게 누산된 값을 나타내는 상기 신호와 상기 평균값을 나타내는 신호를 결합하여 상기 평균값을 나타내는 신호를 발생하는 수단과 상기 상관 회로가 연결된 신호 조합 수단(signal combiner)과, 상기 소정 값보다 더 큰 것과 더 작은 것 각각을 결합하는 신호를 위한 제1 및 제2상태를 가지는 필름 및 비디오 검출 신호를 산출하기 위한 상기 신호 조합 수단과 연결된 임계치 검출기를 포함하는 것이 특징인 필름 및 비디오 검출기.

청구항 2.

제1항에 있어서, 상기 상관 회로는 다음의 수식에 따라 5 개의 필터 함수 H(z)를 생성하는 수단을 포함하는 것이 특징인 필름 및 비디오 검출기.

$$H1 = A + BZ^{-1} + CZ^{-2} + DZ^{-3} + EZ^{-4}$$

$$H2 = E + AZ^{-1} + BZ^{-2} + CZ^{-3} + DZ^{-4}$$

$$H3 = D + EZ^{-1} + AZ^{-2} + BZ^{-3} + CZ^{-4}$$

$$H4 = C + DZ^{-1} + EZ^{-2} + AZ^{-3} + BZ^{-4}$$

$$H5 = B + CZ^{-1} + DZ^{-2} + EZ^{-3} + AZ^{-4}$$

상기 각 식에서, 계수 A, B, C, D 및 E는 소정의 가중 계수이고, Z는 통상적인 지(Zee) 면환 변수이며, 이 변수와 관련된 윗첨자는 필드 주기 단위의 지연 구값을 나타낸다.

청구항 3.

제1항에 있어서, 상기 누산기와 상기 평균값을 나타내는 신호를 발생하는 수단 사이에 결합되어 인가된 신호 내에서 큰 편위를 제거하도록 배열한 중앙값 필터가 더 포함되는 것이 특징인 필름 및 비디오 검출기.

청구항 4.

제1항에 있어서, 상기 누산기는 각 필드 구값에 대해 소정의 누산 값에 도달한 후 누산을 정지하도록 조정되는 것이 특징인 필름 및 비디오 검출기.

청구항 5.

제3항에 있어서, 상기 신호차 표시의 생성 수단과 상기 누산기 사이에 결합된 코어링 회로를 더 포함하는 것이 특징인 필름 및 비디오 검출기.

청구항 6.

제2항에 있어서, 상기 상관 회로는 제2항 기재의 Hi의 최대값 및 최소값 중 하나를 검출하기 위한 수단을 더 포함하는 것이 특징인 필름 및 비디오 검출기.

청구항 7.

제6항에 있어서, 상기 상관 회로와 상기 신호 조합 수단 사이에 연결된 신호 가중 수단이 더 포함되는 것이 특징인 필름 및 비디오 검출기.

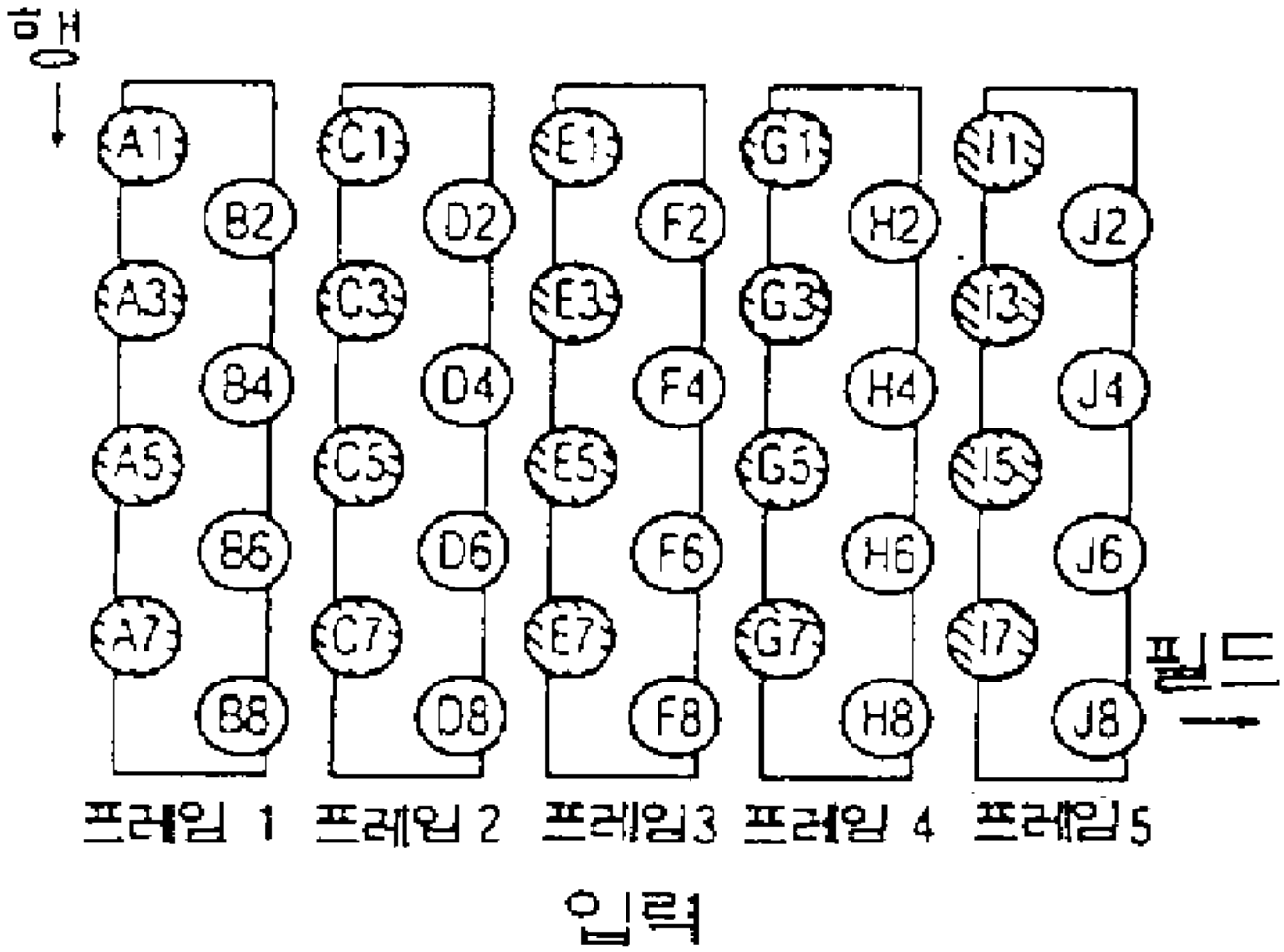
청구항 8.

제1항에 있어서, 상기 임계치는 정(正) 및 부(負) 전이에 비대칭 응답을 하는 필터를 경유하여 상기 조합기와 연결되는 것이 특징인 필름 및 비디오 검출기.

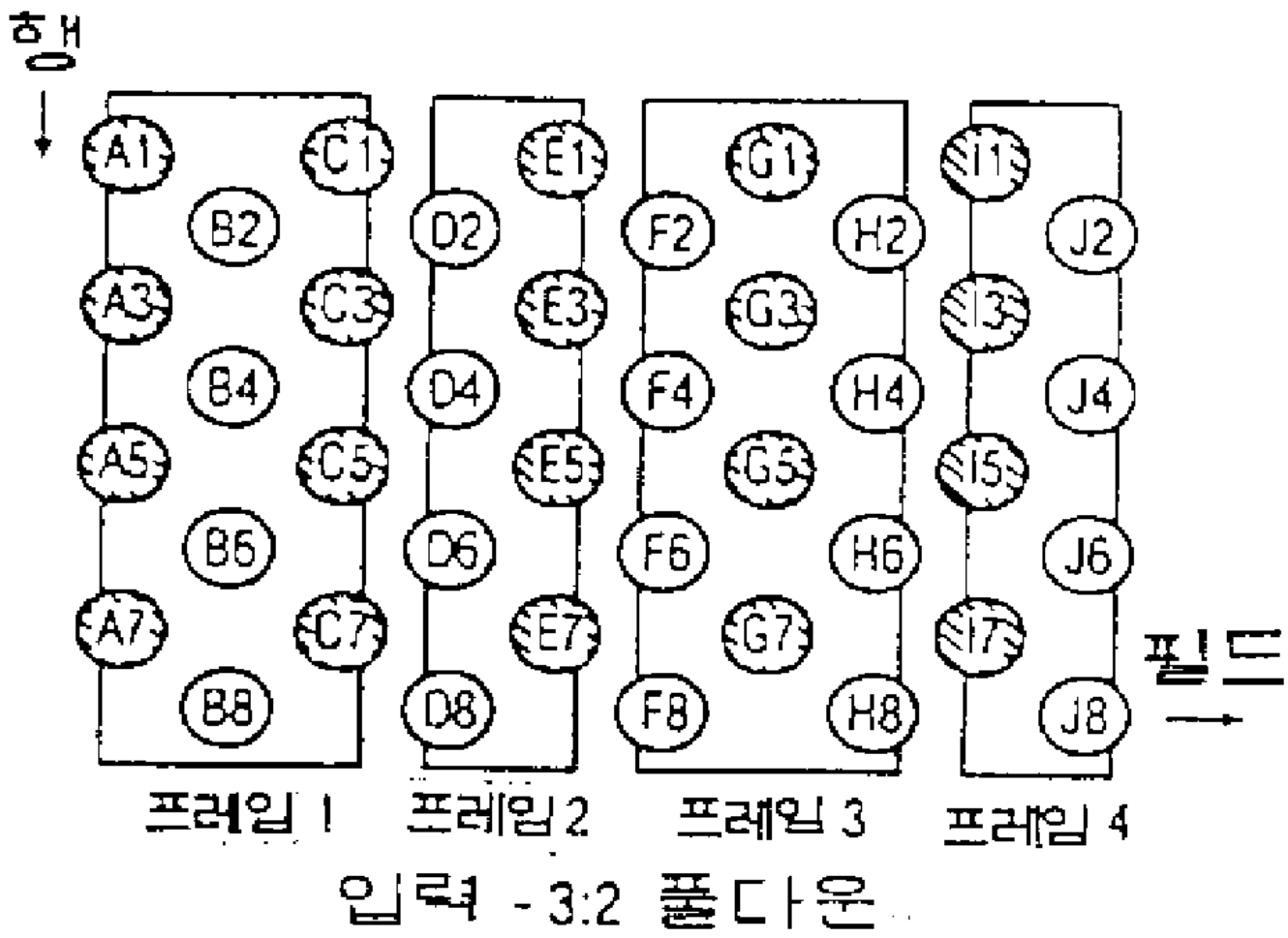
청구항 9.

제1항에 있어서, 상기 신호차 표시의 생성 수단과 상기 누산기 사이에 결합된 코어링 회로가 더 포함되는 것이 특징인 필름 및 비디오 검출기.

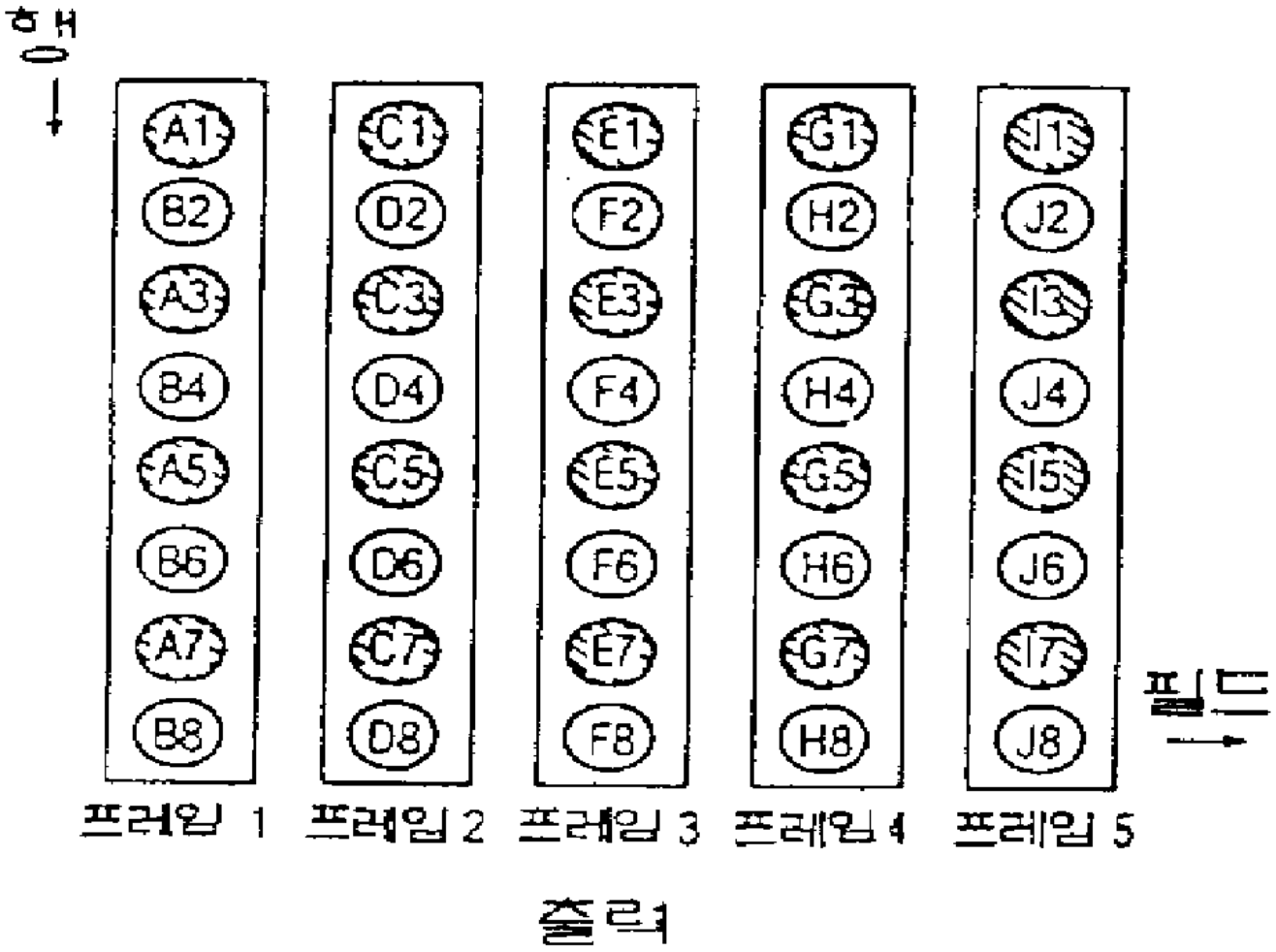
도면 1a



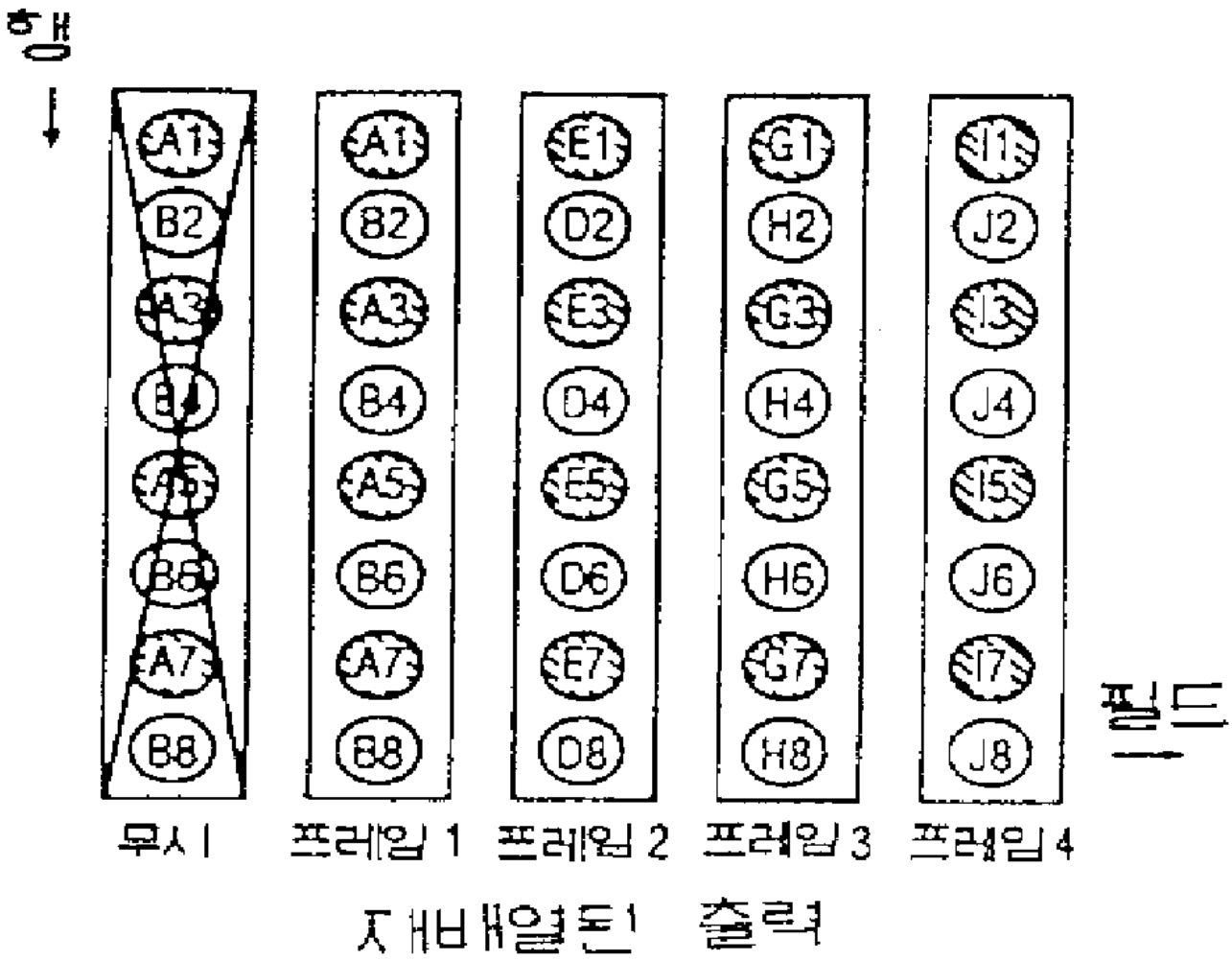
도면 1b


행
A1
C1
B2
A3
C3
B4
A5
C5
B6
A7
C7
B8
E1
D2
E3
D4
E5
D6
E7
D8
G1
F2
H2
G3
F4
H4
G5
F6
H6
G7
F8
H8
I1
J2
I3
J4
I5
J6
I7
J8
필드
프레임 1
프레임 2
프레임 3
프레임 4
입력 - 3:2 풀다운

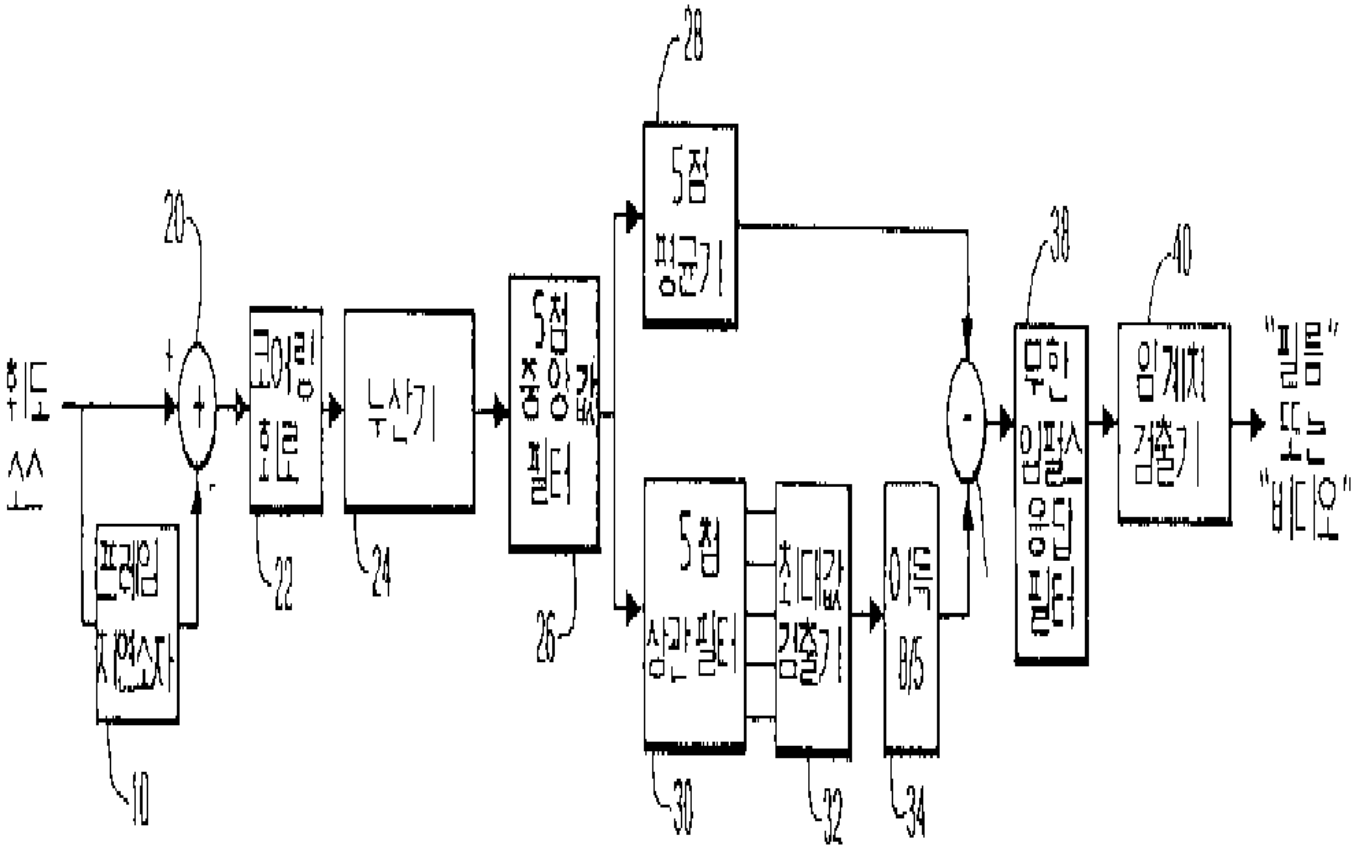
도면 1c


행
A1
B2
A3
B4
A5
B6
A7
B8
C1
D2
C3
D4
C5
D6
C7
D8
E1
F2
E3
F4
E5
F6
E7
F8
G1
H2
G3
H4
G5
H6
G7
H8
I1
J2
I3
J4
I5
J6
I7
J8
필드
프레임 1
프레임 2
프레임 3
프레임 4
프레임 5
출력

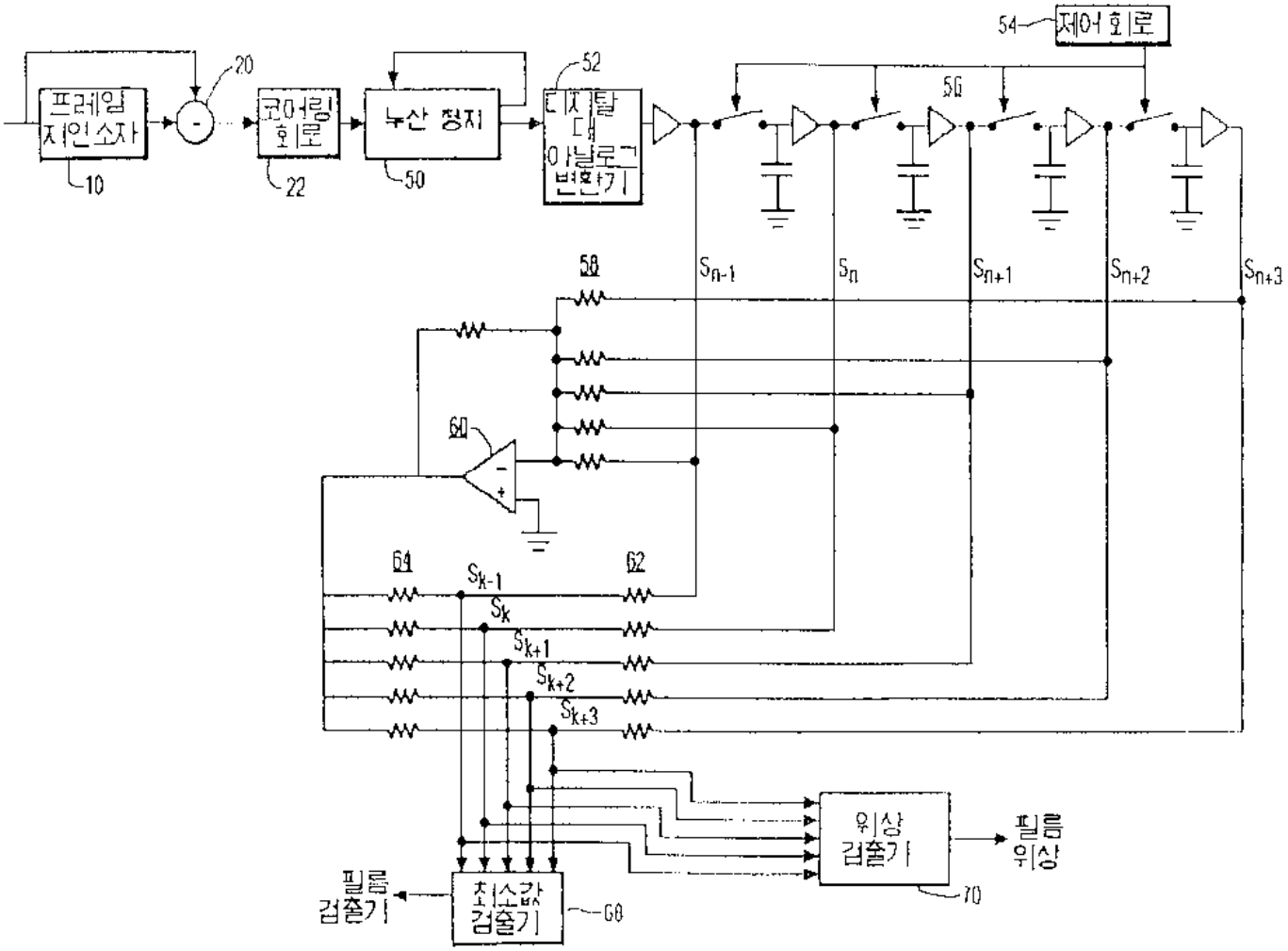
도면 1d


행
A1
B2
A3
B4
A5
B6
A7
B8
A1
B2
A3
B4
A5
B6
A7
B8
E1
D2
E3
D4
E5
D6
E7
D8
G1
H2
G3
H4
G5
H6
G7
H8
I1
J2
I3
J4
I5
J6
I7
J8
필드
무시
프레임 1
프레임 2
프레임 3
프레임 4
지시된 열들 출력

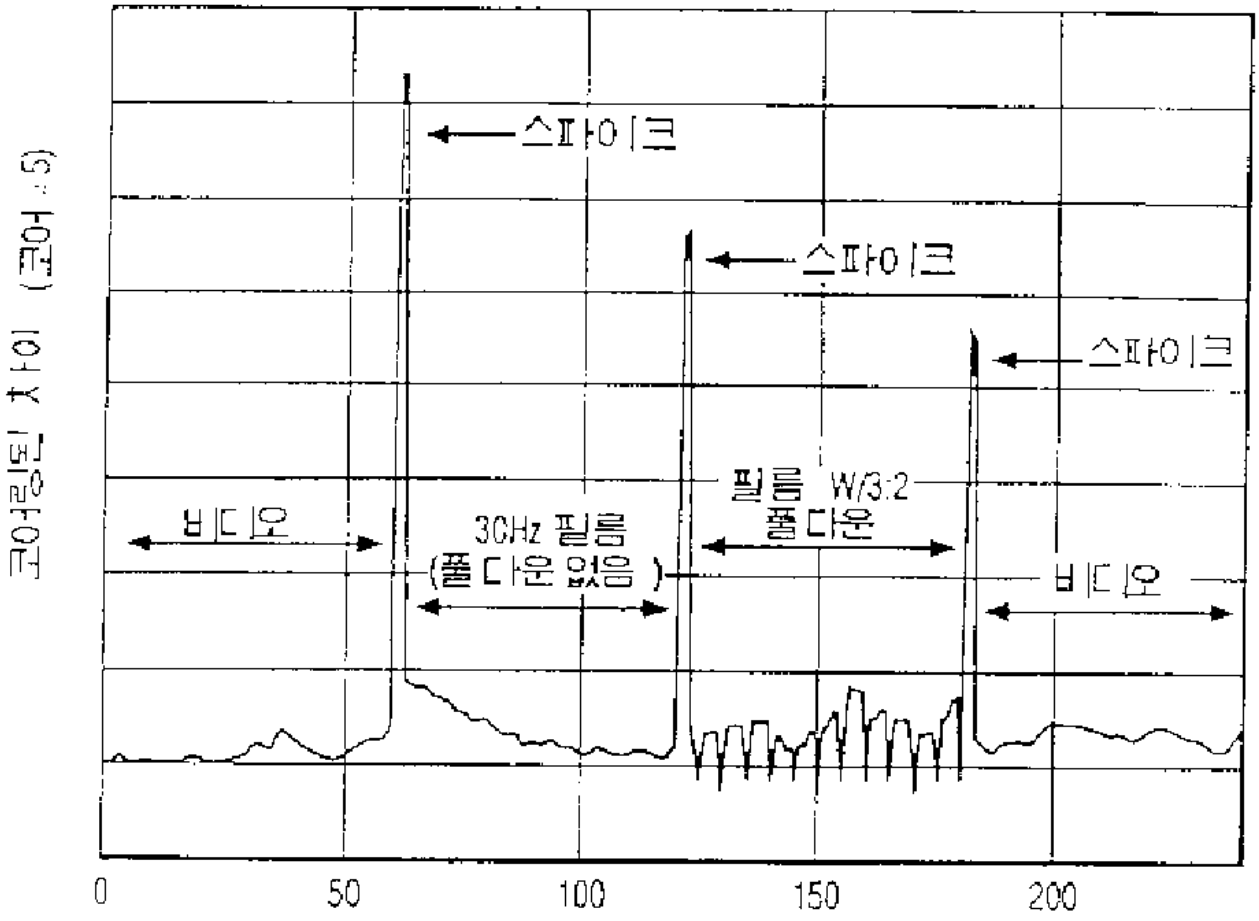
도면 2


휘도 소스
프레임 지연소자
10
20
+
-
코어링 회로
22
누산기
24
5점 중앙값 필터
26
5점 평균기
28
5점 상관필터
30
최대값 검출기
32
이득 8/5
34
무한 임펄스 응답 필터
38
임계치 검출기
40
"필름" 또는 "비디오"

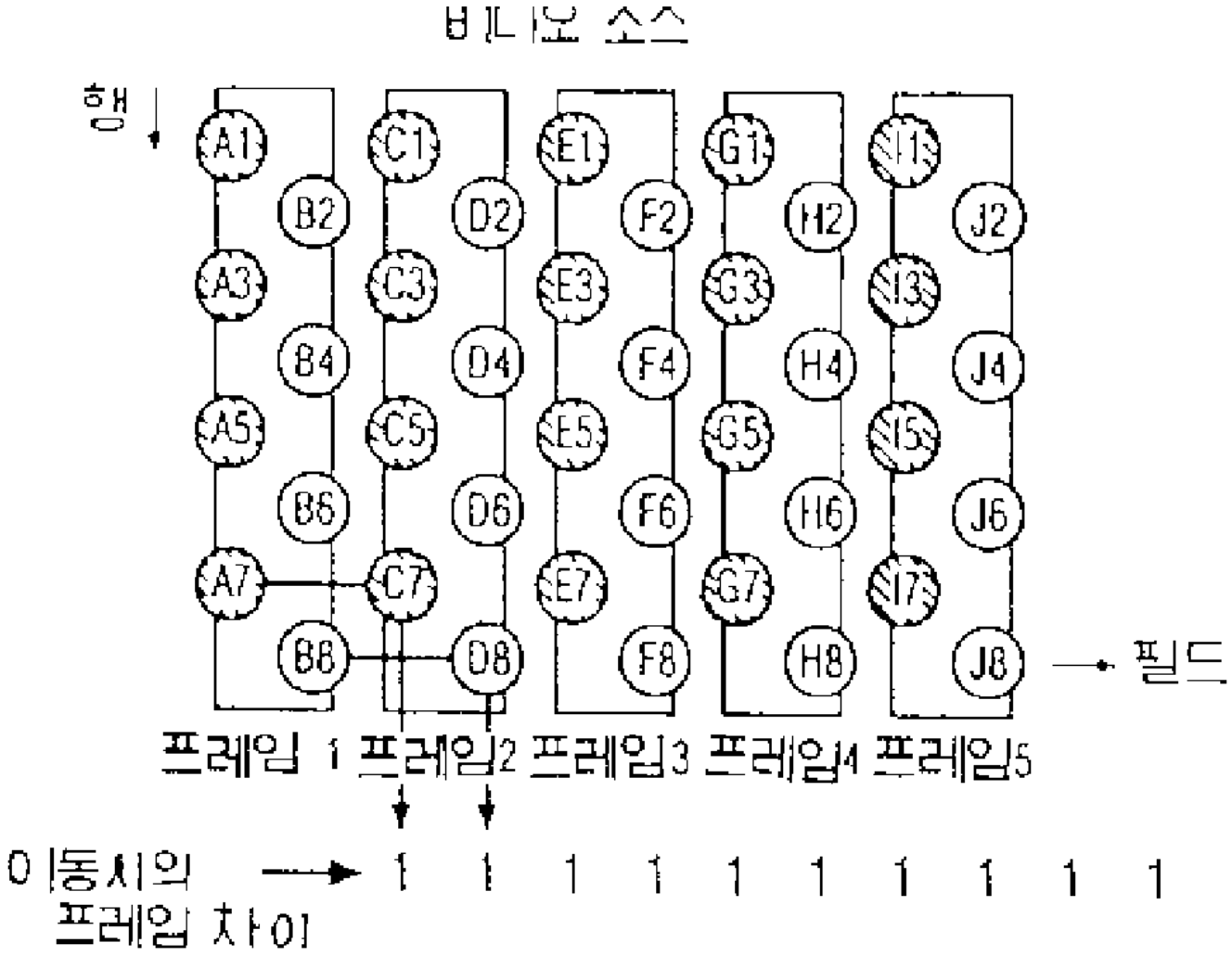
도면 3


54
제어 회로
프레임 지연소자
10
20
코어링 회로
22
누산 정지
50
52
디지털 대 아날로그 변환기
56
58
60
64
62
S_{n-1}
S_n
S_{n+1}
S_{n+2}
S_{n+3}
S_{k-1}
S_k
S_{k+1}
S_{k+2}
S_{k+3}
위상 검출기
70
필름 위상
필름 검출기
최소값 검출기
68

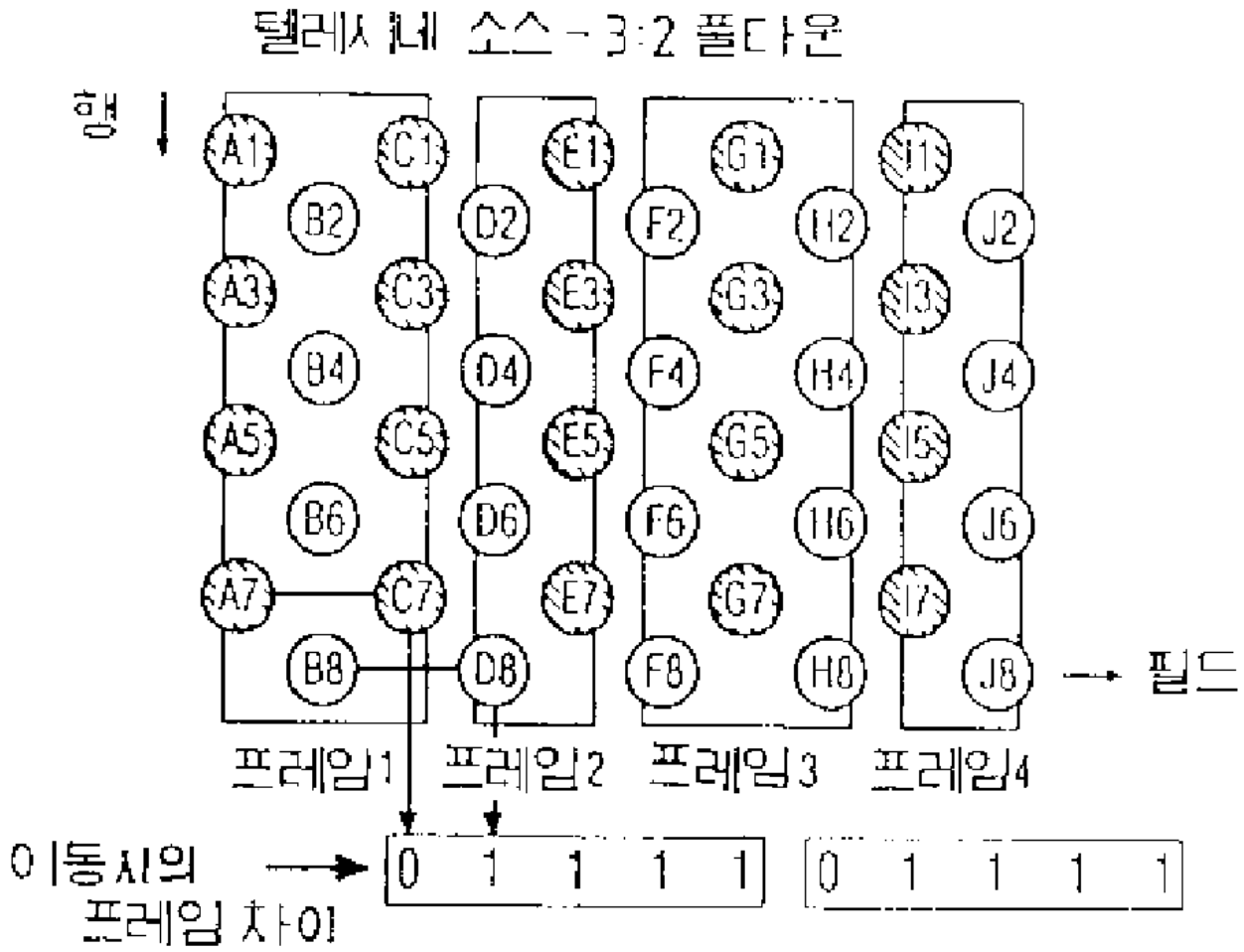
도면 4



도면 5a


비디오 소스
행
A1
B2
A3
B4
A5
B6
A7
B8
C1
D2
C3
D4
C5
D6
C7
D8
E1
F2
E3
F4
E5
F6
E7
F8
G1
H2
G3
H4
G5
H6
G7
H8
I1
J2
I3
J4
I5
J6
I7
J8
필드
프레임 1
프레임2
프레임3
프레임4
프레임5
이동시의 프레임 차이
1 1 1 1 1 1 1 1 1 1

도면 5b


텔레시네 소스 - 3:2 풀다운
행
A1
C1
E1
G1
I1
B2
D2
F2
H2
J2
A3
C3
E3
G3
I3
B4
D4
F4
H4
J4
A5
C5
E5
G5
I5
B6
D6
F6
H6
J6
A7
C7
E7
G7
I7
B8
D8
F8
H8
J8
필드
프레임1
프레임2
프레임3
프레임4
이동시의
프레임 차이
0 1 1 1 1
0 1 1 1 1