



(12)发明专利

(10)授权公告号 CN 102768957 B

(45)授权公告日 2016.09.14

(21)申请号 201110116545.5

(56)对比文件

(22)申请日 2011.05.06

CN 102034831 A, 2011.04.27,

(65)同一申请的已公布的文献号

US 2009/0020764 A1, 2009.01.22,

申请公布号 CN 102768957 A

CN 1893079 A, 2007.01.10,

(43)申请公布日 2012.11.07

US 2005/0199920 A1, 2005.09.15,

(73)专利权人 中国科学院微电子研究所

US 6252284 B1, 2001.06.26,

地址 100029 北京市朝阳区北土城西路3号

审查员 梁庆然

(72)发明人 梁擎擎 钟汇才 朱慧玲

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 遂长明 王宝筠

(51)Int.Cl.

H01L 21/336(2006.01)

权利要求书2页 说明书6页 附图20页

H01L 29/78(2006.01)

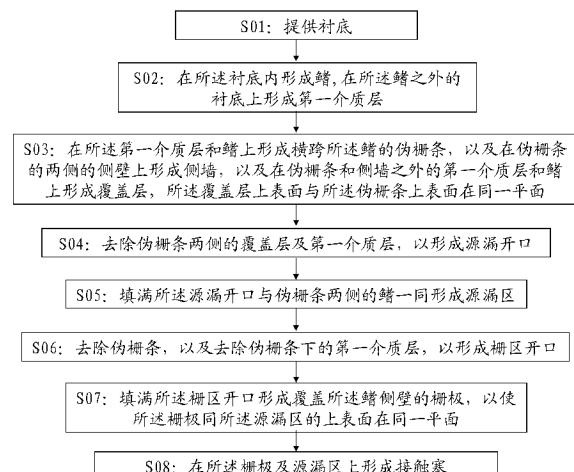
H01L 29/08(2006.01)

(54)发明名称

鳍式场效应晶体管及其制造方法

(57)摘要

本发明实施例公开了一种鳍式晶体管的制造方法，在形成鳍后，通过鳍上形成横跨所述鳍的伪栅条、伪栅条的两侧的侧壁上形成的侧墙以及在伪栅条和侧墙之外的第一介质层和鳍上形成的覆盖层，通过侧墙自对准地在伪栅极两旁形成提升的源漏区，且栅极同所述源漏区的上表面在同一平面上。由于栅极和源漏区上表面在一个平面上，形成接触塞时更容易对准，而且栅极和源漏区由侧墙隔离开，使对准更精确，解决接触塞对准不精确的问题，提高器件的AC性能。



1. 一种鳍式场效应晶体管的制造方法, 其特征在于, 包括:

提供衬底;

在所述衬底内形成鳍, 以及在所述鳍之外的衬底上形成第一介质层;

在所述第一介质层和鳍上形成横跨所述鳍的伪栅条, 以及在伪栅条的两侧的侧壁上形成侧墙, 以及在伪栅条和侧墙之外的第一介质层和鳍上形成覆盖层, 所述覆盖层上表面与所述伪栅条上表面在同一平面;

去除伪栅条两侧的覆盖层及第一介质层, 以形成源漏开口, 所述源漏开口暴露伪栅条两侧的鳍;

填满所述源漏开口与伪栅条两侧的鳍一同形成源漏区;

去除伪栅条, 以及去除伪栅条下的第一介质层, 以形成栅区开口, 所述栅区开口暴露伪栅条下的鳍;

填满所述栅区开口形成覆盖所述鳍的栅极, 以使所述栅极同所述源漏区的上表面在同一平面;

在所述栅极及源漏区上形成接触塞。

2. 根据权利要求1所述的方法, 其特征在于, 在形成栅极之后, 形成接触塞之前, 还包括步骤: 去除部分栅极以及部分源漏区, 并填充形成栅隔离区以及源漏隔离区。

3. 根据权利要求2所述的方法, 其特征在于, 在沿鳍的方向上, 所述栅极的边沿与所述源漏区的边沿不在一条直线上。

4. 根据权利要求1所述的方法, 其特征在于, 形成源漏区的步骤为: 通过外延生长的方法, 填满所述源漏区开口与伪栅条两侧的鳍一同形成源漏区。

5. 根据权利要求1-4中任一项所述的方法, 其特征在于, 所述覆盖层包括第二介质层和其上的第三介质层。

6. 根据权利要求5所述的方法, 其特征在于, 所述第三介质层、第二介质层及侧墙采用互不相同的介质材料。

7. 根据权利要求1-4中任一项所述的方法, 其特征在于, 在形成鳍时, 还包括步骤: 在鳍上形成帽层; 之后的步骤为:

在所述第一介质层和帽层上形成横跨所述鳍的伪栅条, 以及在伪栅条的两侧的侧壁上形成侧墙, 以及在伪栅条和侧墙之外的第一介质层和帽层上形成覆盖层, 所述覆盖层上表面与所述伪栅条上表面在同一平面;

去除伪栅条两侧的第一介质层、覆盖层及帽层, 以形成源漏开口。

8. 根据权利要求1-4中任一项所述的方法, 其特征在于, 所述第一介质层的上表面与鳍的上表面齐平。

9. 一种鳍式场效应晶体管, 包括:

衬底;

衬底上的鳍, 所述鳍具有相对的第一端和第二端, 以及相对的第三端和第四端;

覆盖所述鳍第一端、第二端表面以及上表面的栅极;

位于所述鳍第三端和第四端两侧的源漏区, 其中源漏区和栅极的上表面在同一平面;

在所述鳍上表面之上的栅极同源漏区之间的侧墙;

栅极及源漏区上的接触塞;

所述源漏区为填满的源漏开口与伪栅条两侧的鳍一同形成的；所述栅极为填满栅区开口形成的；所述源漏开口为去除伪栅条两侧的覆盖层及第一介质层形成的；所述伪栅条为在所述第一介质层和鳍上形成的，并且横跨所述鳍；所述栅区开口为去除伪栅条，以及去除伪栅条下的第一介质层形成的。

10. 根据权利要求9所述的晶体管，其特征在于，还包括：相邻源漏区之间的源漏隔离区，以及相邻栅极之间的栅隔离区。

11. 根据权利要求9或10所述的晶体管，其特征在于，沿鳍第三端与第四端连线的方向上，所述栅极的边沿与所述源漏区的边沿不在一条直线上。

## 鳍式场效应晶体管及其制造方法

### 技术领域

[0001] 本发明涉及半导体制造技术,更具体地说,涉及一种鳍式场效应晶体管及其制造方法。

### 背景技术

[0002] 随着半导体器件的高度集成,MOSFET沟道长度不断缩短,一系列在MOSFET长沟道模型中可以忽略的效应变得愈发显著,甚至成为影响器件性能的主导因素,这种现象统称为短沟道效应。短沟道效应会恶化器件的电学性能,如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。

[0003] 为了控制短沟道效应,对传统晶体管器件的某些方面采取了一些改进,例如,一方面,向沟道中掺杂更多的磷、硼等杂质元素,但此举易导致器件沟道中载流子迁移率下降;另一方面,增强沟道的应力,但传统的SiGe PMOS应变硅技术也开始面临瓶颈,很难再为沟道提供更强的应变;再一方面,减薄栅极氧化物介质的厚度,但栅极氧化物介质的厚度方面也将出现发展瓶颈问题,栅极氧化物厚度减薄的速度已经很难再跟上栅极宽度缩小的步伐,栅介质漏电越来越大。随着沟道尺寸的不断缩短,这些改进都不能解决愈发显著的短沟道效应。

[0004] 目前,为了解决短沟道效应的问题,提出了鳍式场效应晶体管(Fin-FET)的立体器件结构,Fin-FET是具有鳍型沟道结构的晶体管,它利用薄鳍的几个表面作为沟道,从而可以防止传统晶体管中的短沟道效应,同时可以增大工作电流。

[0005] 参考图1,图1为当前提出的Fin-FET的结构示意图,包括:鳍100,鳍上及侧面的栅极102,以及鳍两端的源漏区104。通常地,是在形成鳍100和栅极102以后,在鳍的两端形成源漏区104,而后在栅极102和源区104和漏区106上形成接触塞,来形成这种Fin-FET器件。

[0006] 然而,上述形成Fin-FET器件方法的问题在于,形成接触塞时,由接触塞向栅极、源区和漏区进行对准,随着集成度的不断提高,栅极之间的尺寸不断减小,接触塞的对准会越来越困难,会容易出现对准不精确的问题,例如,会出现源区、漏区的接触塞部分接触到栅极或者栅极的接触塞部分接触到源区、漏区的情况,这样会直接导致器件短路,或者,即使实现源漏接触塞与栅极隔离,由于两者之间将形成较大的寄生叠加电容,这些都会降低器件的AC性能和器件速度。

### 发明内容

[0007] 本发明实施例提供了一种鳍式场效应晶体管及其制造方法,解决接触塞对准不精确的问题,提高器件的AC性能。

[0008] 为实现上述目的,本发明实施例提供了如下技术方案:

[0009] 一种鳍式场效应晶体管的制造方法,包括:

[0010] 提供衬底;

[0011] 在所述衬底内形成鳍,以及在所述鳍之外的衬底上形成第一介质层;

- [0012] 在所述第一介质层和鳍上形成横跨所述鳍的伪栅条,以及在伪栅条的两侧的侧壁上形成侧墙,以及在伪栅条和侧墙之外的第一介质层和鳍上形成覆盖层,所述覆盖层上表面与所述伪栅条上表面在同一平面;
- [0013] 去除伪栅条两侧的覆盖层及第一介质层,以形成源漏开口,所述源漏开口暴露伪栅条两侧的鳍;
- [0014] 填满所述源漏开口与伪栅条两侧的鳍一同形成源漏区;
- [0015] 去除伪栅条,以及去除伪栅条下的第一介质层,以形成栅区开口,所述栅区开口暴露伪栅条下的鳍;
- [0016] 填满所述栅区开口形成覆盖所述鳍的栅极,以使所述栅极同所述源漏区的上表面在同一平面;
- [0017] 在所述栅极及源漏区上形成接触塞。
- [0018] 可选地,在形成栅极之后,形成接触塞之前,还包括步骤:去除部分栅极以及部分源漏区,并填充形成栅隔离区以及源漏隔离区。
- [0019] 可选地,在沿鳍的方向上,所述栅极的边沿与所述源漏区的边沿不在一条直线上。
- [0020] 可选地,形成源漏区的步骤为:通过外延生长的方法,填满所述源漏区开口与伪栅条两侧的鳍一同形成源漏区。
- [0021] 可选地,所述覆盖层包括第二介质层和其上的第三介质层。
- [0022] 可选地,所述第三介质层、第二介质层及侧墙采用互不相同的介质材料。
- [0023] 可选地,在形成鳍时,还包括步骤:在鳍上形成帽层;之后的步骤为:在所述第一介质层和帽层上形成横跨所述鳍的伪栅条,以及在伪栅条的两侧的侧壁上形成侧墙,以及在伪栅条和侧墙之外的第一介质层和帽层上形成覆盖层,所述覆盖层上表面与所述伪栅条上表面在同一平面;去除伪栅条两侧的第一介质层、覆盖层及帽层,以形成源漏开口。
- [0024] 可选地,所述第一介质层的上表面与鳍的上表面齐平。
- [0025] 此外,本发明还提供了根据上述制造方法形成的鳍式场效应晶体管,包括:
- [0026] 衬底;
- [0027] 衬底上的鳍,所述鳍具有相对的第一端和第二端,以及相对的第三端和第四端;
- [0028] 覆盖所述鳍第一端、第二端表面以及上表面的栅极;
- [0029] 位于所述鳍第三端和第四端两侧的源漏区,其中源漏区和栅极的上表面在同一平面;
- [0030] 在所述鳍上表面之上的栅极同源漏区之间的侧墙;
- [0031] 栅极及源漏区上的接触塞。
- [0032] 可选地,还包括:相邻源漏区之间的源漏隔离区,以及相邻栅极之间的栅隔离区。
- [0033] 可选地,沿鳍第三端与第四端连线的方向上,所述栅极的边沿与所述源漏区的边沿不在一条直线上。
- [0034] 与现有技术相比,上述技术方案具有以下优点:
- [0035] 本发明实施例的鳍式场效应晶体管及其制造方法,在形成鳍后,在鳍上形成横跨鳍的伪栅条及伪栅条的侧墙,在伪栅条和侧墙的掩膜及隔离作用下,在侧墙内、外分别形成等高的栅极和源漏区,由于栅极和源漏区上表面在一个平面上,形成接触塞时更容易对准,而且栅极和源漏区由侧墙隔离开,使对准更精确,解决接触塞对准不精确的问题,提高器件

的AC性能。

## 附图说明

[0036] 通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

[0037] 图1为现有技术中鳍式场效应晶体管的结构示意图;

[0038] 图2为本发明实施例的鳍式场效应晶体管制造方法的流程图;

[0039] 图3-图31为本发明实施例公开的鳍式场效应晶体管制造方法的剖面图,其中包括俯视图以及俯视图的AA'向视图、BB'向视图和CC'向视图。

## 具体实施方式

[0040] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0041] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其他不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0042] 其次,本发明结合示意图进行详细描述,在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0043] 为了解决鳍式场效应晶体管制造中接触塞对准不精确的问题,本发明提供了一种鳍式场效应晶体管的制造方法,参考图2,图2示出了本发明鳍式场效应晶体管制造方法的流程图,以下结合图3-图31对本发明的制造方法进行详细说明,实施例中列举的方法为优选方案,是为了更好的说明和理解本发明,而不是限制本发明。

[0044] 在步骤S01,提供衬底200。

[0045] 如图3所示,在本实施例中,所述衬底为SOI衬底200,SOI衬底200包括背衬底200a、埋氧层200b和顶层硅200c。在其他实施例中,所述衬底还可以为包括半导体层和绝缘层的衬底结构。

[0046] 在步骤S02,在所述衬底200内形成鳍202,以及在所述鳍202之外的衬底上形成第一介质层206,参考图4(俯视图)和图5(图4的AA'向视图)。

[0047] 具体地,首先,可以在顶层硅200c上形成帽层204,而后图形化所述帽层204,并以帽层204为硬掩膜,利用刻蚀技术,例如RIE(反应离子刻蚀)的方法,刻蚀顶层硅200c,从而在顶层硅200c内形成鳍202,可选地,可以进一步去除帽层204,或者保留帽层204,以保护鳍在后续工艺中不受其他工艺的影响。而后,淀积介质材料,例如SiO<sub>2</sub>,并进行平坦化,例如CMP(化学机械研磨),从而在所述鳍202之外的衬底200b上形成第一介质层206,所述第一介质层的上表面与鳍的上表面齐平。

[0048] 在步骤S03,在所述第一介质层206和鳍202上形成横跨所述鳍202的伪栅条208,以及在伪栅条208的两侧的侧壁上形成侧墙210,以及在伪栅条208和侧墙210之外的第一介质层206和鳍202上形成覆盖层212、214,所述覆盖层212、214上表面与所述伪栅条208上表面

在同一平面,参考图6(俯视图)、图7(图6的AA'向视图)、图8(图6的BB'向视图)。

[0049] 具体地,首先,在上述器件上淀积伪栅条,例如多晶硅,并进行图案化,形成横跨所述鳍202的伪栅条208,而后,淀积侧墙,例如Si<sub>3</sub>N<sub>4</sub>,通过刻蚀在伪栅条208的侧壁上形成侧墙210。所述伪栅条208和侧墙210可以作为后续工艺中的掩膜图案层,以及便于后续工艺自对准形成源漏区及栅极。

[0050] 而后,形成覆盖层,所述覆盖层可以为一层或多层结构,在本实施例中,优选覆盖层为包括第二介质层和第三介质层的两层结构,优选地,所述第三介质层、第二介质层及侧墙采用互不相同的介质材料,方便于后续工艺自对准形成源漏区及栅极,简化工艺。在本实施例中,可以通过淀积第二介质层,例如SiO<sub>2</sub>,以及第三介质层,例如高k介质材料(如HfO<sub>2</sub>),而后,进行平坦化,例如CMP(化学机械研磨)的方法,以伪栅条208为停止层。

[0051] 从而,在去除帽层的实施例中,在伪栅条208和侧墙210之外的第一介质层206和鳍202上形成覆盖层212、214,或者,在未去除帽层的实施例中,在所述第一介质206层和帽层204上形成横跨所述鳍的伪栅条208,以及在伪栅条208的两侧的侧壁上形成侧墙210,以及在伪栅条208和侧墙210之外的第一介质层206和帽层204上形成覆盖层212、214,所述覆盖层212、214上表面与所述伪栅条208上表面在同一平面。

[0052] 在步骤S04,去除伪栅条208两侧的覆盖层212、214及第一介质层206,以形成源漏开口216,所述源漏开口216暴露伪栅条208两侧的鳍202,参考图9(俯视图)、图10(图9的AA'向视图)、图11(图9的BB'向视图)和图12(图9的CC'向视图)。

[0053] 可以利用刻蚀技术,例如RIE的方法,去除伪栅条208两侧的覆盖层212、214及第一介质层206,并停止在鳍202上,充分暴露伪栅条208两侧的鳍202,从而形成源漏开口216。

[0054] 在未去除帽层204的实施例中,可以进一步的去除伪栅条208两侧的鳍202上的帽层204,以充分暴露伪栅条208两侧的鳍202。

[0055] 在步骤S05,填满所述源漏开口216与伪栅条208两侧的鳍202一同形成源漏区218,参考图13(俯视图)、图14(图13的AA'向视图)、图15(图13的BB'向视图)和图16(图13的CC'向视图)。

[0056] 本实施例中,可以通过外延生长(epi)的方法,在伪栅条208两侧的鳍202上外延生长外延层来填满所述源漏开口216,例如,对于NFET为SiC,对于PFET为SiGe,并进行CMP,以伪栅条208为停止层,该外延层同伪栅条208两侧的鳍202一同形成源漏区218,在本实施例中,由于外延层会向伪栅条208两侧的鳍202扩散,使伪栅条208两侧的鳍202部分或全部转变为外延层的材料(图示为全部转变为外延层材料)。在其他实施例中,还可以采用其他合适的方法形成该源漏区218。

[0057] 在步骤S06,去除伪栅条208,以及去除伪栅条208下的第一介质层206,以形成栅区开口220,所述栅区开口220暴露伪栅条208下的鳍202,参考图17(俯视图)、图18(图17的AA'向视图)、图19(图17的BB'向视图)和图20(图17的CC'向视图)。

[0058] 通过湿法或干法刻蚀技术,去除伪栅条208,以及进一步去除伪栅条208下的第一介质层206,充分暴露伪栅条208下面的鳍202或帽层204,形成栅区开口220。

[0059] 在步骤S07,填满所述栅区开口220形成覆盖所述鳍202的栅极,以使所述栅极同所述源漏区218的上表面在同一平面,参考图21(俯视图)、图22(图21的AA'向视图)和图23(图21的BB'向视图),其中栅极包括栅介质层222和栅电极224、226。

[0060] 具体地,可以首先形成覆盖所述栅区开口220中的鳍202的栅介质层222,所述栅介质层222可以为一层或多层结构,一层结构的一些实施例中,栅介质层222可以为高k介质材料(例如,和氧化硅相比,具有高介电常数的材料)或其他栅介质材料,多层结构的一些实施例中,栅介质层222可以包括界面层和高k介质材料,所述界面层可以为氧化硅、氮化硅、氮氧化硅或其他材料,高k介质材料例如铪基氧化物,HfO<sub>2</sub>、HfSiO、HfSiON、HfTaO、HfTiO等,此处仅为示例,本发明不限于此。

[0061] 而后在栅介质层222上形成栅电极,所述栅电极可以为一层或多层结构,栅电极可以包括金属栅电极或多晶硅,例如可以包括:Ti、TiAl<sub>x</sub>、TiN、TaN<sub>x</sub>、HfN、TiC<sub>x</sub>、TaC<sub>x</sub>、HfC<sub>x</sub>、Ru、TaN<sub>x</sub>、TiAlN、WCN、MoAlN、RuO<sub>x</sub>、多晶硅或其他合适的材料,或他们的组合。在本实施例中,所述栅电极为两层结构,包括金属栅224和多晶硅层226,可以通过淀积金属栅,例如NFET为TiN,PFET为TiC<sub>x</sub>,而后通过刻蚀,仅在鳍202的侧壁的栅介质层222上形成金属栅224,而后填充多晶硅,并进行CMP,从而在栅区开口220中形成覆盖所述鳍202的栅极,其中栅极包括栅介质层222、金属栅224和多晶硅层226,所述栅极同源漏区218的上表面在同一平面。

[0062] 至此,形成了多个栅极、源漏区相连接的鳍式场效应晶体管器件,而后,根据需要,可选地,可以进一步形成隔离区,将其分隔成绝缘的多个器件。如图24(俯视图)、图25(图24的AA'向视图)、图26(图24的BB'向视图)和图27(图24的CC'向视图)所示,首先刻蚀去除鳍202之间的部分栅极以及部分源漏区218,形成栅隔离开口230和源漏隔离开口228,可选地,形成栅隔离开口230时,可以仅去除栅电极224、226,而不去除栅介质层222,以简化工艺,优选地,栅隔离开口230和源漏隔离开口228去除的部分可以不对准,即开口的边缘不在一条直线上,从而,所述栅极226的边沿与所述源漏区218的边沿不在一条直线上,这样在后续形成接触时,更利于栅极、源漏区的接触分别对准到栅极、源漏区。而后,填充栅隔离开口230和源漏隔离开口228形成栅隔离区234以及源漏隔离区232,参考图28(俯视图)、图29(图28的AA'向视图)、图30(图28的BB'向视图)和图31(图28的CC'向视图)。

[0063] 在步骤S08,在所述栅极及源漏区218上形成接触塞238,参考图28(俯视图)、图29(图28的AA'向视图)、图30(图28的BB'向视图)和图31(图28的CC'向视图)。

[0064] 具体地,在本实施例中,可以通过,首先淀积第四介质层236,优选地,该介质层236可以同上述填充栅隔离开口230和源漏隔离开口228的步骤一起进行,并进行平坦化,同时形成栅隔离区234、源漏隔离区232以及第四介质层236。

[0065] 而后,刻蚀所述第四介质层236在栅极和源漏区218上形成接触孔,而后,填充金属材料,例如W等,从而形成接触塞238。而由于栅极和源漏区218在一个平面上,相比较栅极和源漏区不等高鳍式器件,更容易对准,并且栅极和源漏区之间由侧墙210隔开,更易对准。

[0066] 以上对本发明的鳍式场效应晶体管的制造方法进行了详细的描述,以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制。

[0067] 同时,本发明还提出了根据上述方法形成的鳍式场效应晶体管结构,参考图28-31,所述结构包括:

[0068] 衬底200a、200b;

[0069] 衬底上的鳍202,所述鳍202具有相对的第一端202-1和第二端202-2,以及相对的第三端202-3和第四端202-4;

[0070] 覆盖所述鳍第一端202-1、第二端202-2表面以及上表面202-5的栅极;

[0071] 位于所述鳍第三端202-3和第四端202-4两侧的源漏区218，其中源漏区218和栅极的上表面在同一平面；

[0072] 位于所述鳍上表面202-5之上的栅极同源漏区218之间的侧墙210；

[0073] 栅极及源漏区218上的接触塞238。

[0074] 在本实施例中，所述衬底包括多晶硅层200a和其上的绝缘层200b，所述衬底还可以是其他结构。

[0075] 在本实施例中，所述栅极包括栅介质层222、金属栅224和多晶硅层226，所述栅极还可以是其他结构。

[0076] 此外，所述晶体管还可以包括：相邻源漏区218之间的源漏隔离区232，以及相邻栅极之间的栅隔离区234。

[0077] 此外，优选地，沿鳍第三端202-3与第四端202-4连线的方向上，所述栅极的边沿与所述源漏区218的边沿不在一条直线上。

[0078] 虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

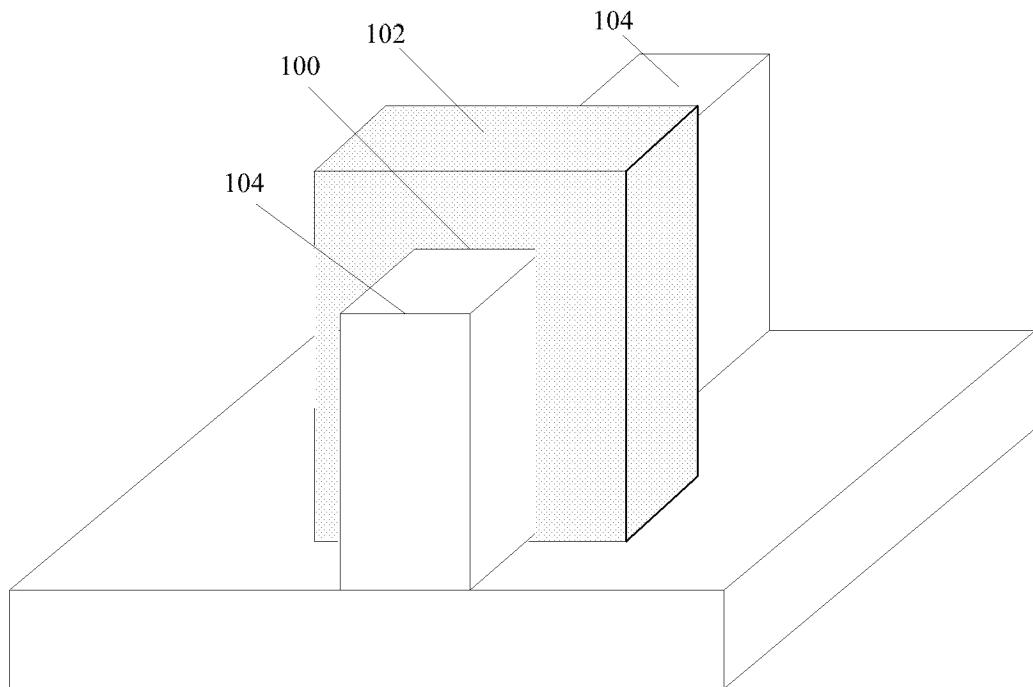


图1

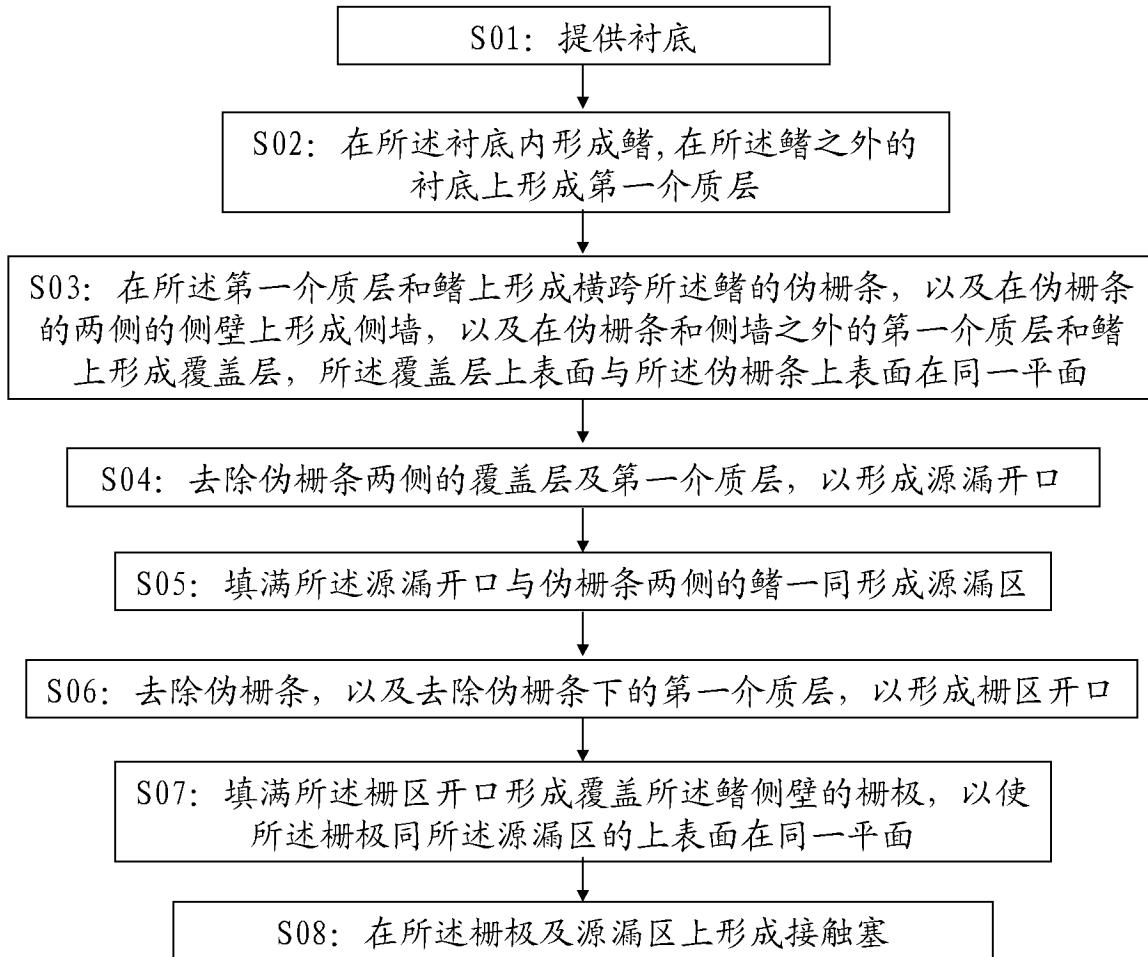


图2

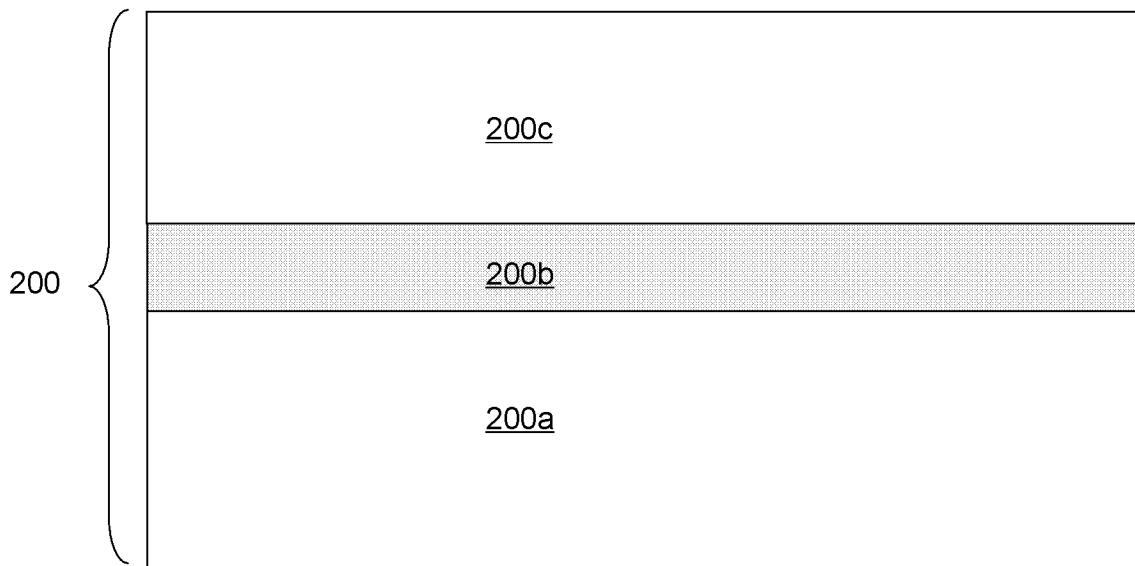


图3

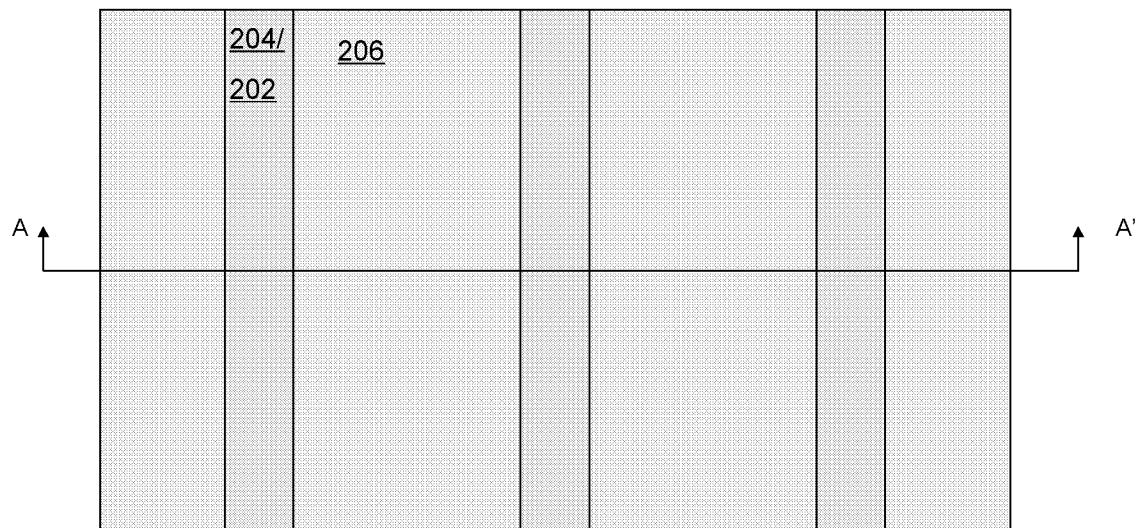


图4

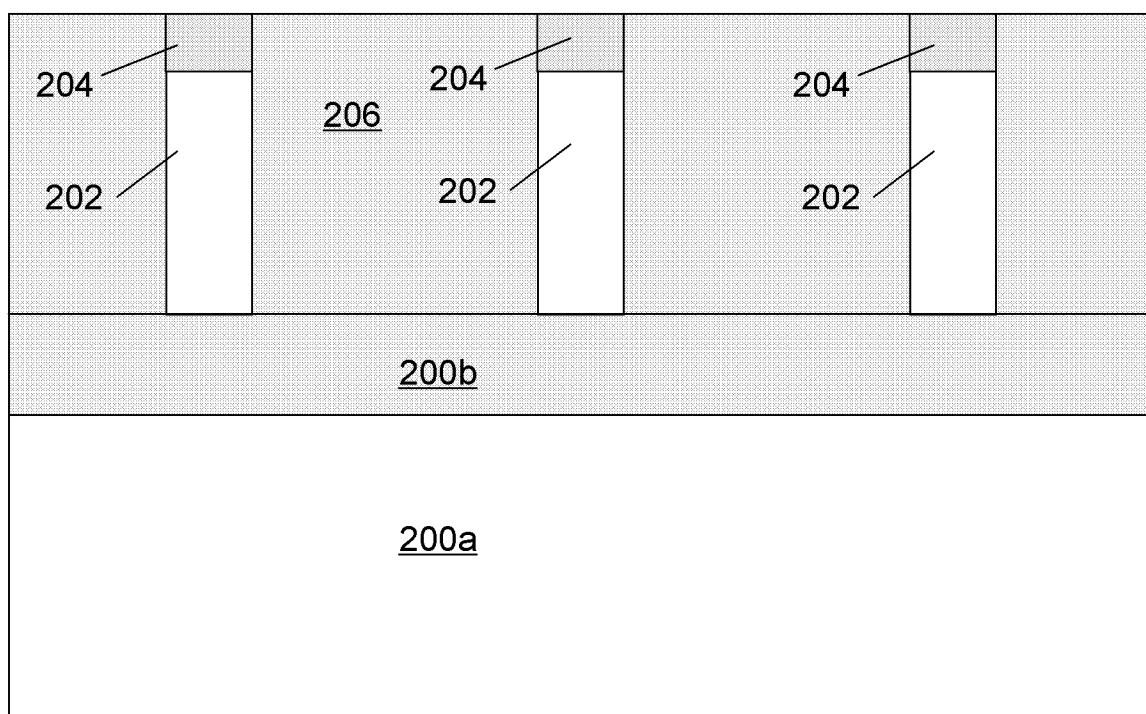


图5

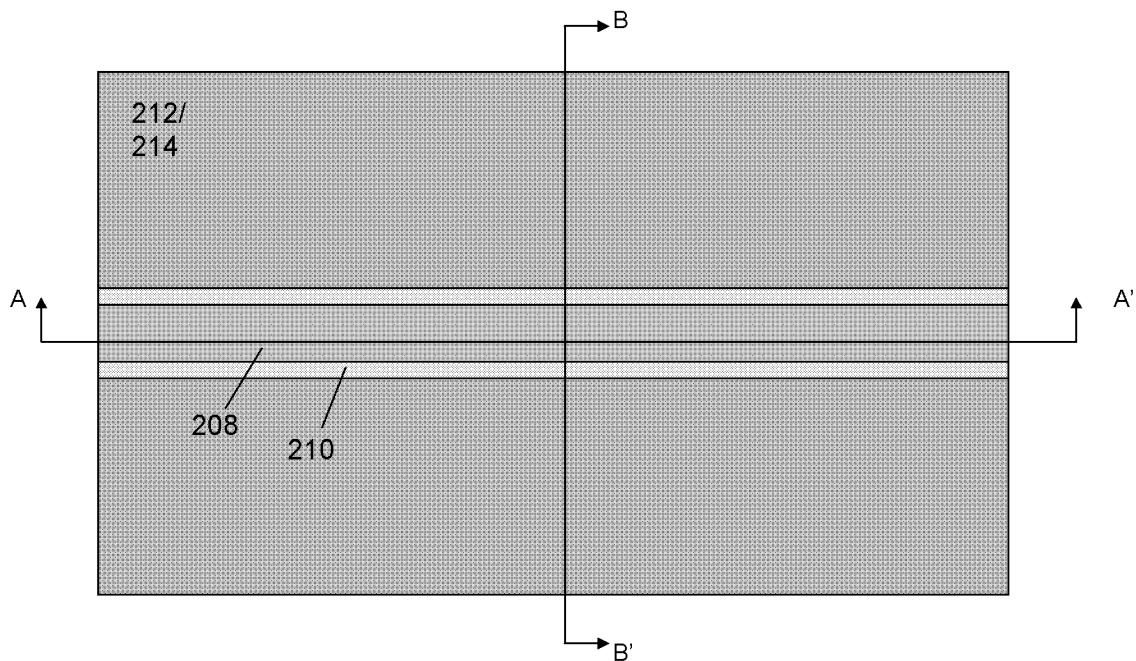


图6

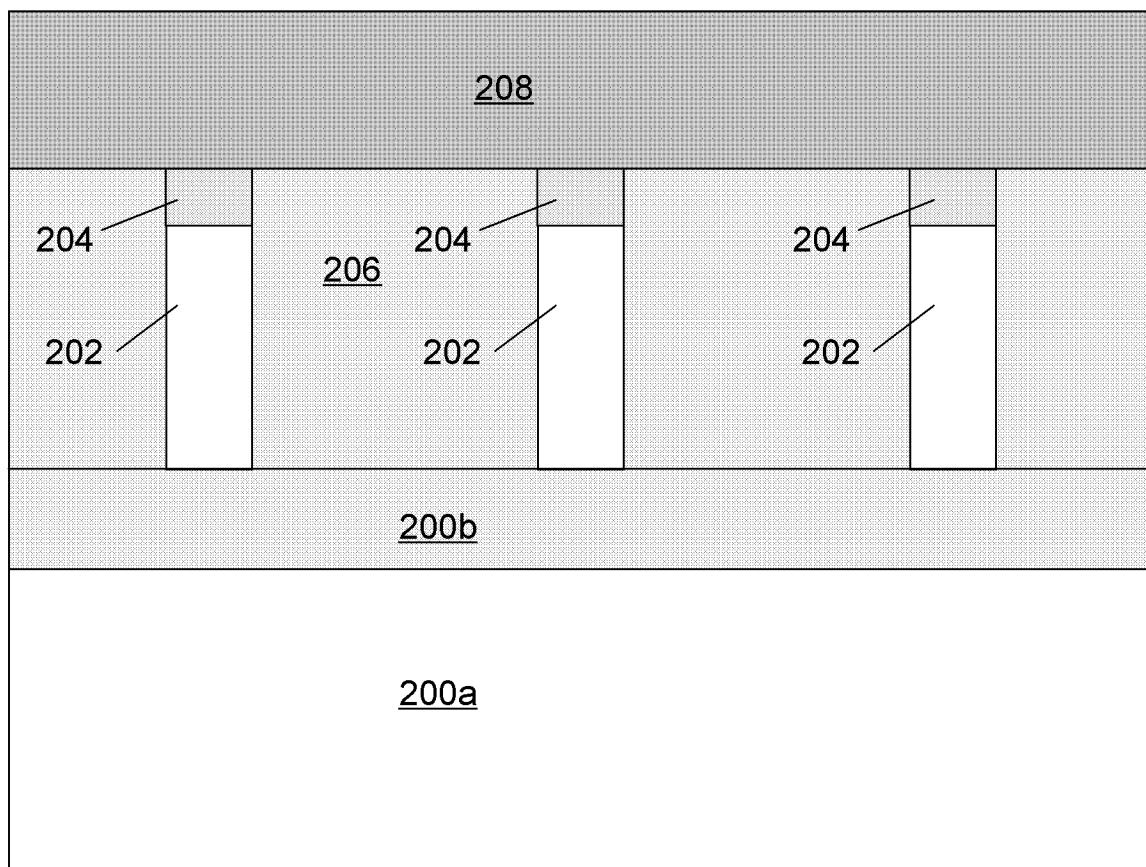


图7

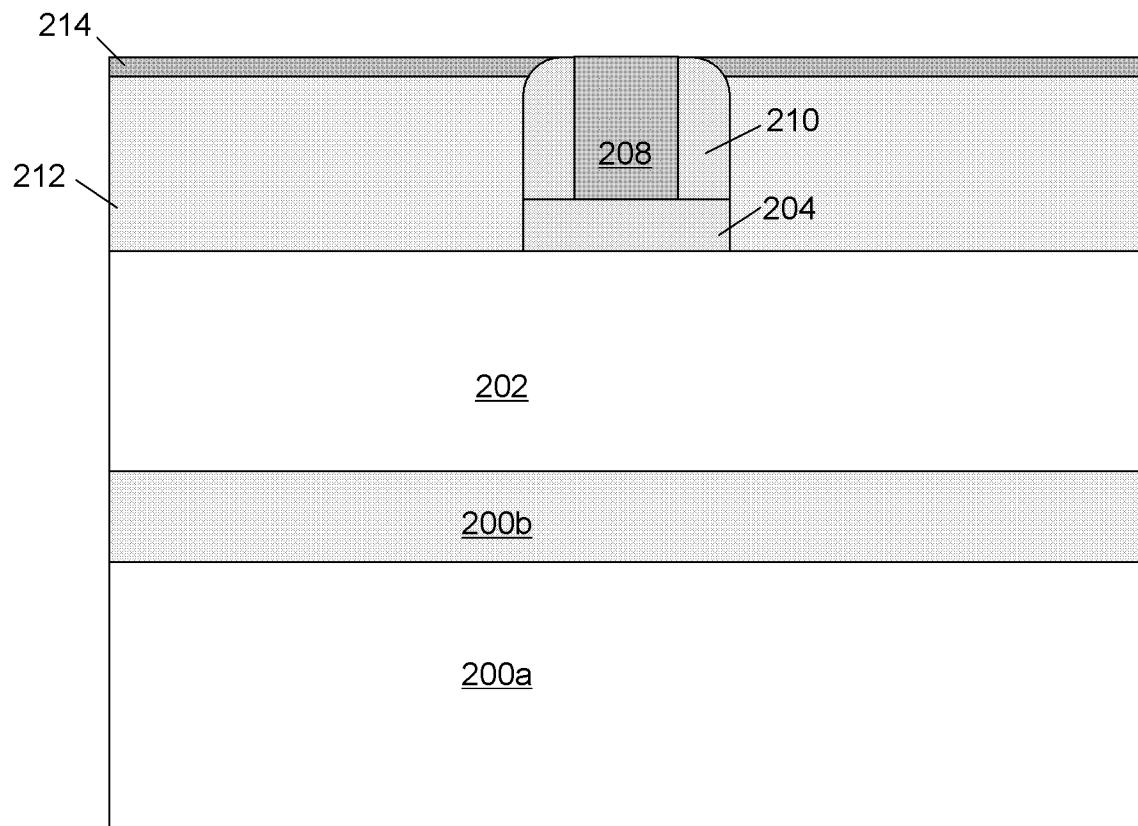


图8

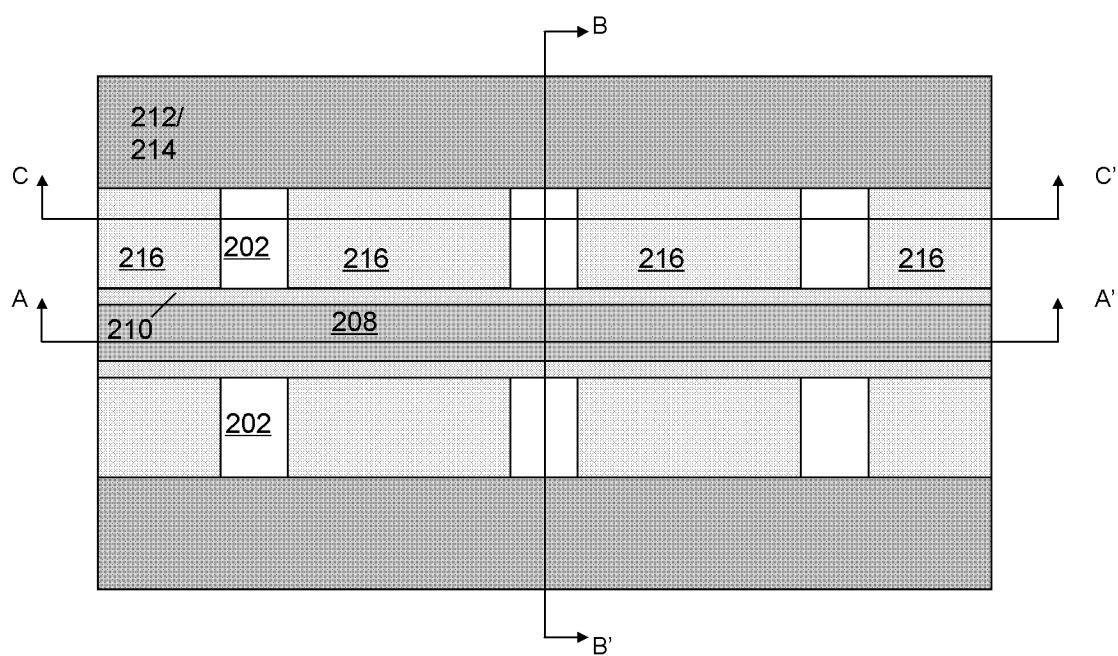


图9

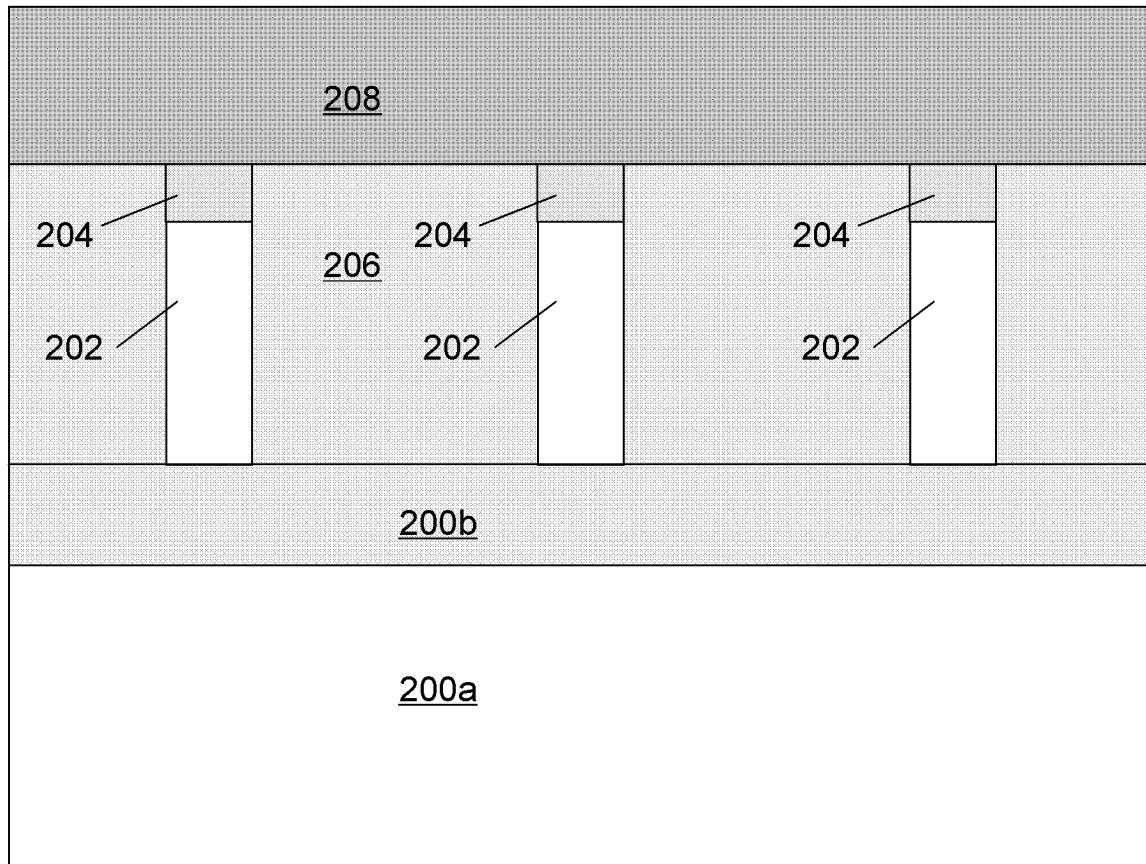


图10

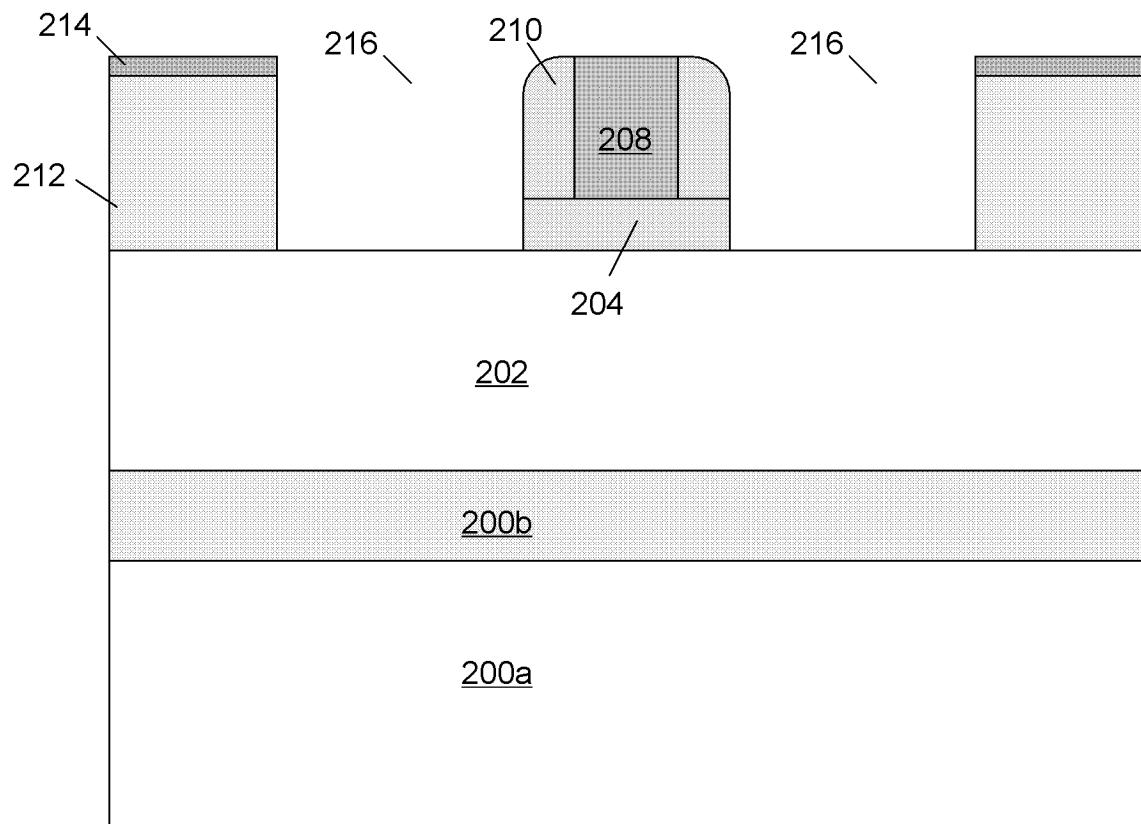


图11

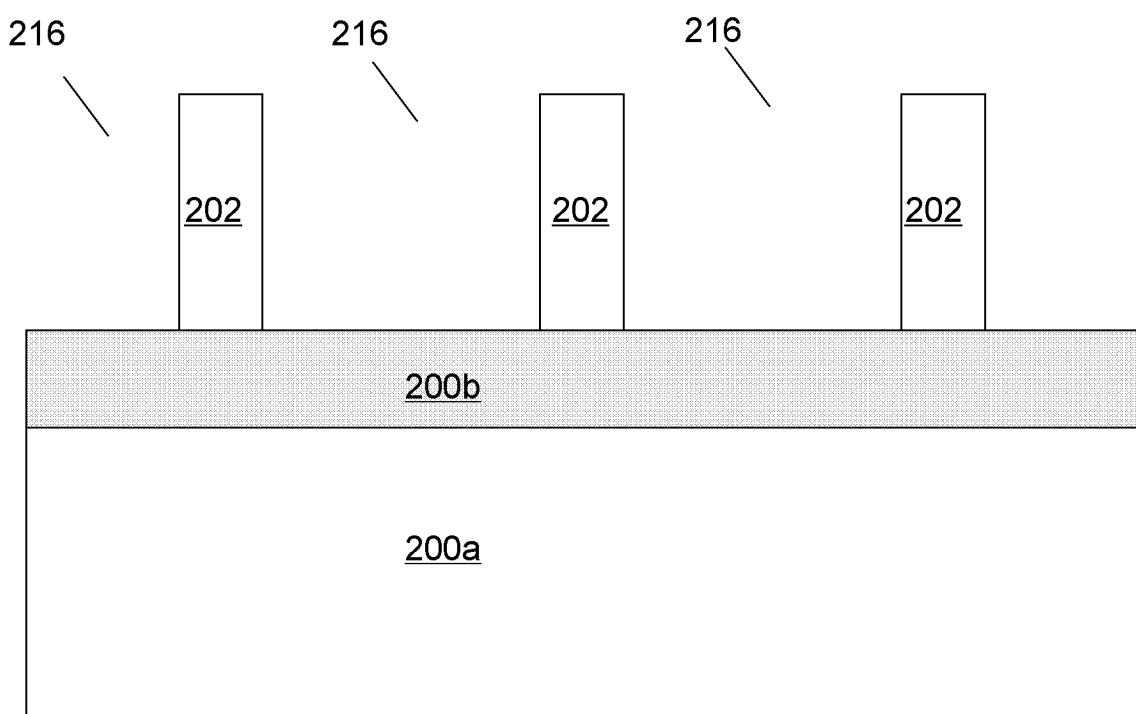


图12

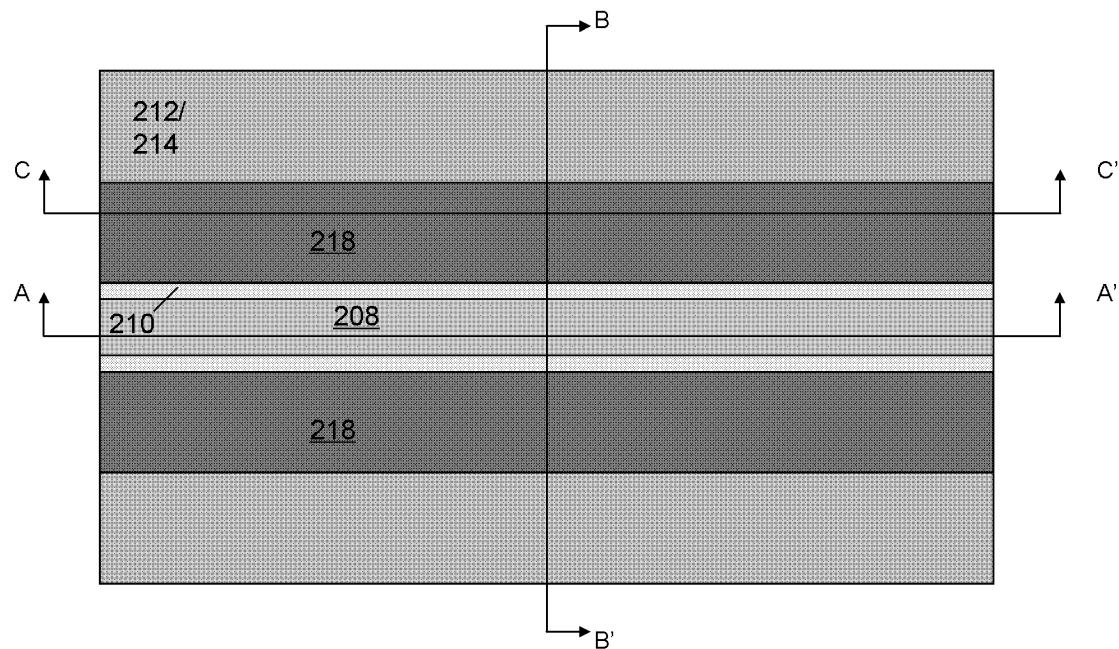


图13

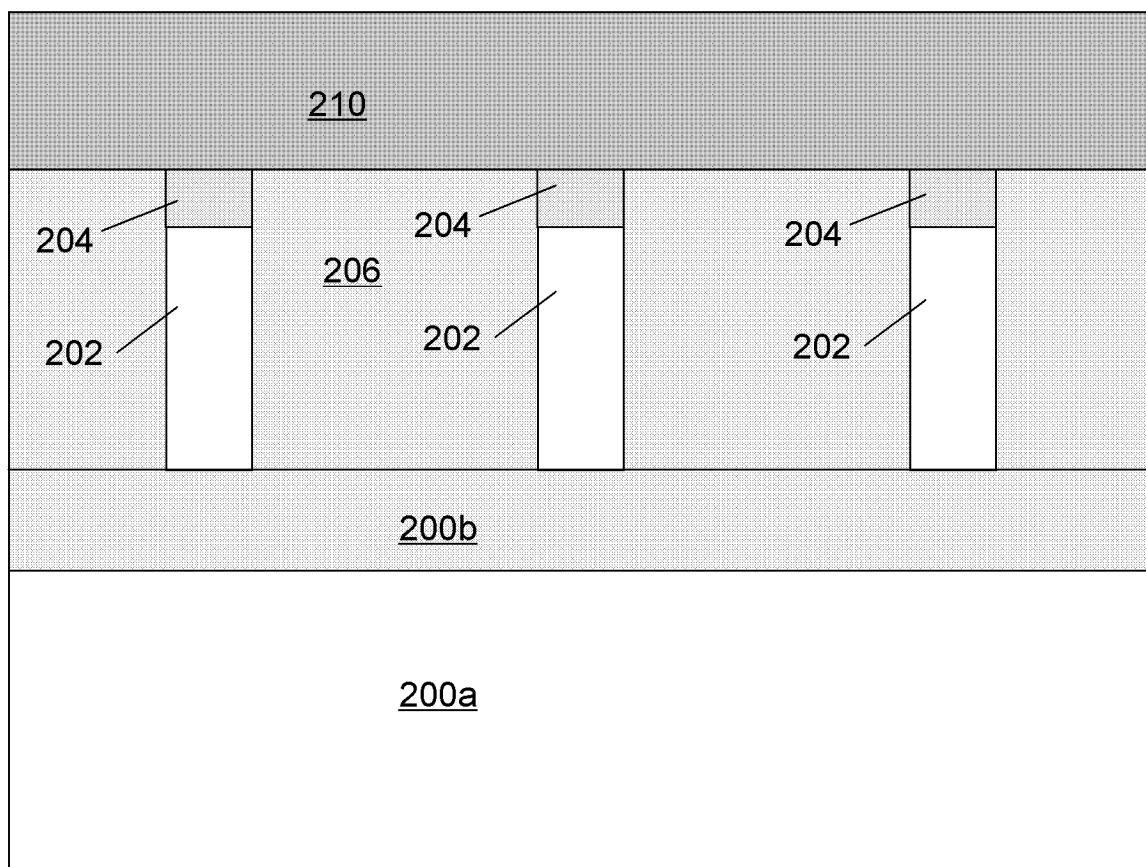


图14

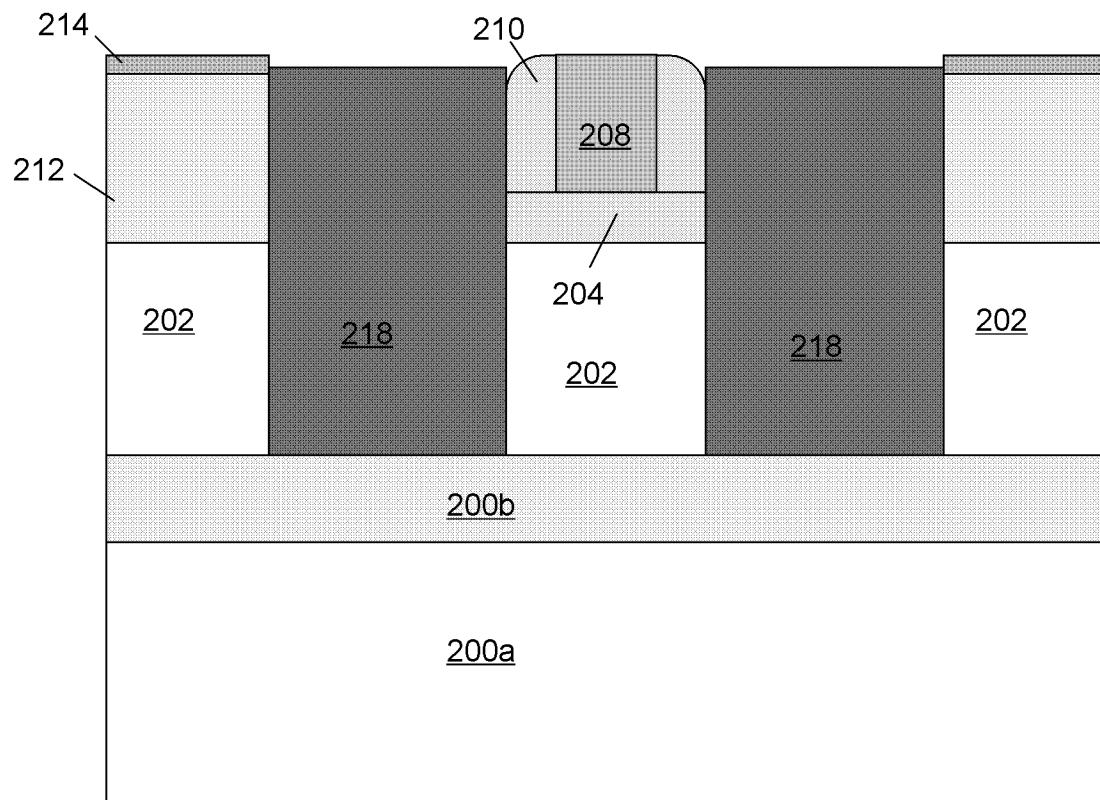


图15

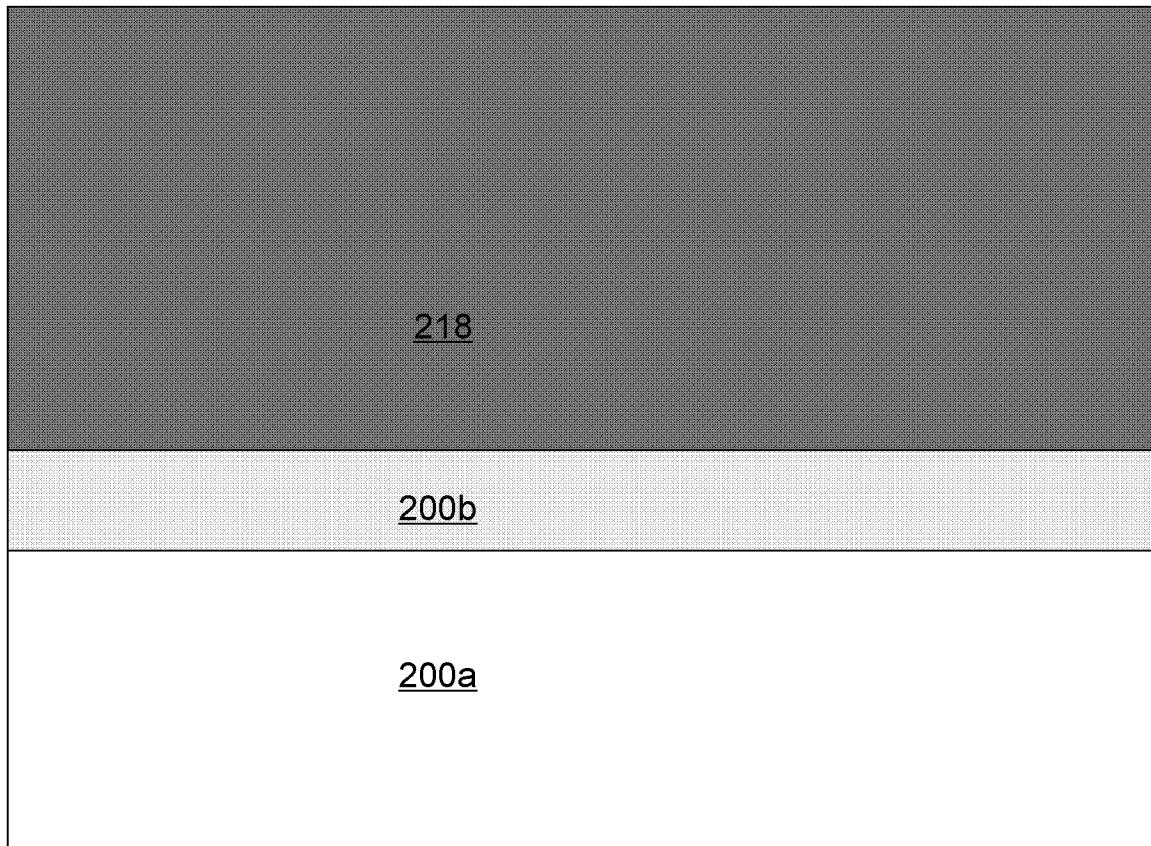


图16

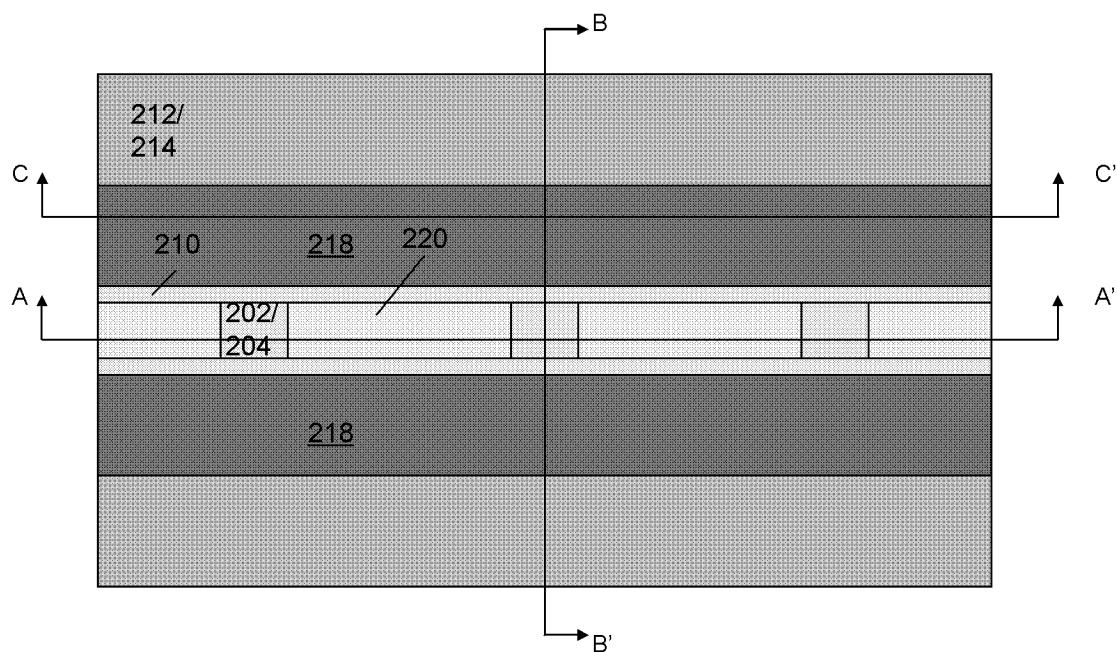


图17

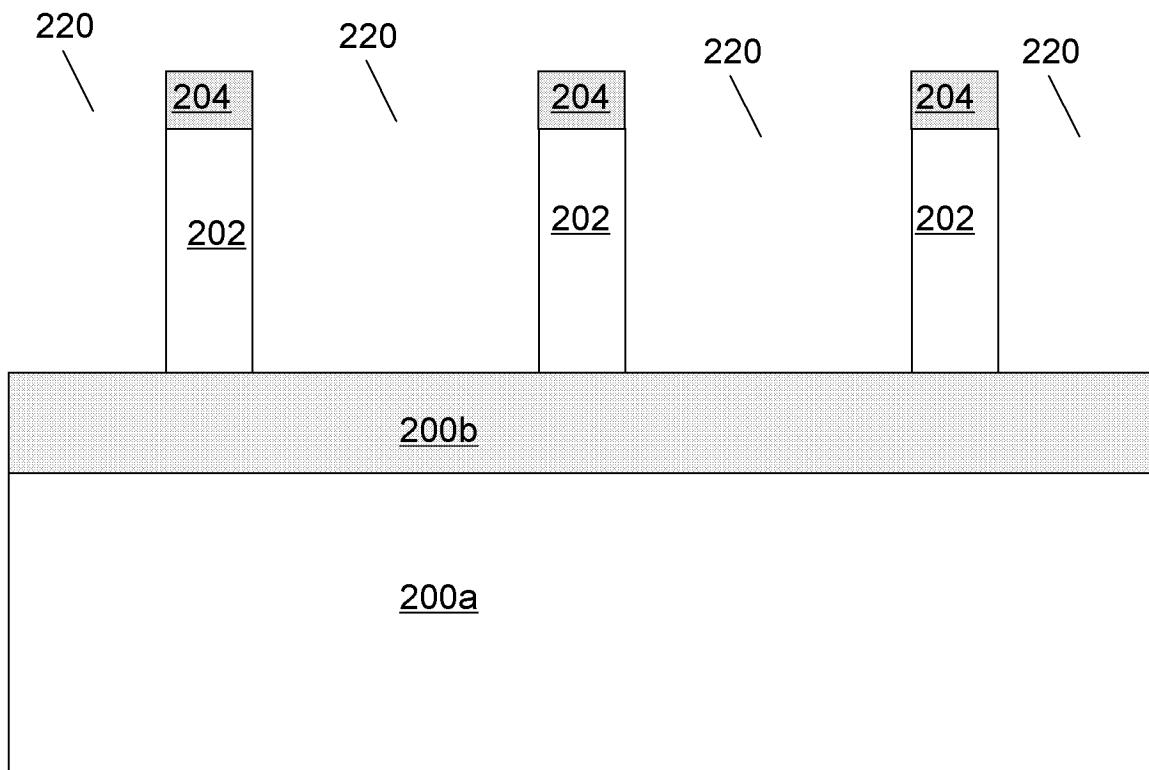


图18

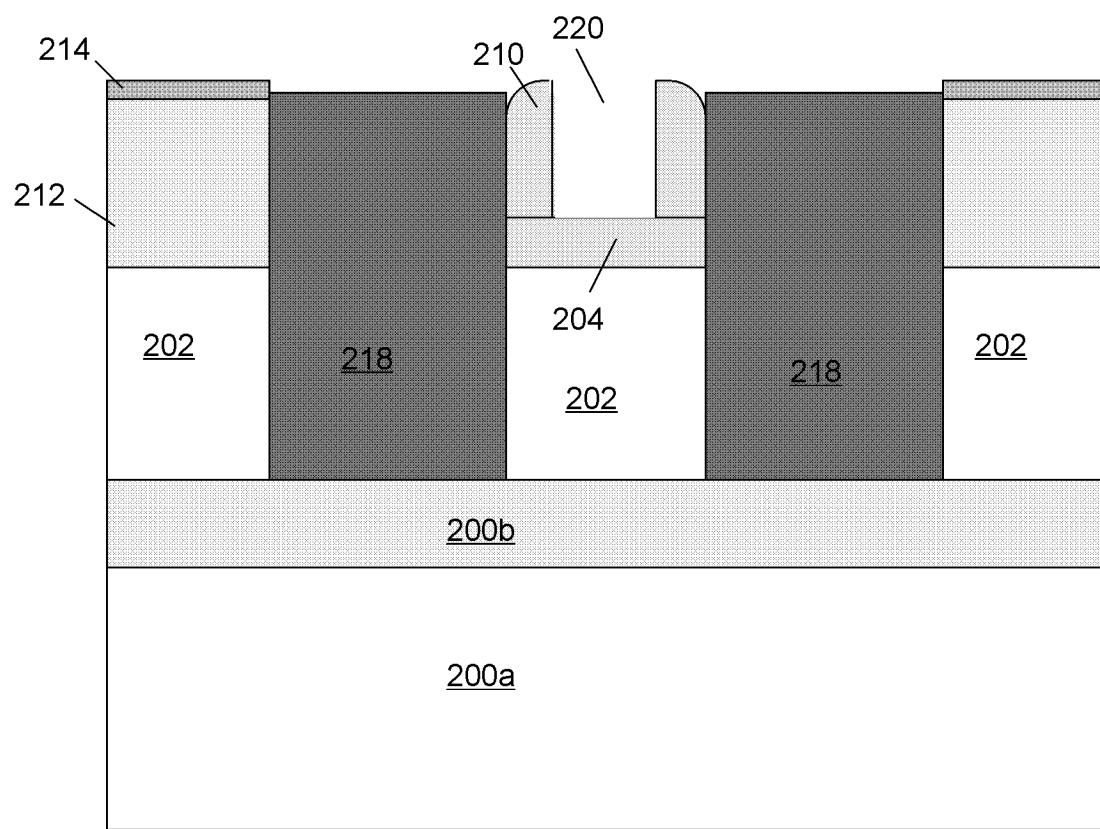


图19

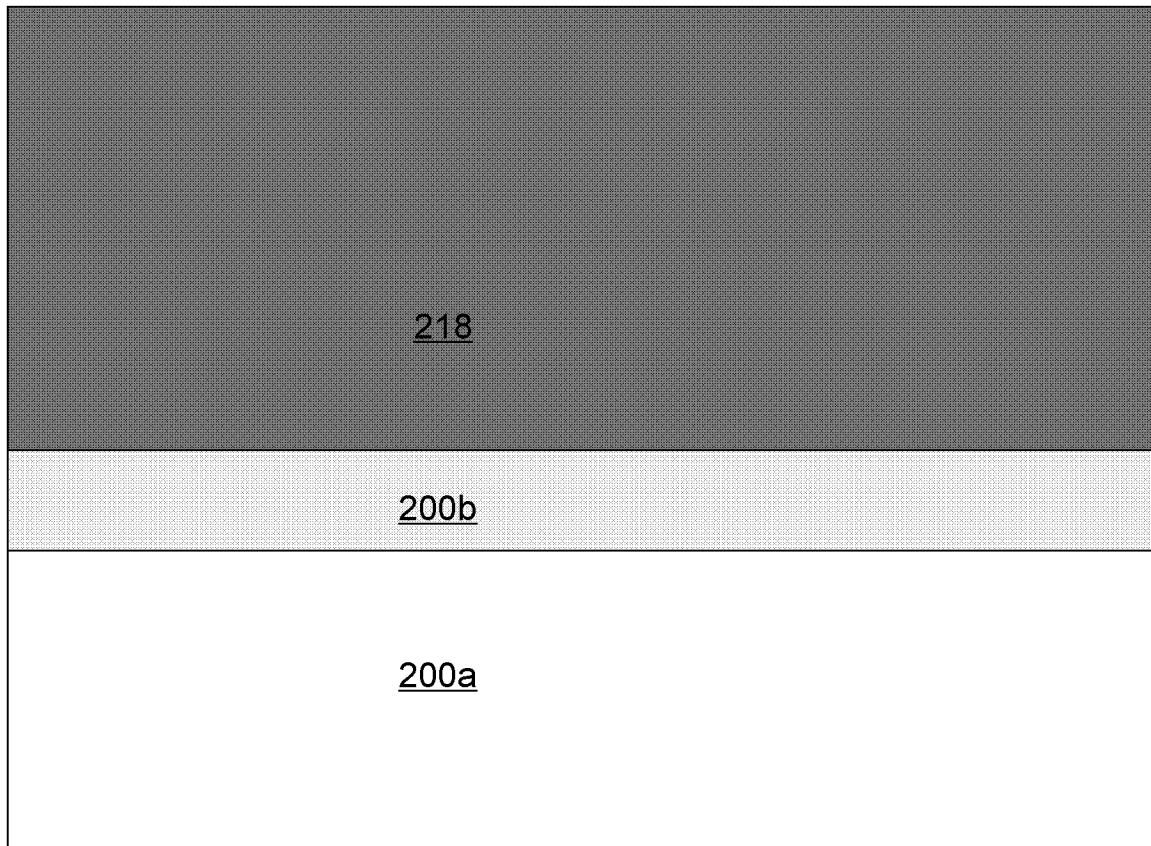


图20

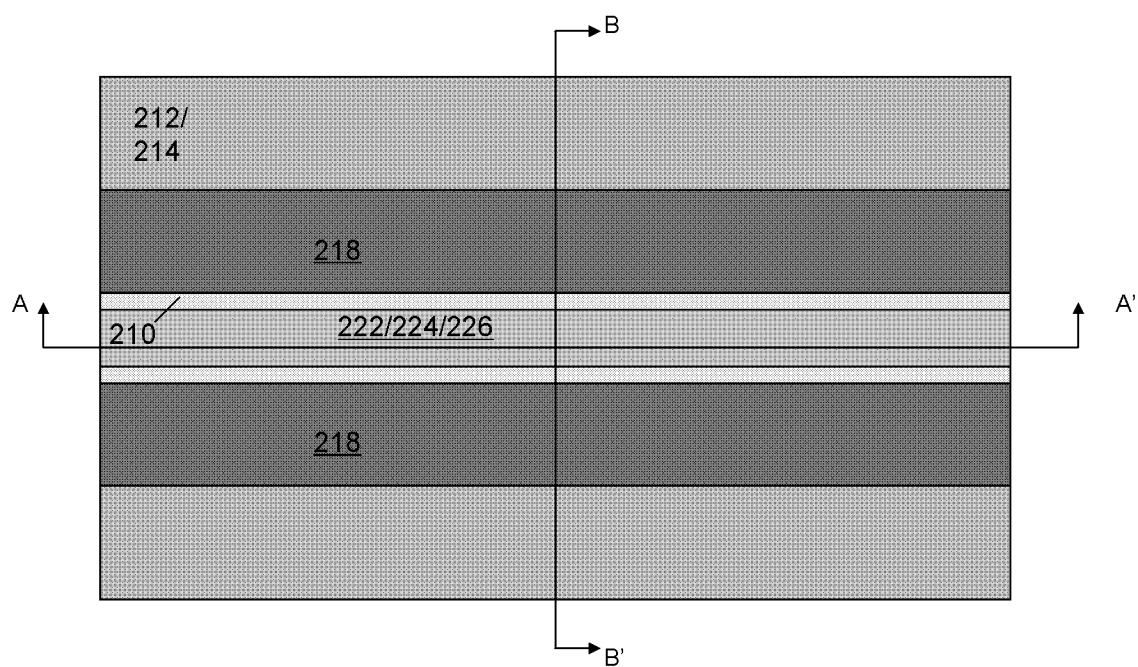


图21

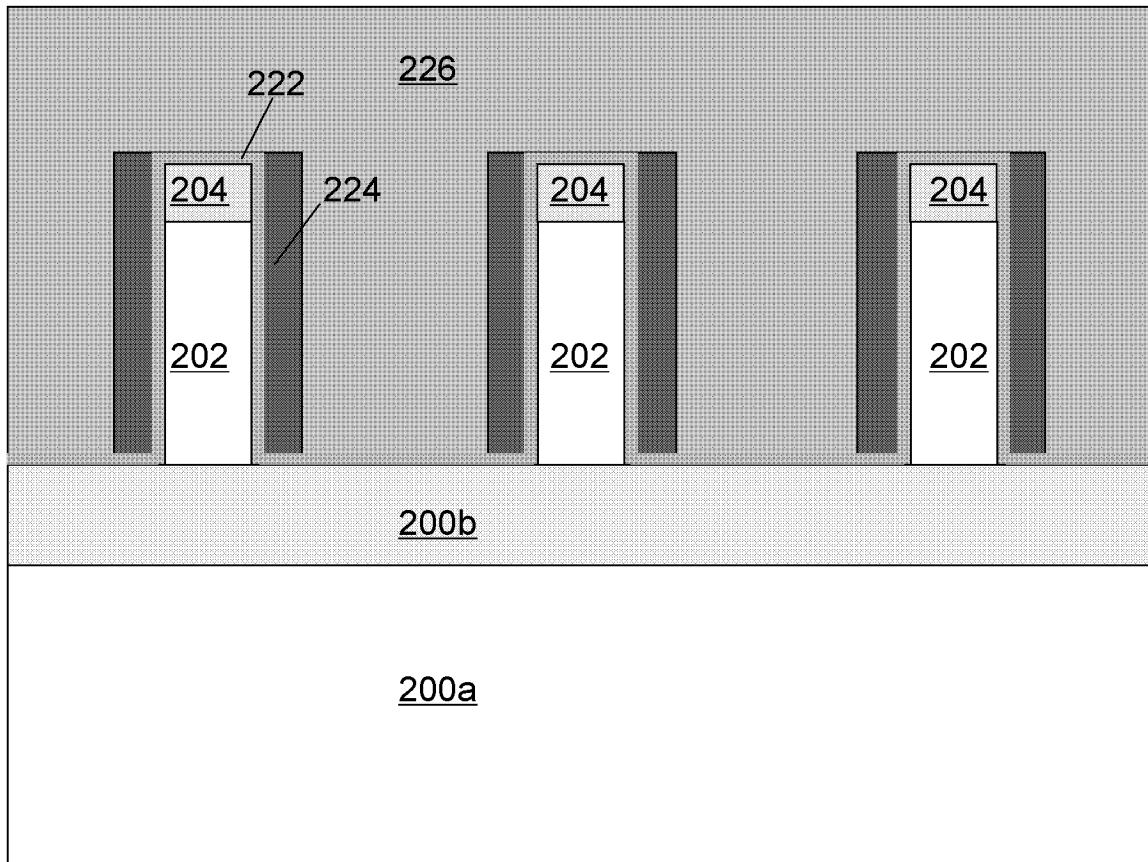


图22

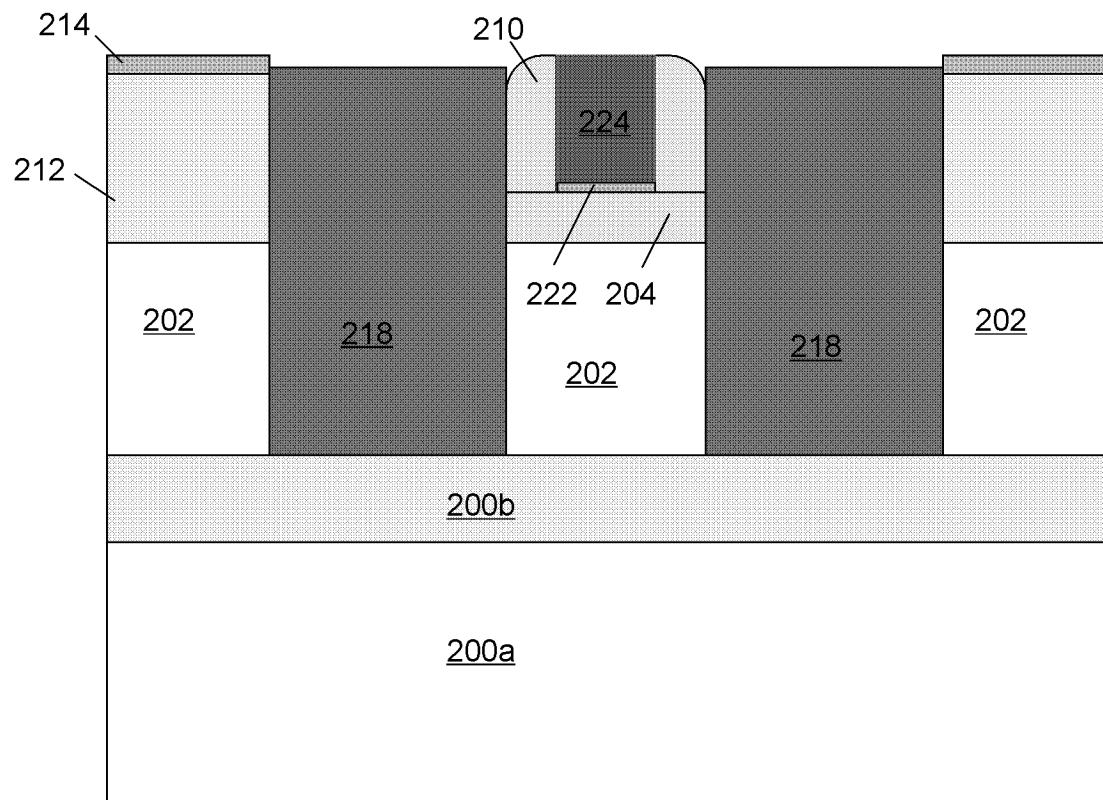


图23

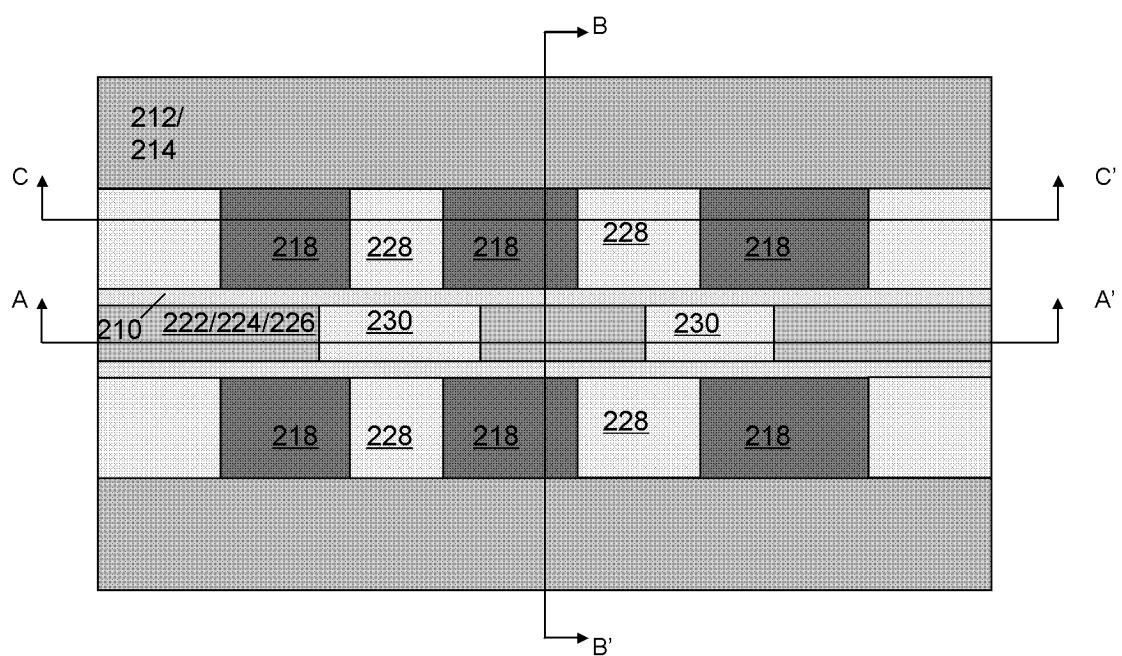


图24

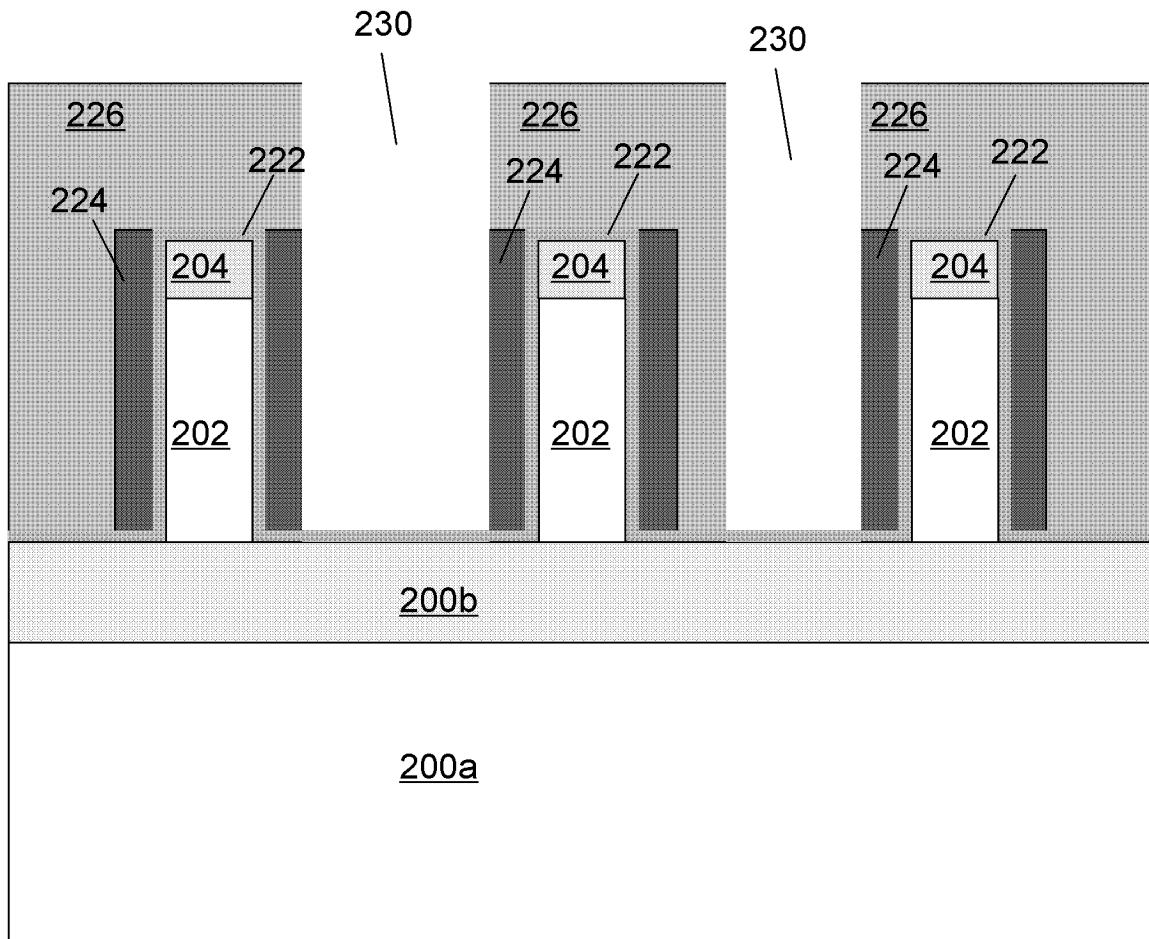


图25

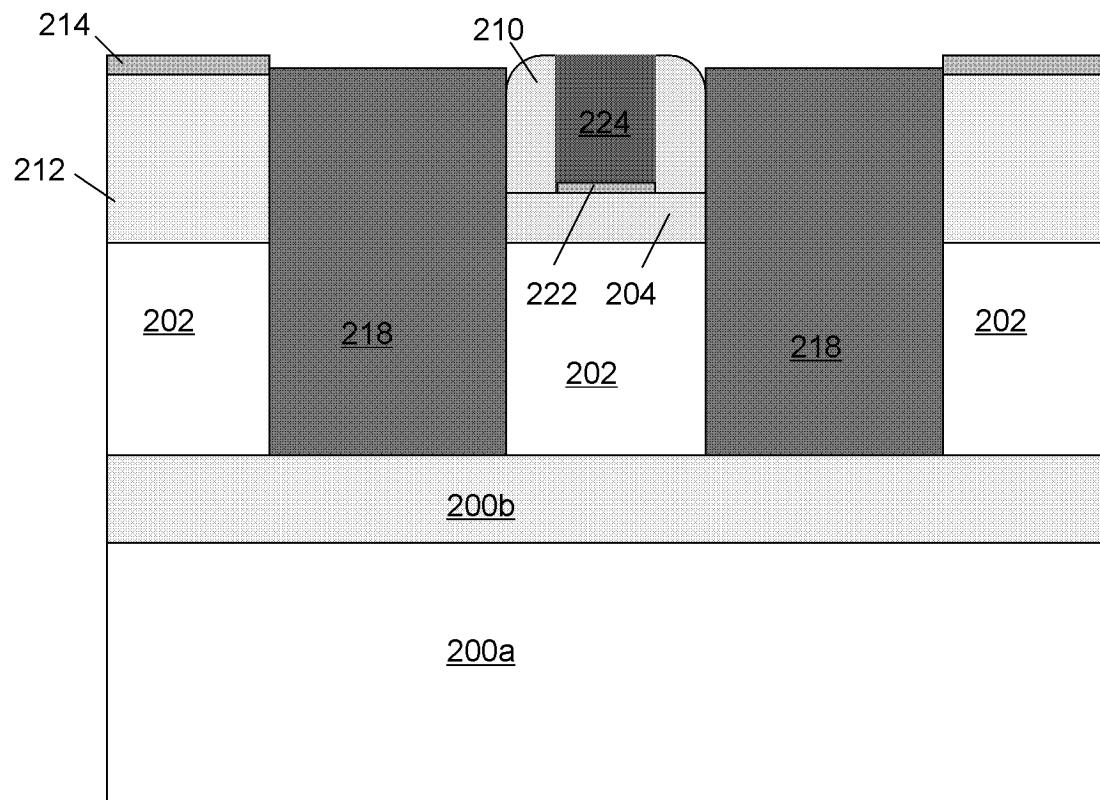


图26

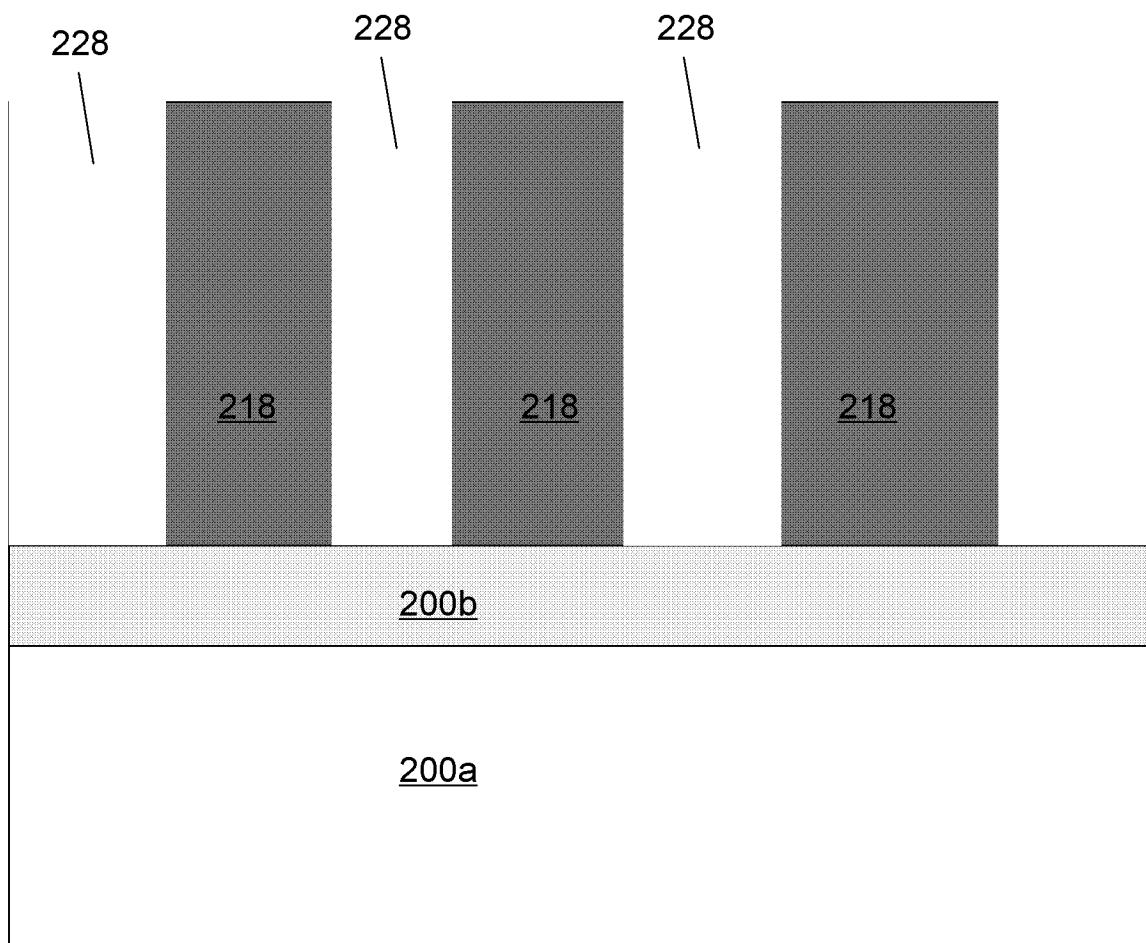


图27

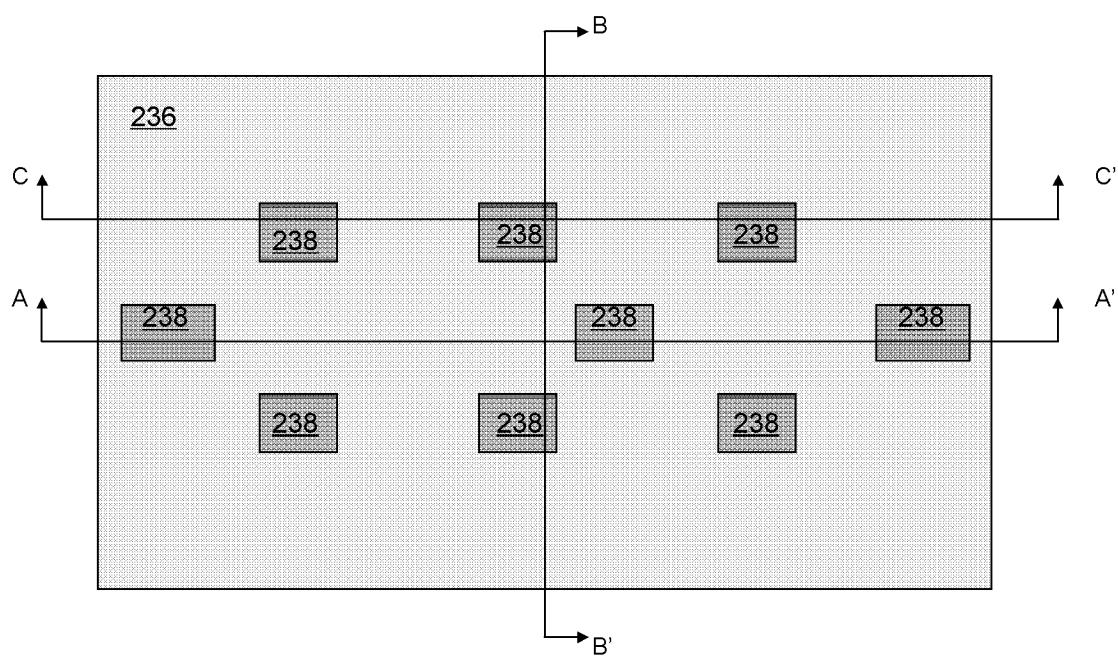


图28

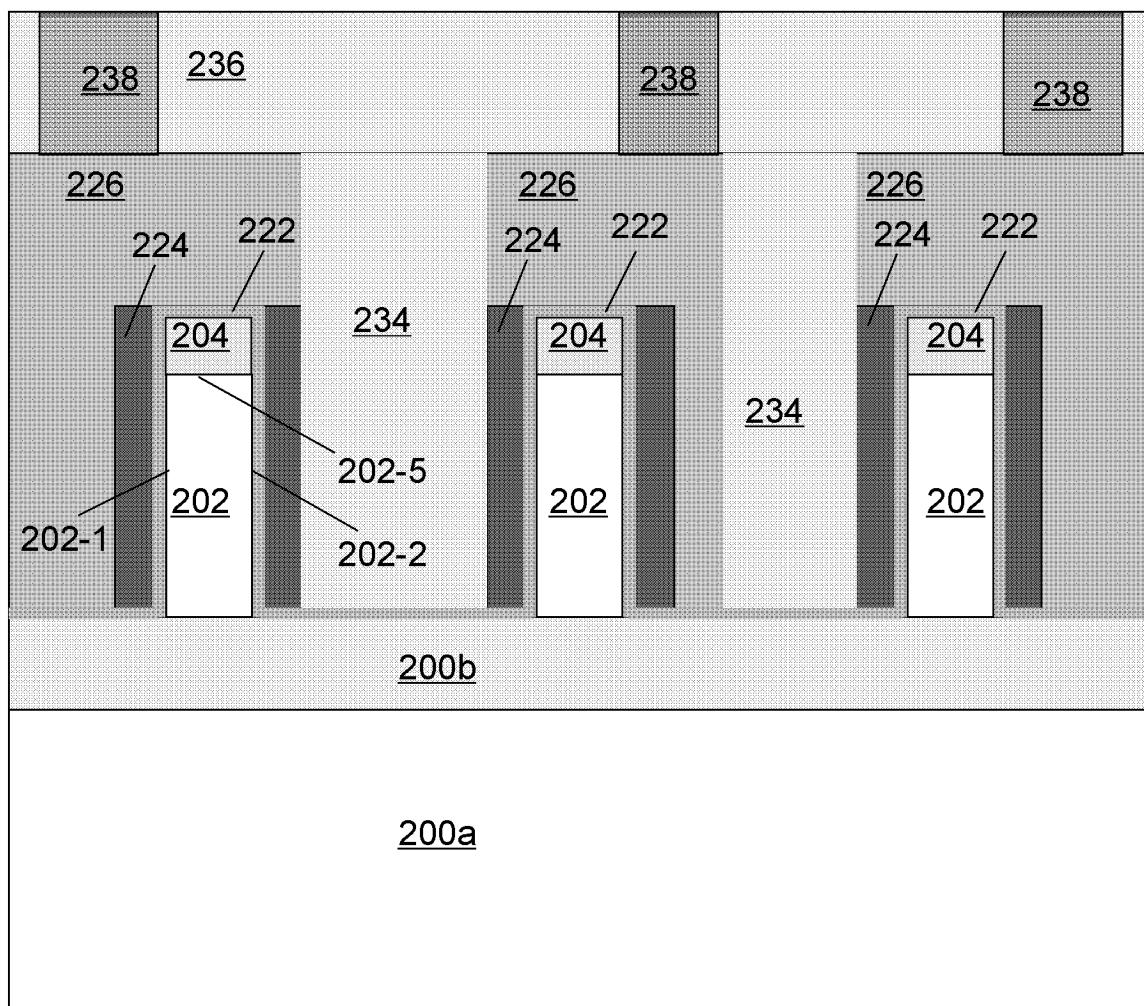


图29

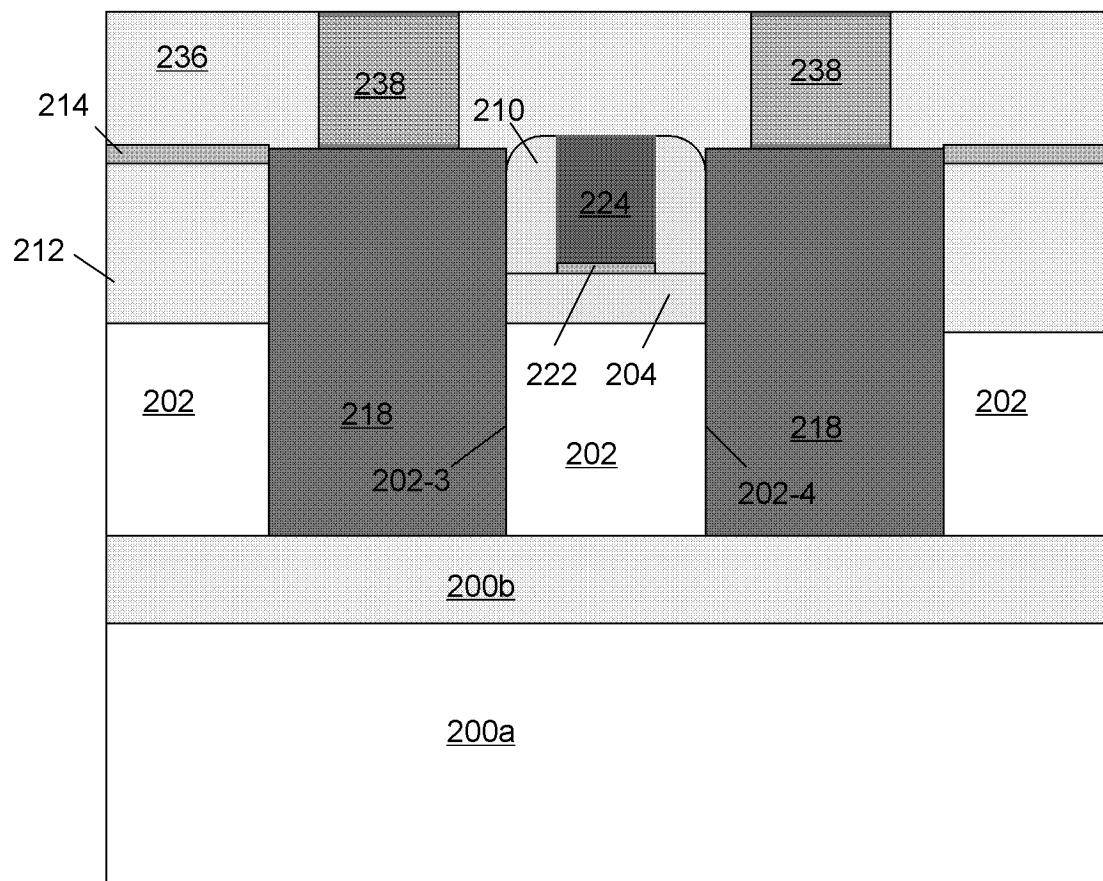


图30

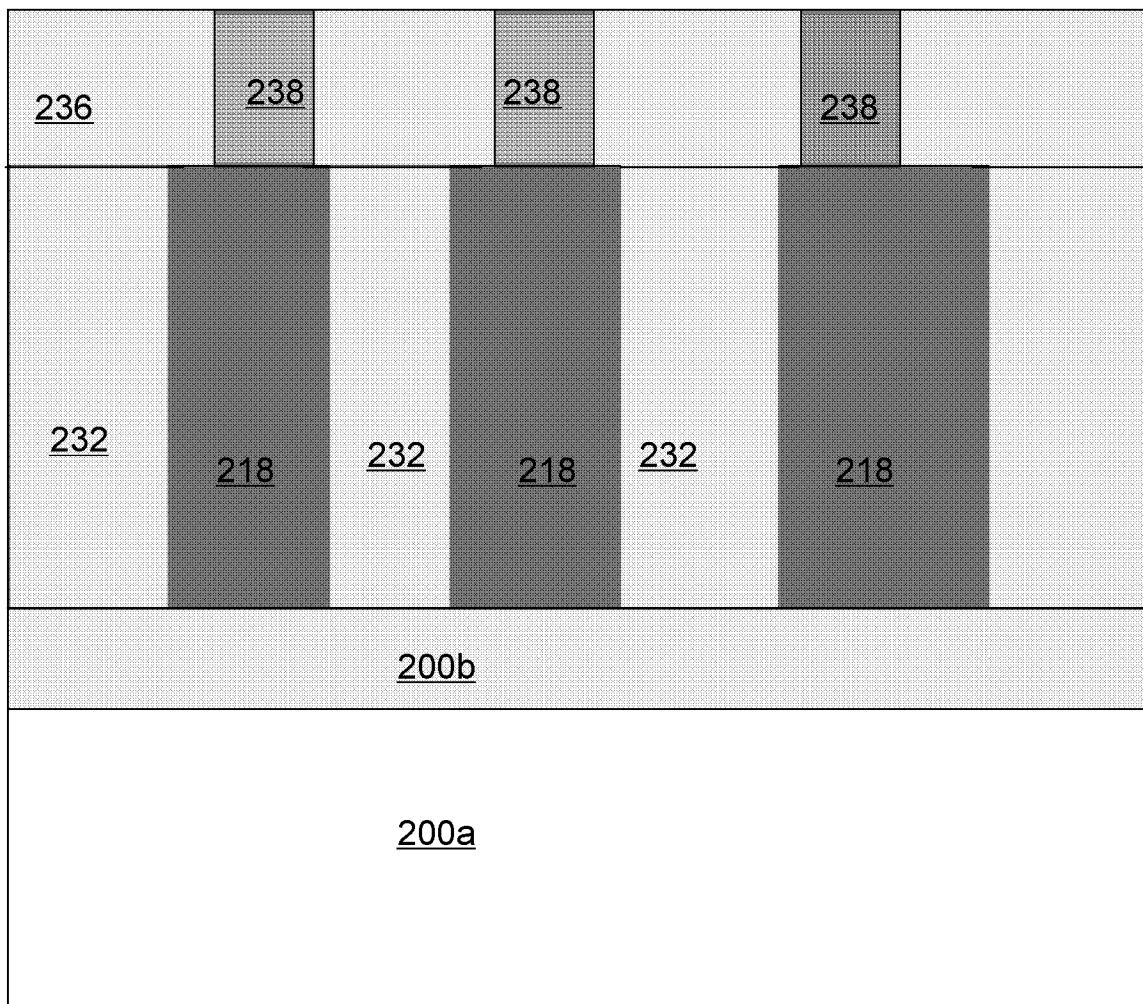


图31